



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ
ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΗΛΕΚΤΡΙΚΗΣ ΙΣΧΥΟΣ
ΕΡΓΑΣΤΗΡΙΟ ΗΛΕΚΤΡΙΚΩΝ ΜΗΧΑΝΩΝ ΚΑΙ ΗΛΕΚΤΡΟΝΙΚΩΝ
ΙΣΧΥΟΣ

**Κυκλώματα και Λογισμικό για Μετατροπείς ΣΡ/ΣΡ με ημιαγωγούς
καρβιδίου του πυριτίου για χρήση σε φωτοβολταϊκά Συστήματα**

**ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ
ΣΩΤΗΡΙΟΣ Γ. ΚΟΚΟΣΗΣ**

Αθήνα, Νοέμβριος 2016



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ
ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΗΛΕΚΤΡΙΚΗΣ ΙΣΧΥΟΣ
ΕΡΓΑΣΤΗΡΙΟ ΗΛΕΚΤΡΙΚΩΝ ΜΗΧΑΝΩΝ ΚΑΙ ΗΛΕΚΤΡΟΝΙΚΩΝ
ΙΣΧΥΟΣ

Κυκλώματα και Λογισμικό για Μετατροπείς ΣΡ/ΣΡ με ημιαγωγούς καρβιδίου του πυριτίου για χρήση σε φωτοβολταϊκά Συστήματα

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ
ΣΩΤΗΡΙΟΣ Γ. ΚΟΚΟΣΗΣ

Συμβουλευτική Επιτροπή : Στέφανος Μανιάς
Σταύρος Παπαθανασίου
Ελευθέριος Καγιάφας

Εγκρίθηκε από την επταμελή εξεταστική επιτροπή την...^η Νοεμβρίου 2016

.....
Στέφανος Μανιάς
Καθηγητής Ε.Μ.Π.

.....
Σταύρος Παπαθανασίου
Αν. Καθηγητής Ε.Μ.Π.

.....
Ελευθέριος Καγιάφας
Καθηγητής Ε.Μ.Π.

.....
Αντώνιος Κλαδάς
Καθηγητής Ε.Μ.Π.

.....
Ιωάννης Προυσαλίδης
Αν. Καθηγητής Ε.Μ.Π.

.....
Νικόλαος Χατζηαργυρίου
Καθηγητής Ε.Μ.Π.

.....
Εμμανουήλ Τατάκης
Καθηγητής Παν. Πατρών

.....
Σωτήριος Γ. Κοκόσης

Διπλωματούχος Ηλεκτρολόγος Μηχανικός ΕΜΠ.

Διδάκτωρ Ε.Μ.Π.

Copyright © Νοέμβριος, 2016.

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Σε αυτή την εργασία παρουσιάζεται μια λεπτομερής έρευνα των τρανζίστορ Ένωσης Επίδρασης Πεδίου (Junction Field Effect Transistors-JFETs) κάθετης δομής (Vertical Trench-VT), τα οποία είναι κατασκευασμένα από ημιαγωγό καρβιδίου του πυριτίου (SiC), τόσο σε ορθή όσο και σε ανάστροφη αγωγή. Θα μελετηθούν JFET τύπου απογύμνωσης (Depletion mode) τα οποία άγουν όταν δεν υπάρχει διέγερση στην πύλη τους (Normally-on), καθώς επίσης και JFET τύπου πύκνωσης (Enhancement mode), τα οποία είναι σε αποκοπή χωρίς διέγερση στην πύλη τους (Normally-off). Παρουσιάζεται ένα ισοδύναμο ηλεκτρικό κύκλωμα των JFET βάσει της δομής τους. Επίσης παρατίθεται ένα δεύτερο ισοδύναμο κύκλωμα που βασίζεται σε μαθηματικές σχέσεις και για το οποίο προσδιορίζονται τα στοιχεία του μοντέλου του SiC JFET για το SPICE.

Τα SiC JFET συγκρίνονται με άλλους ημιαγωγικούς διακόπτες από SiC και από Si. Τα αποτελέσματα αναδεικνύουν τα βελτιωμένα χαρακτηριστικά των ημιαγωγών SiC τόσο στη μόνιμη όσο και στη μεταβατική κατάσταση λειτουργίας τους.

Επίσης, παρουσιάζονται με λεπτομέρεια τα κυκλώματα μέτρησης των ταχέως μεταβαλλόμενων ρευμάτων των SiC JFET και σχεδιάζεται ένα κύκλωμα μέτρησης με μετασηματιστές ρεύματος (Current Transformers - CT). Αυτό το κύκλωμα έχει τη δυνατότητα άμεσης μέτρησης τόσο των ρευμάτων αγωγής όσο και των διαφορών τους, σε JFET που συνδέονται παράλληλα.

Για τη λειτουργία της παράλληλης σύνδεσης διενεργείται παραμετρική ανάλυση στα λειτουργικά χαρακτηριστικά των SiC JFET σε μόνιμη και σε μεταβατική κατάσταση λειτουργίας και διερευνάται η επίδραση των παρασιτικών στοιχείων του τυπωμένου κυκλώματος (PCB). Η αποτελεσματικότητα της παράλληλης σύνδεσης, εξετάζεται όσον αφορά τη διανομή των ρευμάτων και την αξιοπιστία της λειτουργίας τόσο σε ορθή όσο και σε ανάστροφη αγωγή. Προτείνονται διάφορες μέθοδοι για την επίτευξη της ισορροπίας των ρευμάτων. Κατά τη διάρκεια της ορθής αγωγής, αυτό επιτυγχάνεται με χρησιμοποίηση ελεγχόμενης χρονικής καθυστέρησης του σήματος των πυλών των JFET, μέσω ενός ψηφιακού ελεγκτή σημάτων χαμηλού κόστους (Digital Signal Controller-DSC). Στη διάρκεια της ανάστροφης αγωγής η ανισορροπία των ρευμάτων αντιμετωπίζεται με εφαρμογή διαφορετικής τάσης πόλωσης των πυλών των JFET, ή με την προσθήκη μιας αντιπαράλληλης διόδου. Η λειτουργικότητα των παραλληλισμένων JFET επαληθεύεται μέσω προσομοίωσης και μέσω πειραματικών αποτελεσμάτων τόσο σε θερμοκρασία δωματίου όσο και σε θερμοκρασία 150 °C.

Επιπρόσθετα, σχεδιάστηκε ένας μετατροπέας ανύψωσης τάσης, για χρήση σε φωτοβολταϊκά συστήματα. Η υλοποίηση έγινε με χρήση Normally-on και Normally-off SiC JFET και οι πειραματικές μετρήσεις επαλήθευσαν ότι η απόδοση του είναι εξαιρετικά υψηλή της τάξης του 99%. Ερευνήθηκε μία νέα μέθοδος παρακολούθησης του σημείου μέγιστης ισχύος (MPPT) φωτοβολταϊκών συστοιχιών, σχεδιασμένη να λειτουργεί αποτελεσματικά σε περιβάλλοντα με μεγάλο θόρυβο, να έχει ταχεία προσέγγιση του σημείου μέγιστης ισχύος και λειτουργία χωρίς ανεπιθύμητες ταλαντώσεις.

Ο μετατροπέας ανύψωσης τάσης ενσωματώθηκε μαζί με ένα τριφασικό αντιστροφέα σε μία ενιαία συσκευή επιδεικνύοντας εξαιρετική λειτουργικότητα και αξιοπιστία κατά τη διενέργεια των πειραματικών μετρήσεων.

Λέξεις Κλειδιά: Καρβίδιο Πυριτίου (SiC), Τρανζίστορ Επίδρασης Πεδίου Ένωσης (JFET), Κυκλώματα οδήγησης, Ανάστροφη αγωγή, Μετασηματιστής ρεύματος (Current transformer), Παράλληλη σύνδεση, Εξισορρόπηση ρευμάτων, Μετατροπέας ανύψωσης τάσης (Boost converter), Παρακολούθηση του σημείου μέγιστης ισχύος.

Abstract

In this work, a thorough investigation on the parallel connection of the vertical trench (VT) silicon carbide (SiC) junction field effect transistors (JFETs) during forward and reverse conduction is performed. Both enhancement mode SiC JFETs, which conduct when there is no signal at the gate (Normally-On) as well as depletion mode SiC JFETs, which turn off when gate drive signal is removed, will be studied.

An equivalent electrical circuit of JFET, based on their structure, is given. Besides, a second equivalent circuit based on mathematical relations is presented and the elements of the model of SiC JFET for SPICE are identified.

The SiC JFETs are compared with other SiC and Si semiconductor switches. The results demonstrate the improved characteristics of SiC semiconductor during both permanent and transient mode.

In addition, JFET current monitoring circuits of rapidly varying SiC JFET currents are presented in detail and a measuring circuit, based on current transformers (CTs), is designed. That circuit is able to measure directly both conduction currents and their differences of JFETs connected in parallel.

For the operation of the parallel connection, a parametric analysis of the operating characteristics of SiC JFET in permanent and transient operation and of the influence of the parasitic elements of the printed circuit board (PCB) is carried out. The effectiveness of the parallel connection, in respect of the distribution of the currents and the reliability of operation, both during forward and reverse conduction mode, is considered. Various methods are proposed to achieve the forced current balancing. During forward conduction, this is achieved by using a controlled time delay on the gate signals of JFETs through a low cost digital signal controller (DSC). During reverse conduction, the imbalance of currents is addressed by applying different bias voltages on the JFET gates, or by adding an antiparallel diode. The functionality of parallel connected JFETs is verified through simulation and through experimental results both at room temperature and at 150 °C.

Additionally, a boost converter was designed for use in photovoltaic systems. The implementation was done by using Normally-on or Normally-off SiC JFET and the experimental measurements verified that its efficiency is extremely high, of the order of 99%. A new method of tracking of the maximum power point (MPPT) of photovoltaic modules, designed to operate efficiently in very noisy environments, to approach the maximum power point very rapidly and to function without unwanted oscillations, was investigated.

The step-up converter was integrated with a three-phase inverter into a single device showing excellent functionality and reliability while carrying out experimental measurements.

Keywords: Silicon Carbide (SiC), Junction field effect transistor (JFET), Driver circuits, Reverse conduction, Current transformer (CT), Parallel connection, Forced current balancing, Boost converter, Maximum power point Tracking (MPPT).

Ευχαριστίες

Η παρούσα εργασία εκπονήθηκε στο Εργαστήριο Ηλεκτρικών Μηχανών και Ηλεκτρονικών Ισχύος της σχολής Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών του Εθνικού Μετσόβιου Πολυτεχνείου.

Θέλω να ευχαριστήσω θερμά τον επιβλέποντα της διδακτορικής μου διατριβής Καθηγητή κ. Στέφανο Μανιά, για την ευκαιρία που μου έδωσε να ασχοληθώ με ένα τόσο ενδιαφέρον θέμα, καθώς επίσης για την πολύ σημαντική καθοδήγηση, τις γνώσεις και γενικότερα τη στήριξη που μου προσέφερε.

Με τα μέλη της συμβουλευτικής επιτροπής, τον Αναπληρωτή Καθηγητή κ. Σταύρο Παπαθανασίου και τον Καθηγητή κ. Ελευθέριο Καγιάφα είχα μια πολύ εποικοδομητική συνεργασία. Θέλω να τους ευχαριστήσω για αυτό καθώς επίσης και για την επιστημονική συνδρομή τους.

Παράλληλα θέλω να ευχαριστήσω τον καθηγητή κ. Ιωάννη Αβαριτσιώτη ο οποίος με βοήθησε σημαντικά στην έναρξη της διατριβής μου.

Ευχαριστώ επίσης τον Γιώργο Καμπίτση, την Ελένη Γατή και τον Στρατή Μπατζέλη για την άριστη συνεργασία που είχα μαζί τους και την Νατάσα-Μαρία Πλεμένου για το χρόνο που διέθεσε για την ανάγνωση του κειμένου και τις χρήσιμες παρατηρήσεις.

Τέλος, οφείλω να δώσω ιδιαίτερες ευχαριστίες στην Γενική Γραμματεία Έρευνας και Τεχνολογίας (ΓΓΕΤ), για το πρόγραμμα ΕΣΠΑ 2007 – 20013 «Συνεργασία» με κωδικό 09ΣΥΝ-32-1181 για την οικονομική υποστήριξη του έργου «Ανάπτυξη νέων τρανζίστορ και αντιστροφών ισχύος φωτοβολταϊκών συστημάτων με χρήση καρβιδίου του πυριτίου», υπό την αιγίδα της οποίας ολοκληρώθηκε η παρούσα εργασία.

Περιεχόμενα

ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ.....	1
1.1 Εισαγωγή.....	1
1.2 Στόχοι της παρούσας εργασίας.....	2
1.3 Η συνεισφορά της παρούσας διατριβής.....	3
1.4 Κατανομή του περιεχομένου της διατριβής	5
ΚΕΦΑΛΑΙΟ 2. JFET ΚΑΡΒΙΔΙΟΥ ΤΟΥ ΠΥΡΙΤΙΟΥ (SiC- JFET)	7
2.1 Ημιαγωγοί από καρβίδιο του πυριτίου (SiC)	7
2.2 Λειτουργία του JFET	8
2.3 Ισοδύναμο κύκλωμα των SiC JFET βασισμένο στα φυσικά χαρακτηριστικά της κατασκευής του.	9
2.4 Ισοδύναμο κύκλωμα των JFET για χρήση σε προσομοιώσεις	14
2.5 Μοντελοποίηση των SiC JFET στο Spice	17
ΚΕΦΑΛΑΙΟ 3. ΤΥΠΟΙ ΚΑΙ ΤΡΟΠΟΙ ΛΕΙΤΟΥΡΓΙΑΣ ΤΟΥ SiC JFET	21
3.1 Εισαγωγή.....	21
3.2 JFET καρβιδίου του πυριτίου πλευρικού καναλιού	21
3.3 JFET καρβιδίου του πυριτίου κάθετης δομής	22
3.4 Σύγκριση Normally-on και normally-off JFET	23
3.5 Κυκλώματα Οδήγησης SiC JFET.....	24
3.5.1 Απλό κύκλωμα οδήγησης AC Coupled	24
3.5.2 Βελτιστοποιημένο κύκλωμα οδήγησης AC Coupled με ορθή πόλωση	25
3.5.3 Κύκλωμα οδήγησης DC Coupled	27
3.5.4 Επίδραση του φαινομένου Miller στη λειτουργία σε διάταξη γέφυρας	28
3.5.5 Επίδραση των παρασιτικών αυτεπαγωγών στην οδήγηση των JFET	29
3.6 Ειδικές απαιτήσεις των Normally-on SiC JFET	30
3.6.1 Χρήση των Normally-on JFET σε συνδεσμολογία cascode.	30
3.6.2 Αυτοτροφοδοτούμενο κύκλωμα οδήγησης για Normally-on SiC JFET.	31
3.7 Χρήση των SiC JFET σε συστήματα μεγάλης ισχύος.	32

3.7.1	Χρήση των SiC JFET σε αρθρωτούς πολυεπίπεδους μετατροπείς.	32
3.7.2	Χρήση των SiC JFET σε συνδεσμολογία super cascode.	32
3.7.3	Παράλληλη συνδεσμολογία των SiC JFET.	33
3.8	Σύγκριση των SiC JFET με άλλους διακόπτες ισχύος	34
3.9	Σύγκριση των απωλειών αγωγής	37
3.10	Διακοπτικές απώλειες	38
3.10.1	Σύγκριση των διακοπτικών απωλειών για ρεύμα 28A	40
3.10.2	Σύγκριση των διακοπτικών απωλειών για ρεύμα 10.5 A	44
3.11	Πειραματικές μετρήσεις για τα βασικά στατικά χαρακτηριστικά των SiC JFET	48
3.12	Διασπορά των τιμών των λειτουργικών χαρακτηριστικών	48
3.13	Ορθή και ανάστροφη αγωγή των SiC JFET	49
3.14	Στατικές χαρακτηριστικές μεταφοράς των SiC JFET	49
3.15	Συμπεράσματα	51
ΚΕΦΑΛΑΙΟ 4. ΑΙΣΘΗΤΗΡΕΣ ΜΕΤΑΓΩΓΙΚΩΝ ΡΕΥΜΑΤΩΝ.....		53
4.1	Εισαγωγή.....	53
4.2	Rogowski coil	53
4.2.1	Αρχή λειτουργίας του Rogowski coil	53
4.2.2	Rogowski coil χαμηλού ύψους	56
4.2.3	Ισοδύναμο κύκλωμα του Rogowski coil.....	57
4.2.4	Κύκλωμα μη-αναστρέφοντα ολοκληρωτή Rogowski coil	58
4.3	Μετασχηματιστής ρεύματος (current transformer).....	60
4.3.1	Αρχή λειτουργίας του μετασχηματιστή ρεύματος.	60
4.3.2	Βελτιστοποίηση των χαρακτηριστικών του μετασχηματιστή ρεύματος.	64
4.4	Προτεινόμενος αισθητήρας ρεύματος.....	64
4.4.1	Επιλογή υλικού	64
4.4.2	Σχεδίαση του μετασχηματιστή ρεύματος.....	65
4.5	Διαφορικός μετασχηματιστής ρεύματος.....	66
4.6	Κύκλωμα μέτρησης των ρευμάτων για δυο παράλληλα συνδεδεμένους διακόπτες	66
4.7	Κύκλωμα μέτρησης των ρευμάτων για n παράλληλα συνδεδεμένους διακόπτες.....	68
ΚΕΦΑΛΑΙΟ 5. ΛΕΙΤΟΥΡΓΙΑ ΤΩΝ SiC JFET ΣΕ ΠΑΡΑΛΛΗΛΗ ΣΥΝΔΕΣΗ ΚΑΙ		
ΑΝΑΣΤΡΟΦΗ ΑΓΩΓΗ.....		69
5.1	Εισαγωγή.....	69
5.2	Κύκλωμα ελέγχου διπλού παλμού στην ανάστροφη αγωγή.....	69

5.3	Ακολουθία παλμών της τάσης ελέγχου και των ρευμάτων στο κύκλωμα ελέγχου	71
5.4	Υπολογισμός των ρευμάτων στην ανάστροφη αγωγή	72
5.5	Κατανομή των ρευμάτων στην ανάστροφη αγωγή.....	73
5.6	Προσομοιώσεις παράλληλης σύνδεσης με ανάστροφη αγωγή.....	73
5.6.1	Επιρροή της ανοχής της τάση κατωφλίου στον καταμερισμό των ρευμάτων.....	74
5.6.2	Επιρροή της ανοχής της αντίστασης ανάστροφης αγωγής στον καταμερισμό των ρευμάτων. 76	
5.6.3	Εξισορρόπηση των ρευμάτων	76
5.7	Πειραματικές μετρήσεις ανάστροφης αγωγής με $V_{GS} < V_{GS-TH}$.....	79
5.7.1	Πειραματική διάταξη	79
5.7.2	Μελέτη των πειραματικών I-V χαρακτηριστικών.....	79
5.7.3	Μελέτη της κατανομής των ρευμάτων.....	81
5.7.4	Κατανομή των απωλειών αγωγής	81
5.7.5	Εξισορρόπηση των ρευμάτων	82
5.8	Πειραματικές μετρήσεις ανάστροφης αγωγής με $V_{GS} > V_{GS-TH}$.....	83
5.8.1	Πειραματική διάταξη	83
5.8.2	Επιρροή της αντίστασης ανάστροφης αγωγής στον καταμερισμό των ρευμάτων	84
5.8.3	Προσθήκη αντιπαράλληλης διόδου	85

ΚΕΦΑΛΑΙΟ 6. ΛΕΙΤΟΥΡΓΙΑ ΤΩΝ SIC JFET ΣΕ ΠΑΡΑΛΛΗΛΗ ΣΥΝΔΕΣΗ ΚΑΙ ΟΡΘΗ ΑΓΩΓΗ

87

6.1	Εισαγωγή.....	87
6.2	Αποτελέσματα προσομοιώσεων της παράλληλης σύνδεσης με ορθή αγωγή.....	87
6.2.1	Επιρροή των παρασιτικών αυτεπαγωγών στην κατανομή των ρευμάτων	88
6.2.2	Επιρροή της αντίστασης πύλης στην κατανομή των ρευμάτων	93
6.2.3	Επιρροή της τάσης κατωφλίου στην κατανομή των ρευμάτων	94
6.2.4	Εξισορρόπηση των ρευμάτων	96
6.3	Συμπεράσματα προσομοιώσεων.....	97
6.4	Πειραματικές μετρήσεις σε παράλληλη σύνδεση και ορθή αγωγή	97
6.4.1	Κύκλωμα ελέγχου διπλού παλμού σε ορθή αγωγή	97
6.4.2	Επηρεασμός της κατανομής των ρευμάτων από το τυπωμένο κύκλωμα.....	98
6.4.3	Επηρεασμός της κατανομής των ρευμάτων από το κύκλωμα οδήγησης	100
6.5	Τεχνική εξισορρόπησης των ρευμάτων	102
6.5.1	Εξισορρόπηση των ρευμάτων δυο παράλληλων ημιαγωγικών διακοπών.....	102
6.5.2	Πειραματικά αποτελέσματα για δυο ημιαγωγικούς διακόπτες	103
6.5.3	Επίδραση της μεταβολής της θερμοκρασίας στην εξισορρόπηση των ρευμάτων	105
6.5.4	Επίδραση της μεταβολής του ολικού ρεύματος στην εξισορρόπηση των ρευμάτων	105
6.5.5	Επίδραση της μεταβολής της καθυστέρησης στην εξισορρόπηση των ρευμάτων	106
6.5.6	Διακοπτικές απώλειες	107
6.5.7	Εξισορρόπηση των ρευμάτων N παράλληλων ημιαγωγικών διακοπών	109
6.5.8	Εναλλακτικές προσεγγίσεις της τεχνικής εξισορρόπησης	112

ΚΕΦΑΛΑΙΟ 7. ΣΧΕΔΙΑΣΜΟΣ ΤΟΥ ΠΡΟΤΕΙΝΟΜΕΝΟΥ ΜΕΤΑΤΡΟΠΕΑ ΑΝΥΨΩΣΗΣ ΤΑΣΗΣ ΜΕ SIC ΗΜΙΑΓΩΓΙΚΟΥΣ ΔΙΑΚΟΠΤΕΣ.....	113
7.1 Εισαγωγή.....	113
7.2 Βασικό κύκλωμα μετατροπέα ανύψωσης τάσης.....	113
7.3 Λειτουργικά χαρακτηριστικά του υλοποιούμενου μετατροπέα τάσης.....	114
7.4 Υλοποίηση του μετατροπέα τάσης.....	115
7.5 Περιγραφή του βασικού κυκλώματος του μετατροπέα ανύψωσης τάσης.....	116
7.6 Κύκλωμα οδήγησης των ημιαγωγικών διακοπών.....	118
7.7 Κύκλωμα περιορισμού ρεύματος.....	118
7.8 Κύκλωμα μέτρησης της τάσης εισόδου.....	119
7.9 Υπολογισμοί των στοιχείων του μετατροπέα ανύψωσης της τάσεως.....	120
7.10 Πηνίο του κυκλώματος ανύψωσης της τάσεως.....	121
7.11 Θεωρητικός Υπολογισμός των απωλειών του JFET SJDP120R085.....	123
7.12 Θεωρητικός Υπολογισμός των απωλειών της διόδου SDP20S120D.....	124
7.13 Θεωρητικός Υπολογισμός των απωλειών των πυκνωτών εισόδου - εξόδου.....	125
7.14 Θεωρητικός Υπολογισμός της απόδοσης του μετατροπέα.....	126
7.15 Περιγραφή των κυκλωμάτων του ψηφιακού μικροελεγκτή.....	126
7.16 Πειραματικές μετρήσεις.....	128
7.17 Φωτοβολταϊκά Συστήματα.....	129
7.18 Παρακολούθηση του Σημείου Μέγιστης Ισχύος.....	131
7.19 Αλγόριθμος Αυξητικής Αγωγιμότητας (Incremental Conductance - IC).....	133
7.19.1 Πειραματικές μετρήσεις.....	134
7.20 Προτεινόμενος Τροποποιημένος Αλγόριθμος Αυξητικής Αγωγιμότητας.....	135
7.21 Καταστάσεις λειτουργίας του μετατροπέα.....	138
7.22 Μέτρηση απόδοσης του μετατροπέα ανύψωσης.....	139
7.23 Λειτουργία σε υψηλότερη διακοπτική συχνότητα.....	141
ΚΕΦΑΛΑΙΟ 8. ΣΥΜΠΕΡΑΣΜΑΤΑ.....	143
8.1 Συμπεράσματα.....	143

8.2	Προτάσεις μελλοντικής έρευνας.....	145
	ΠΑΡΑΡΤΗΜΑ Α. ΣΧΕΔΙΑ ΤΥΠΩΜΕΝΩΝ ΠΛΑΚΕΤΩΝ	149
	ΠΑΡΑΡΤΗΜΑ Β. ΛΙΣΤΑ ΤΩΝ ΣΥΜΒΟΛΩΝ ΚΑΙ ΤΩΝ ΑΚΡΩΝΥΜΙΩΝ	153
	Λίστα Συμβόλων	153
	Λίστα Ακρωνυμίων	156
	ΠΑΡΑΡΤΗΜΑ Γ. ΔΗΜΟΣΙΕΥΣΕΙΣ.....	157
	Δημοσιεύσεις σε διεθνή επιστημονικά περιοδικά	157
	Δημοσιεύσεις σε διεθνή συνέδρια.....	157
	ΒΙΒΛΙΟΓΡΑΦΙΑ.....	159

Κεφάλαιο 1. Εισαγωγή

1.1 Εισαγωγή

Οι διακόπτες ισχύος οι οποίοι κατασκευάζονται από ημιαγώγιμα υλικά με ευρύ ενεργειακό διάκενο (wide band gap - WBG) κερδίζουν όλο και περισσότερο έδαφος κατά τη διάρκεια της τελευταίας δεκαετίας λόγω των πλεονεκτημάτων τους έναντι των αντίστοιχων διακοπών από πυρίτιο (Si). Μεταξύ άλλων πλεονεκτημάτων, οι διακόπτες με ευρύ ενεργειακό διάκενο έχουν υψηλότερη τάση φραγμού, χαμηλότερη αντίσταση αγωγής (R_{DS-ON}), χαμηλότερες διακοπτικές απώλειες και υψηλότερη θερμική αγωγιμότητα. Τα τρανζίστορ καρβιδίου του πυριτίου (SiC) είναι μέλος της οικογένειας των ημιαγωγών με ευρύ ενεργειακό διάκενο. Μεταξύ αυτών, τα τρανζίστορ Ένωσης Επίδρασης Πεδίου (JFET) θεωρούνται τεχνολογικά ώριμα, δομικά σταθερά και αξιόπιστα σε δυσμενείς καταστάσεις λειτουργίας [1]-[3]. Υπάρχουν δύο ειδών SiC JFET. Τα JFET τύπου απογύμνωσης, τα οποία είναι σε κατάσταση αγωγής όταν δεν υπάρχει διέγερση στην πύλη τους (Normally-on), καθώς επίσης και JFET τύπου πύκνωσης τα οποία είναι σε κατάσταση αποκοπής όταν δεν υπάρχει διέγερση στην πύλη τους (Normally-off).

Η ιδιότητα του Normally-on JFET να άγει όταν δεν υπάρχει οδήγηση στην πύλη του, απαιτεί την ύπαρξη επιπλέον προστασίας, για την περίπτωση της απώλειας της τάσης πόλωσης της πύλης του.

Τα SiC JFET είναι δυνατό να βρίσκονται σε ορθή αγωγή, όπου το ρεύμα υποδοχής-πηγής I_D είναι θετικό ή σε ανάστροφη αγωγή, όπου το ρεύμα I_D είναι αρνητικό. Στην ανάστροφη αγωγή, όταν η τάση V_{GS} στην πύλη τους είναι μεγαλύτερη από την τάση κατωφλίου V_{GS-TH} , η πτώση τάσης πάνω τους είναι συγκρίσιμη με αυτή που έχει μια SiC δίοδος, όταν όμως η τάση V_{GS} είναι μικρότερη από την τάση V_{GS-TH} , τότε η πτώση τάσης πάνω τους είναι πολύ μεγάλη.

Τα κυκλώματα οδήγησης των SiC JFET είναι πιο περίπλοκα από τα συνηθισμένα κυκλώματα οδήγησης των MOSFET ή των IGBT, λόγω των απαιτήσεων για κατάλληλη πόλωση των ενδογενών ενώσεων στην πύλης τους τόσο στην ορθή όσο και στην ανάστροφη αγωγή.

Η μέτρηση των ρευμάτων λειτουργίας των διακοπών αυτών που έχουν ταυτόχρονα υψηλή τιμή και γρήγορο χρόνο ανόδου ή καθόδου είναι ιδιαίτερα δύσκολη. Οι αντιστάσεις εν σειρά έχουν χαμηλό κόστος, μεγάλη ακρίβεια και υψηλό εύρος ζώνης, όμως δεν έχουν απομόνωση και πρέπει να παρεμβληθούν στο κύκλωμα ισχύος, και επομένως να μειώσουν την αποδοτικότητα, ιδιαίτερα στις εφαρμογές υψηλών ρευμάτων. Για το λόγο αυτό οι μετασχηματιστές ρεύματος και τα Rogowski coil χρησιμοποιούνται ευρέως ως απομονωμένοι αισθητήρες μεταβαλλόμενου ρεύματος.

Μέχρι τώρα, δεν υπάρχει καμία εμπορικά διαθέσιμη συσκευή πολύ μεγάλης ισχύος κατασκευασμένη από SiC, λόγω του ασύμφορου μεγάλου χρόνου παραγωγής. Συνεπώς, η μόνη εναλλακτική λύση για την αντικατάσταση των διακοπών από Si, στα συστήματα πολύ υψηλής ισχύος, είναι να αναπτυχθούν μπλοκ πολλών διακοπών σε μια συσκευασία (multichip) [4]-[5], ή να συνδεθούν πολλοί απλοί διακόπτες (single-chip) παράλληλα [6]. Τα τρανζίστορ

επίδρασης πεδίου μετάλλου οξειδίου ημιαγωγού από καρβίδιο του πυριτίου (SiC MOSFET) είναι ασφαλή στον παραλληλισμό τους [7], αλλά η επαφή του οξειδίου στην πύλη τους είναι ευαίσθητη και επίσης υπάρχουν προβλήματα στην κρυσταλλική δομή τους σε υψηλές θερμοκρασίες. Τα SiC JFET έχουν δυσκολίες στον παράλληλο τρόπο λειτουργίας τους αλλά παρουσιάζουν ανθεκτικότητα στα βραχυκυκλώματα και άριστη συμπεριφορά σε κυκλώματα περιορισμού του ρεύματος αγωγής. Μέχρι τώρα έχουν υπάρξει διάφορες μελέτες για τα προβλήματα στην παράλληλη σύνδεση των SiC JFET. Οι παράμετροι που διαδραματίζουν σημαντικό ρόλο στην παράλληλη σύνδεση είναι: η τάση κατωφλίου στην πύλη (V_{GS-TH}) η οποία στα JFET είναι ίση με την τάση στραγγαλισμού (pinch-off voltage), η ανάστροφη τάση κατάρρευσης πύλης (reverse breakdown voltage - V_{BR-G}), η διασπορά στην τιμή της αντίστασης αγωγής, οι στατικές χαρακτηριστικές μεταφοράς και οι παρασιτικές αυτεπαγωγές του τυπωμένου κυκλώματος, [6], [8]-[10]. Η τάση κατωφλίου στην πύλη και η ανάστροφη τάση κατάρρευσης πύλης στα JFET κάθετης δομής (VT-JFETs) είναι σχεδόν ανεξάρτητες της θερμοκρασίας [10] και αυτό είναι ένα σημαντικό πλεονέκτημα σε σχέση με τα JFET οριζόντιας δομής (LC-JFET) στα οποία οι τάσεις αυτές είναι εξαρτώμενες από τη θερμοκρασία.

Στα φωτοβολταϊκά συστήματα οι αντιστροφείς χωρίς μετασχηματιστή είναι η προτιμότερη επιλογή, λόγω του μικρότερου μεγέθους και βάρους, του χαμηλότερου κόστους και της υψηλότερης συχνότητας λειτουργίας. Για έναν τέτοιο τριφασικό αντιστροφέα, η DC τάση στην είσοδο του είναι τυπικά της τάξης των 800 V και επιτυγχάνεται από μετατροπείς ανύψωσης τάσης οι οποίοι παίρνουν ενέργεια από φωτοβολταϊκές συστοιχίες και φροντίζουν για τη λειτουργία αυτών στο σημείο μέγιστης ισχύος τους. Οι διακόπτες που χρησιμοποιούνται στους μετατροπείς ανύψωσης τάσης ήταν μέχρι τώρα διπολικά τρανζίστορ μονωμένης πύλης (Insulated Gate Bipolar Transistor- IGBT). Η έλευση όμως των διακοπτών από καρβίδιο του πυριτίου δίνει μία επιπλέον επιλογή, πολλά υποσχόμενη, διότι οι διακοπτικές απώλειες μπορεί να ελαττωθούν σε μεγάλο βαθμό καθώς επίσης και η πτώση τάσης στην κατάσταση αγωγής. Το γεγονός αυτό επιτρέπει την ελάττωση του συνολικού όγκου της συσκευής λόγω σημαντικής αύξησης της συχνότητας λειτουργίας με ταυτόχρονη διατήρηση της υψηλής απόδοσης.

1.2 Στόχοι της παρούσας εργασίας

Αρχικά θα παρουσιαστούν τα χαρακτηριστικά των διαφόρων τρανζίστορ καρβιδίου του πυριτίου (SiC) υψηλής τάσης και θα γίνει μία σύγκριση αυτών μεταξύ τους καθώς επίσης και με τα IGBT από πυρίτιο. Από τη σύγκριση θα φανεί ότι τα SiC τρανζίστορ υπερέχουν τεχνολογικά και η χρήση τους έχει σαν αποτέλεσμα τη δημιουργία αποδοτικότερων μετατροπέων και με εκτεταμένα όρια θερμοκρασίας λειτουργίας. Τα βασικά μειονεκτήματα των SiC τρανζίστορ, συγκρινόμενα με τα Si IGBT, είναι το αυξημένο κόστος και η σημαντικά μικρότερη ισχύς λειτουργίας μιας απλής συσκευής.

Επίσης θα παρουσιαστούν οι συσκευές που χρησιμοποιούνται ευρέως για τη μέτρηση των ρευμάτων των ημιαγωγικών διακοπτών δηλαδή οι μετασχηματιστές ρεύματος και τα Rogowski coil. Επίσης θα προταθεί ένα κύκλωμα μέτρησης ρεύματος χαμηλού κόστους που μπορεί άμεσα να μετρήσει τη διαφορά των ρευμάτων των διακοπτών που είναι παράλληλα συνδεδεμένοι.

Στη συνέχεια θα γίνει μια λεπτομερής ανάλυση της παράλληλης λειτουργίας των SiC VT-JFET τύπου πύκνωσης (enhancement mode) και τύπου απογύμνωσης (depletion mode) κατά

την ανάστροφη αγωγή τους και θα δοθούν λύσεις αντιμετώπισης της ανισόρροπης κατανομής των ρευμάτων τους. Επίσης θα αναπτυχτεί μια νέα τεχνική για την επίτευξη της ισορροπίας των ρευμάτων των παράλληλα συνδεδεμένων SiC VT JFET, κατά τη διάρκεια της ορθής αγωγής. Η επίδραση της ανάστροφης τάσης κατάρρευσης πύλης (V_{BR-G}) στη διαδικασία παραλληλισμού δεν έχει εξεταστεί σε αυτήν την ανάλυση διότι η τάση ελέγχου που εφαρμόζεται στην πύλη είναι μικρότερη από το V_{BR-G} για όλες τις τιμές θερμοκρασίας περιβάλλοντος κατά την εκτέλεση των πειραμάτων.

Τελικά θα παρουσιαστεί ένας μετατροπέας συνεχούς ρεύματος με ημιαγωγούς καρβιδίου του πυριτίου, ισχύος εξόδου 5 kWatt και απόδοσης μεγαλύτερης από 99%. Ο μετατροπέας αυτός θα παίρνει είσοδο από μια συστοιχία φωτοβολταϊκών πλαισίων και θα παράγει έξοδο υψηλής τάσης για να τροφοδοτεί ένα τριφασικό αντιστροφέα με απευθείας σύνδεση στο δίκτυο παροχής ηλεκτρικής ενέργειας χωρίς την ύπαρξη μετασχηματιστή. Ο μετατροπέας συνεχούς ρεύματος έχει κατάλληλο έλεγχο για να παρακολουθεί το σημείο μέγιστης ισχύος των φωτοβολταϊκών πλαισίων, ενώ η διατήρηση της τάσης εξόδου του θα γίνεται έμμεσα δια μέσω του ελέγχου του αντιστροφέα μαζί με τον οποίο θα αποτελούν μια ενιαία διάταξη.

1.3 Η συνεισφορά της παρούσας διατριβής

Η συνεισφορά της παρούσας διατριβής έγκειται σε τέσσερα διαφορετικά ερευνητικά αντικείμενα:

- I. Η ανάπτυξη ενός κυκλώματος μέτρησης των ταχέως μεταβαλλόμενων ρευμάτων των ημιαγωγικών διακοπών το οποίο διαθέτει τα εξής χαρακτηριστικά:
 - Έχει χαμηλό κόστος, μικρή πολυπλοκότητα, μικρό μέγεθος, μεγάλη ακρίβεια μεγάλη αξιοπιστία και ανεξαρτησία από τη μεταβολή της θερμοκρασίας. Η έξοδός του είναι ηλεκτρικά απομονωμένη από το κύκλωμα ισχύος.
 - Η επιβάρυνση που προσθέτει σε ανεπιθύμητες ωμικές αντιστάσεις και παρασιτικές χωρητικότητες και αυτεπαγωγές είναι ελάχιστη.
 - Μπορεί να χρησιμοποιηθεί ταυτόχρονα από τα κυκλώματα προστασίας και από τα κυκλώματα διαμοιρασμού του ρεύματος ελαττώνοντας έτσι το οικονομικό κόστος και μεγιστοποιώντας την απόδοση του.
 - Έχει την ικανότητα να μέτρα άμεσα τη διαφορά των ρευμάτων στους παράλληλα συνδεδεμένους ημιαγωγικούς διακόπτες χωρίς τη χρήση εξωτερικών ενεργών κυκλωμάτων και απαιτεί μόνο απλές διόδους.

- II. Η μελέτη της λειτουργίας της παράλληλης σύνδεσης των JFET σε κατάσταση ανάστροφης αγωγής. Αναδείχθηκαν τα προβλήματα που υπάρχουν από την άνιση κατανομή των ρευμάτων και παρήχθησαν ικανές λύσεις αντιμετώπισής τους. Πιο αναλυτικά, όταν η τάση V_{GS} στην πύλη είναι μεγαλύτερη από την τάση κατωφλίου V_{GS-TH} , τότε το χαρακτηριστικό που επηρεάζει καθοριστικά την κατανομή των ρευμάτων είναι η αντίσταση αγωγής, η οποία έχει θετικό θερμοκρασιακό συντελεστή, με αποτέλεσμα η λειτουργία να είναι αξιόπιστη και τα ρεύματα να τείνουν να εξισορροπηθούν αυτόματα. Όταν όμως η τάση V_{GS} είναι μικρότερη από την τάση

V_{GS-TH} , τότε ο παράγοντας που καθορίζει τον καταμερισμό των ρευμάτων είναι η στατική καμπύλη μεταφοράς των JFET και είναι πιθανό τα ρεύματα να αποκλίνουν σημαντικά σε όλη τη διάρκεια αυτού του τρόπου αγωγής. Στις τυπικές υλοποιήσεις, τα JFET αρχικά λειτουργούν αναγκαστικά για ένα μικρό χρονικό διάστημα στην ανάστροφη αγωγή με $V_{GS} < V_{GS-TH}$ και, όπως προέκυψε από τα πειράματα που έγιναν, ο χρόνος αποκατάστασης της ισορροπίας των ρευμάτων στο επόμενο βήμα ανάστροφης αγωγής με $V_{GS} > V_{GS-TH}$ είναι της τάξης των 2 μ s. Αναδεικνύεται λοιπόν η αναγκαιότητα της εξαναγκασμένης εξισορρόπησης των ρευμάτων η οποία μπορεί να επιτευχθεί μεταβάλλοντας την τάση πόλωσης στην πύλη των JFET όπως προέκυψε από τα πειράματα αυτής της μελέτης. Όμως, το κύκλωμα εξισορρόπησης αυτό απαιτεί διαφορετικά σημεία αναφοράς για τις τάσεις πόλωσης των κυκλωμάτων οδήγησης, γεγονός που επιφέρει επιπρόσθετη πολυπλοκότητα και αυξημένο κόστος. Μία απλούστερη λύση που προτείνεται, η οποία επιλύει ταυτόχρονα το πρόβλημα της μεγάλης πτώσης τάσης πάνω στα JFET, είναι η προσθήκη μιας αντιπαράλληλης διόδου.

- III. Η σχεδίαση ενός κυκλώματος εξαναγκασμένης εξισορρόπησης των ρευμάτων σε JFET τα οποία είναι συνδεδεμένα παράλληλα. Στην πρόσφατη βιβλιογραφία έχουν προταθεί μέθοδοι εξαναγκασμένης εξισορρόπησης των ρευμάτων για δύο μόνο παράλληλα συνδεδεμένους διακόπτες ισχύος υψηλής ταχύτητας μετάβασης όπως είναι τα JFET και τα MOSFET. Το κύκλωμα εξισορρόπησης των ρευμάτων που προτείνεται, χρησιμοποιεί το κύκλωμα μέτρησης της διαφοράς των ρευμάτων των παραλληλισμένων συσκευών, παράγει κατάλληλες χρονικές καθυστερήσεις στις πύλες των ημιαγωγικών διακοπών και τους αναγκάζει να λειτουργήσουν με εξισορροπημένα ρεύματα. Το κύκλωμα αυτό χρησιμοποιεί έναν ψηφιακό ελεγκτή (DSC) και έχει τη δυνατότητα να μεταβάλλει την καθυστέρηση των σημάτων στις πύλες με πολύ υψηλή ανάλυση (1.04 ns), για την επίτευξη της εξισορρόπησης των ρευμάτων. Επίσης για πρώτη φορά εξετάστηκε το ενδεχόμενο η εξισορρόπηση των ρευμάτων να γίνει μόνο μια φορά κατά τη διάρκεια του ελέγχου της παραγωγής της συσκευής και στη συνέχεια αυτή να λειτουργεί με σωστή κατανομή των ρευμάτων, χωρίς ωστόσο να είναι αναγκαία η συνεχής μεταβολή των σημάτων στις πύλες των JFET. Πράγματι, η μελέτη ανέδειξε ότι αυτό είναι εφικτό να πραγματοποιηθεί εάν οι τιμές των καθυστερήσεων στα σήματα των πυλών αποθηκευτούν ως σταθερές στον DSC, οδηγώντας έτσι στην κατασκευή συσκευών χαμηλού κόστους χωρίς την ύπαρξη αισθητήρων ρεύματος. Η λύση αυτή έχει ωστόσο το μειονέκτημα ελαττωμένης απόδοσης του κυκλώματος εξισορρόπησης των ρευμάτων και έλλειψης προστασίας από μεγάλα ρεύματα ή βραχυκυκλώματα. Ωστόσο, εάν η ρύθμιση γίνει για τη μέγιστη τιμή του ρεύματος, τότε οι τιμές των ρευμάτων που άγουν τα JFET σε όλες τις συνθήκες λειτουργίας είναι ασφαλείς παρόλο που η κατανομή τους χειροτερεύει όταν το ρεύμα μεταβάλλεται. Επίσης, από τα πειράματα που έγιναν, αποδείχθηκε ότι η μεταβολή της θερμοκρασίας από μηδέν έως 150°C δεν είχε επίδραση στον εξαναγκασμένο παραλληλισμό των ρευμάτων.

IV. Η σχεδίαση ενός αλγορίθμου για την παρακολούθηση του σημείου μέγιστης ισχύος των φωτοβολταϊκών συστημάτων. Ο αλγόριθμος αυτός διαφέρει από τους ήδη υπάρχοντες στο γεγονός ότι είναι σχεδιασμένος έτσι ώστε να μπορεί να λειτουργεί σε περιβάλλοντα με μεγάλο θόρυβο, λόγω του οποίου λαμβάνει παραμορφωμένα τα σήματα της τάσης και του ρεύματος λειτουργίας της φωτοβολταϊκής γεννήτριας. Στην κατηγορία αυτή εντάσσεται και ο σχεδιαζόμενος μετατροπέας ανύψωσης τάσης, διότι η μέγιστη ισχύς που παρέχει στην έξοδό του είναι 5 kW και λειτουργεί με υψηλά παλμικά ρεύματα και με υψηλές παλμικές τάσεις. Σύμφωνα με τη βιβλιογραφία, στην περίπτωση που χρησιμοποιείται κάποια άμεση μέθοδος η οποία εντοπίζει το σημείο μέγιστης ισχύος (MPP) λαμβάνοντας τις μετρήσεις της τάσης και του ρεύματος της ΦΒ γεννήτριας, τότε η λειτουργικότητα του συστήματος είναι ανεξάρτητη από την εξειδίκευση της μεθόδου και σημαντικό ρόλο παίζει η ορθότητα των σημάτων μέτρησης. Η μέθοδος η οποία σχεδιάστηκε εισάγει τη στατιστική ανάλυση των σημάτων μέτρησης για τη μείωση της επιρροής του θορύβου και κάνει χρήση του γεγονότος ότι σε σταθερές συνθήκες ακτινοβολίας και θερμοκρασίας δεν είναι δυνατόν να αυξάνει ταυτόχρονα η τάση και το ρεύμα μιας ΦΒ γεννήτριας. Στην περίπτωση που η ΦΒ γεννήτρια λειτουργεί μακριά από το MPP, τότε χρησιμοποιείται μεγάλο βήμα μεταβολής της τάσης λειτουργίας της φωτοβολταϊκής γεννήτριας, με στόχο τη γρήγορη προσέγγιση του MPP και την αποφυγή των εσφαλμένων παλινδρομήσεων εξαιτίας των αλλοιωμένων σημάτων λόγω του θορύβου. Αντίθετα, στην περίπτωση που η φωτοβολταϊκή γεννήτρια λειτουργεί κοντά στο MPP, τότε χρησιμοποιείται μικρό βήμα μεταβολής της τάσης λειτουργίας για να επιτευχθεί μικρή ταλάντωση γύρω από το MPP. Η απόφαση για το πόσο κοντά στο MPP λειτουργεί η γεννήτρια παίρνεται με χρήση του κλασικού αλγορίθμου της αυξητικής αγωγιμότητας ο οποίος λειτουργεί σωστά ακόμη και στην περίπτωση της μεγάλης ταλάντωσης γύρω από το MPP επειδή στην είσοδο του παίρνει τις μέσες τιμές των σημάτων.

1.4 Κατανομή του περιεχομένου της διατριβής

Το περιεχόμενο της διατριβής οργανώνεται ως εξής:

Στην **Εισαγωγή** περιγράφονται τα οφέλη της αξιοποίησης των νέων ημιαγωγικών διακοπών καρβιδίου του πυριτίου στους μετατροπείς ισχύος καθώς επίσης τα μειονεκτήματα και οι υπάρχοντες περιορισμοί κατά τη χρήση τους. Περιλαμβάνεται βιβλιογραφική ανασκόπηση των ζητημάτων που θα μελετηθούν και παρουσιάζονται οι στόχοι και τα σημεία καινοτομίας της παρούσας διατριβής.

Στο **Κεφάλαιο 2** παρουσιάζονται τα χαρακτηριστικά των ημιαγωγών καρβιδίου του πυριτίου με εστίαση στους ημιαγωγικούς διακόπτες SiC JFET και αναπτύσσονται δυο μοντέλα για του διακόπτες αυτούς. Το πρώτο μοντέλο είναι βασισμένο στα φυσικά χαρακτηριστικά της κατασκευής τους, ενώ το δεύτερο μοντέλο είναι ιδιαίτερα εύχρηστο στις προσομοιώσεις και βασίζεται σε συστηματικά μοντέλα εξισώσεων.

Στο **Κεφάλαιο 3** παρουσιάζονται τα SiC JFET κάθετης δομής και γίνεται ένας διαχωρισμός που σχετίζεται με την κατασκευή τους σε JFET απογύμνωσης (Depletion Mode) και σε JFET πύκνωσης (Enhancement Mode). Δίνονται διάφορες τοπολογίες κυκλωμάτων οδήγησης των SiC JFET και συγκρίνεται η απόδοσή τους σε σχέση με τα SiC MOSFET και τα Si IGBT τρίτης

γενεάς. Παρουσιάζονται οι τρεις διαφορετικοί τρόποι αγωγής των SiC JFET καθώς επίσης και τα πειραματικά αποτελέσματα για τη μέτρηση των βασικών λειτουργικών χαρακτηριστικών τους.

Στο **Κεφάλαιο 4** δίνεται η μέθοδος λειτουργίας των μετασχηματιστών ρεύματος και των Rogowski coil που χρησιμοποιούνται ευρέως στη μέτρηση των ρευμάτων των διακοπών ισχύος που έχουν ταυτόχρονα υψηλή τιμή και γρήγορο χρόνο ανόδου ή καθόδου. Επίσης θα προταθεί ένα κύκλωμα άμεσης μέτρησης της διαφοράς των ρευμάτων σε ημιαγωγικούς διακόπτες που είναι παράλληλα συνδεδεμένοι για χρήση σε κυκλώματα εξισορρόπησης των ρευμάτων τους. Το κύκλωμα αυτό παρέχει επίσης ακριβείς μετρήσεις όλων των ρευμάτων για χρήση σε κυκλώματα περιορισμού ρεύματος και προστασίας από βραχυκυκλώματα.

Στο **Κεφάλαιο 5** θα γίνει μια λεπτομερής ανάλυση της παράλληλης λειτουργίας των SiC JFET τύπου πύκνωσης και τύπου απογύμνωσης κατά την ανάστροφη αγωγή τους. Θα παρουσιαστεί το ζήτημα της ανισόρροπης κατανομής των ρευμάτων, θα αναδειχθούν οι παράμετροι που επιδρούν σημαντικά σε αυτό και θα δοθούν λύσεις αντιμετώπισής του. Η μία λύση βασίζεται στον έλεγχο της τάσης των πυλών και η δεύτερη στην προσθήκη αντιπαράλληλης διόδου. Θα δοθούν πειραματικά αποτελέσματα και αποτελέσματα προσομοιώσεων μέσω του OrCAD PSpice

Στο **Κεφάλαιο 6** θα παρουσιαστούν τα προβλήματα που ανακύπτουν κατά την παράλληλη σύνδεση των SiC JFET σε ορθή αγωγή και θα μελετηθούν διεξοδικά τα κατασκευαστικά χαρακτηριστικά τους καθώς επίσης και τα παρασιτικά στοιχεία των κυκλωμάτων που επηρεάζουν την κατανομή των ρευμάτων τους. Επίσης θα προταθεί μια μέθοδος εξαναγκασμένης εξισορρόπησης των ρευμάτων μέσω κατάλληλης χρονικής καθυστέρησης στα σήματα των πυλών των JFET. Η μελέτη βασίζεται σε πειραματικά αποτελέσματα και σε προσομοιώσεις μέσω του OrCAD PSpice.

Στο **Κεφάλαιο 7** θα παρουσιαστούν τα αποτελέσματα της μελέτης και ανάπτυξης ενός μετατροπέα συνεχούς ρεύματος με δυνατότητα παρακολούθησης του σημείου μέγιστης ισχύος μιας διάταξης φωτοβολταϊκών πλαισίων και διασύνδεσης με ένα τριφασικό αντιστροφέα για ζεύξη στο δίκτυο χωρίς μετασχηματιστή. Θα αναπτυχθεί μια μέθοδος που έχει στόχο την ταχεία προσέγγιση του σημείου μέγιστης ισχύος σε περιβάλλοντα με μεγάλο θόρυβο, ο οποίος αλλοιώνει τις μετρήσεις της τάσης και του ρεύματος. Ο μετατροπέας χρησιμοποιεί ημιαγωγούς καρβιδίου του πυριτίου, έχει υψηλή ισχύ εξόδου, υψηλή πυκνότητα ισχύος και βαθμό απόδοσης μεγαλύτερο από 99%.

Τέλος, στο **Κεφάλαιο 8** συγκεντρώνονται τα συμπεράσματα που προέκυψαν από τα αποτελέσματα της παρούσας έρευνας και παρουσιάζονται προτάσεις μελλοντικής έρευνας.

Στην παρούσα διατριβή περιλαμβάνονται τρία παραρτήματα.

Στο **Παράρτημα Α** παρουσιάζονται τα σχέδια των τυπωμένων πλακετών.

Το **Παράρτημα Β** περιέχει τη λίστα των συμβόλων και των ακρωνυμίων.

Στο **Παράρτημα Γ** παρατίθεται η λίστα με τις δημοσιευμένες εργασίες σε διεθνή επιστημονικά περιοδικά και διεθνή συνέδρια.

Κεφάλαιο 2. JFET καρβιδίου του πυριτίου (SiC- JFET)

2.1 Ημιαγωγοί από καρβίδιο του πυριτίου (SiC)

Το πυρίτιο είναι το κυρίαρχο ημιαγωγικό υλικό για την κατασκευή των εμπορικών ημιαγωγικών στοιχείων ισχύος [11] επειδή μπορεί να αναπτυχθεί σε μονοκρυσταλλική δομή, σε μεγαλύτερες διαμέτρους και με μεγαλύτερη καθαρότητα σε σχέση με οποιονδήποτε άλλο διαθέσιμο ημιαγωγό. Βρίσκεται στη φύση σε αφθονία και έχει χαμηλό κόστος παραγωγής. Επίσης το φυσικό του οξείδιο, SiO₂, είναι πολύ εύχρηστο καθώς καθιστά εύκολη τη διάχυση προσμίξεων σε σχέση με κάθε άλλο γνωστό υλικό. Επειδή όμως οι ημιαγωγικοί διακόπτες πυριτίου (Si) μεγάλης ισχύος έχουν περιορισμένη τάση διάσπασης, περιορισμένα επίπεδα ισχύος, μικρό εύρος θερμοκρασίας λειτουργίας (<180°C) και περιορισμένη επιτρεπτή διακοπτική συχνότητα όταν λειτουργούν σε εφαρμογές μεγάλης ισχύος, ενδέχεται στο κοντινό μέλλον να αντικατασταθούν από ημιαγωγούς με ευρύ διάκενο (μεγαλύτερο από 2 eV). Έως τώρα κατάλληλα υλικά για την κατασκευή ημιαγωγών ισχύος, πέρα από το πυρίτιο, είναι το διαμάντι, το GaN (Νιτρίδιο του Γαλλίου) και το SiC (Καρβίδιο του Πυριτίου).

Οι ημιαγωγοί με ευρύ ενεργειακό διάκενο έχουν σχετικά μεγάλο πεδίο διάσπασης (E_c) και επομένως μπορούν να επιτευχθούν υψηλότερα επίπεδα νόθευσης.

Οι συσκευές που χρησιμοποιούν ημιαγωγούς με ευρύ ενεργειακό διάκενο:

- είναι λεπτότερες, $W \approx 2 \cdot V_{break} / E_c$ [12].
- έχουν μικρή ειδική αντίσταση αγωγής, $\rho = 4 \cdot V_{break}^2 / (\epsilon_s \cdot E_c^3 \cdot \mu_n)$ [12].
- έχουν υψηλότερες τάσεις διάσπασης, $V_{break} \approx \epsilon \cdot E_c^2 / (2 \cdot q \cdot N_d)$ [12].

Στις παραπάνω σχέσεις:

μ_n είναι η κινητικότητα ηλεκτρονίων σε $cm^2 / (V \cdot s)$

q είναι το φορτίο ενός ηλεκτρονίου και N_d είναι η πυκνότητα νόθευσης.

Το καρβίδιο του πυριτίου, SiC, ανήκει στην κατηγορία των ημιαγωγών με ευρύ διάκενο και είναι ένα υλικό εξαιρετικού ενδιαφέροντος για την κατασκευή ημιαγωγικών στοιχείων ισχύος διότι παρουσιάζει ορισμένα ιδιαίτερα χαρακτηριστικά με αποτέλεσμα να προσφέρει σημαντικά πλεονεκτήματα εν συγκρίσει με τα ημιαγωγά στοιχεία πυριτίου [13] - [16]. Το SiC παράγεται με τη μορφή διαφόρων πολυτύπων, δηλαδή διαφόρων κρυσταλλικών δομών. Αυτό που διαφέρει μεταξύ των πολυτύπων είναι η διάταξη των ατόμων μέσα στον κρύσταλλο. Το SiC έχει περισσότερους από 200 πολυτύπους και οι τρεις πιο συνηθισμένοι είναι ο 4H-SiC, ο 6H-SiC και ο 3C-SiC. (H σημαίνει εξάγωνος-hexagonal και C σημαίνει κυβικός-cubic). Προς το παρόν χρησιμοποιείται κυρίως το 4H-SiC [17].

Οι πιο αξιοσημείωτες ιδιότητες του SiC είναι:

- Έχει ευρύ ενεργειακό διάκενο, από 2.4 eV έως 3.3 eV.
- Έχει πολύ μεγάλο πεδίο διάσπασης-χιονοστιβάδας, από 2.5 MV/cm έως 5 MV/cm και επειδή το E_{max} του SiC είναι περίπου 10 φορές μεγαλύτερο από αυτό του Si προκύπτουν λεπτότερες συσκευές με μικρή αντίσταση αγωγής, λιγότερες απώλειες αγωγής, και υψηλότερες τάσεις λειτουργίας.

- Έχει υψηλή θερμική αγωγιμότητα η οποία φτάνει έως και τα 4.9 W/(cm·K) και είναι τριπλάσια εν συγκρίσει με την τιμή που έχει το Si. Συνεπώς έχει υψηλή μέγιστη θερμοκρασία λειτουργίας (έως και 1000°C) και μεγάλη αξιοπιστία.
- Έχει χημική αδράνεια δηλαδή αντιδρά ελάχιστα ή καθόλου με άλλα στοιχεία ή ενώσεις.
- Έχει ανθεκτικότητα έναντι της ακτινοβολίας και μπορεί να χρησιμοποιηθεί σε διαστημικές εφαρμογές. Επίσης οι συσκευές που παράγονται από SiC είναι ελαφρύτερες καθώς απαιτείται μειωμένη θωράκιση.
- Έχει ταχύτητα ολίσθησης ηλεκτρονίων διπλάσια από την αντίστοιχη τιμή του Si.
- Έχει εξαιρετική συμπεριφορά ανάστροφης επαναφοράς (reverse recovery) όταν χρησιμοποιείται σε διάταξη διόδου με αποτέλεσμα μικρότερη ηλεκτρομαγνητική παρεμβολή και ελάχιστες διακοπτικές απώλειες.

Όλες αυτές οι ιδιότητες είναι που καθιστούν το SiC ιδανικό για χρήση σε εφαρμογές υψηλής θερμοκρασίας και συνδυασμού υψηλής συχνότητας και υψηλής τάσης λειτουργίας. Οι μετατροπείς με τεχνολογία SiC είναι συμπαγείς, αξιόπιστοι, αποδοτικοί και έχουν μεγάλη πυκνότητα ισχύος και μικρό βάρος.

Τα μειονεκτήματα του SiC είναι:

- Περιορισμένη διαθεσιμότητα.
- Έλλειψη αποδοτικών τεχνικών επεξεργασίας του.
- Υψηλό κόστος σε σχέση με το Si.
- Μη συμβατότητα με τα τυποποιημένα κυκλώματα οδήγησης.

Στον πίνακα που ακολουθεί (Πίνακας 2.1) παρατίθενται τα φυσικά χαρακτηριστικά του πυριτίου και τεσσάρων ημιαγωγών με ευρύ διάκενο [18].

<i>Ιδιότητα</i>	<i>Si</i>	<i>GaAs</i>	<i>6H-SiC</i>	<i>4H-SiC</i>	<i>GaN</i>
Διάκενο E_g (eV)	1,12	1,43	3,03	3,26	3,45
Διηλεκτρική σταθερά ϵ	11,9	13,1	9,66	10,1	9
Ηλεκτρικό πεδίο διάσπασης, E_c (KV/cm)	300	400	2500	2200	2000
Θερμική αγωγιμότητα, (W/(cm·K))	1,5	0,46	4,9	4,9	1,3

Πίνακας 2.1: Συγκεντρωτικός πίνακας φυσικών χαρακτηριστικών διαφόρων ημιαγωγών.

2.2 Λειτουργία του JFET

Για όλους τους τύπους των JFET ισχύουν κάποιοι γενικοί κανόνες λειτουργίας, όπως περιγράφονται παρακάτω. Γενικά το ρεύμα που ρέει μέσα από ένα FET ελέγχεται από το πεδίο που δημιουργεί η τάση στους ακροδέκτες ελέγχου και συνίσταται μόνο από έναν τύπο φορέων δηλαδή μόνο από ηλεκτρόνια ή μόνο από οπές (unipolar transistor).

Η εφαρμογή αρνητικής τάσης V_{GS} μεταξύ πύλης και πηγής, πολώνει ανάστροφα την ένωση p-n πύλης και καναλιού, οπότε το πλάτος της περιοχής απογύμνωσης αυξάνεται με συνέπεια

να στενεύει το κανάλι και να μειώνεται το ρεύμα που ρέει μέσω του καναλιού. Η τιμή της V_{GS} για την οποία παύει να υπάρχει αγωγίμος δρόμος στο κανάλι ονομάζεται τάση κατωφλίου V_{GS-TH} .

Για μικρές τιμές τάσης V_{DS} , μεταξύ υποδοχής (drain) και πηγής (source), το πλάτος του καναλιού παραμένει ομοιόμορφο και ελέγχεται κυρίως από την τάση V_{GS} , επομένως λειτουργεί ως αντίσταση ελεγχόμενη από την V_{GS} (γραμμική περιοχή). Όταν όμως η τάση V_{DS} δεν είναι μικρή, τότε εμφανίζεται ως διαφορά δυναμικού στα άκρα του καναλιού του οποίου το δυναμικό αυξάνει καθώς κινούμαστε από την πηγή προς την υποδοχή. Αυτό σημαίνει ότι η ανάστροφη πόλωση ανάμεσα στην πύλη και το κανάλι δεν είναι σταθερή κατά μήκος ολόκληρου του καναλιού, δηλαδή το βάθος του καναλιού αποκτά κλίση και η $I_D - V_{DS}$ χαρακτηριστική του JFET γίνεται μη γραμμική.

Όταν στην περιοχή της υποδοχής η ανάστροφη πόλωση V_{GD} γίνεται αρνητικότερη από κάποια οριακή τιμή, τότε υπάρχει στραγγαλισμός του καναλιού πλησίον της υποδοχής και το ρεύμα I_D φτάνει σε κορεσμό. Στην περιοχή κορεσμού, η οποία ονομάζεται και περιοχή στραγγαλισμού (pinch-off region), το I_D είναι θεωρητικά ανεξάρτητο από την τάση V_{DS} . Η τιμή της τάσης V_{DS} για τη οποία το ρεύμα I_D λαμβάνει σταθερή τιμή, όταν η τάση V_{GS} είναι ίση με μηδέν, ονομάζεται τάση στραγγαλισμού V_P (pinch-off voltage). Στα JFET η τιμή της τάσης κατωφλίου V_T είναι ίση με την τιμή της τάσης στραγγαλισμού V_P .

Το JFET λειτουργεί στην γραμμική περιοχή όταν $V_{DS} \leq V_{GS} - V_P$. Στην γραμμική περιοχή το ρεύμα υποδοχής δίνεται προσεγγιστικά από την σχέση [19]:

$$I_D = I_{DSS} \left[2 \left(1 - \frac{V_{GS}}{V_P} \right) \left(\frac{V_{DS}}{-V_P} \right) - \left(\frac{V_{DS}}{V_P} \right)^2 \right] \quad (2.1)$$

Το JFET λειτουργεί στην περιοχή κορεσμού (pinch-off) για $V_{DS} \geq V_{GS} - V_P$. Στην περιοχή κορεσμού το ρεύμα υποδοχής δίνεται από τη σχέση [19]:

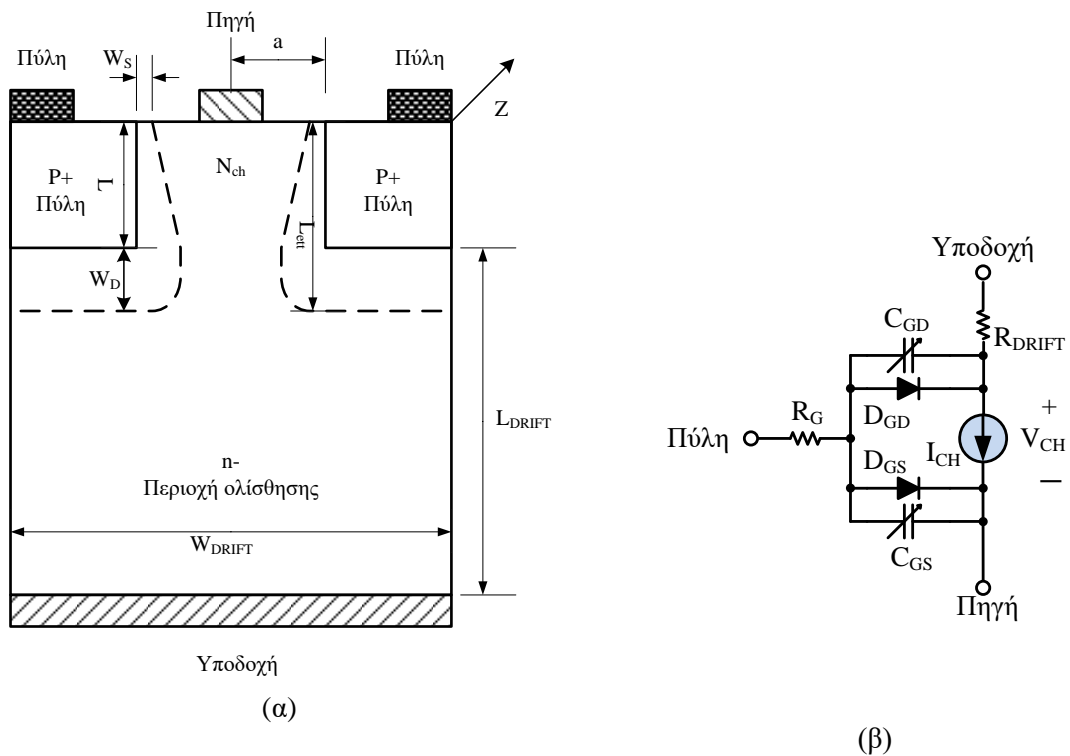
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 (1 + \lambda(V_{DS} - V_{GS} + V_P)) \quad (2.2)$$

Όπου λ είναι μια θετική σταθερά που εκφράζει την εξάρτηση του I_D από το V_{DS} στον κορεσμό και I_{DSS} είναι το ρεύμα κορεσμού της υποδοχής για $V_{GS}=0$. Η δίοδος πύλης-καναλιού είναι στην κανονική λειτουργία ανάστροφα πολωμένη και ρέει από μέσα της ένα πολύ μικρό ρεύμα διαρροής, το οποίο εξαρτάται έντονα από τη θερμοκρασία.

2.3 Ισοδύναμο κύκλωμα των SiC JFET βασισμένο στα φυσικά χαρακτηριστικά της κατασκευής του.

Το Σχήμα 2.1 παρακάτω απεικονίζει ένα τμήμα της δομής ενός SiC JFET κάθετου τύπου και το ηλεκτρικό του ισοδύναμο.

Πολλά τέτοια τμήματα μαζί σχηματίζουν ένα ολοκληρωμένο JFET.



Σχήμα 2.1: (α) Τμήμα της δομής ενός JFET τύπου n (β) Το ηλεκτρικό του ισοδύναμο [20].

Οι συμβολισμοί που ισχύουν για το σχήμα αυτό δίνονται παρακάτω:

- a : Μισό πλάτος καναλιού
- L_{eff} : Ενεργό μήκος καναλιού
- L_{DRIFT} : μήκος της περιοχής ολίσθησης
- N_{CH} : Πυκνότητα νόθευσης στην περιοχή του καναλιού
- W_D : Πλάτος περιοχής απογύμνωσης μεταξύ πύλης και υποδοχής
- W_S : Πλάτος περιοχής απογύμνωσης μεταξύ πύλης και πηγής
- W_{DRIFT} : Πλάτος της περιοχής ολίσθησης
- Z : Διάσταση του ημιαγωγού σε κατακόρυφη κατεύθυνση προς το χαρτί
- $p+$: Ημιαγωγός (SiC) με ισχυρή νόθευση τύπου p
- $n+$: Ημιαγωγός (SiC) με ισχυρή νόθευση τύπου n
- $n-$: Ημιαγωγός (SiC) με ασθενή νόθευση τύπου n

Στη συνέχεια δίνονται και οι υπόλοιποι συμβολισμοί που εφαρμόζονται στις σχέσεις που ακολουθούν.

- A_{GD} : Διατομή ένωσης μεταξύ πύλης και υποδοχής
- A_{GS} : Διατομή ένωσης μεταξύ πύλης και πηγής
- β : Σταθερά για τη ταχύτητα κορεσμού
- E : Ένταση ηλεκτρικού πεδίου
- ϵ_{SiC} : Διηλεκτρική σταθερά του SiC
- k : Σταθερά Boltzmann

I_P :	Ρεύμα στραγγαλισμού για κινητικότητα μ , εξαρτώμενη από το ηλεκτρικό πεδίο.
L :	Μήκος καναλιού
λ :	Σταθερά φαινομένου διαμόρφωσης του καναλιού
μ_0 :	Κινητικότητα φορέων καναλιού ανεξάρτητη του ηλεκτρικού πεδίου
$\mu(E)$:	Κινητικότητα φορέων καναλιού εξαρτημένη του ηλεκτρικού πεδίου
$\mu_{n-drift}$:	Κινητικότητα φορέων στη περιοχή ολίσθησης
N_A :	Πυκνότητα νόθευσης στην περιοχή της πύλης
N_{DRIFT} :	Πυκνότητα νόθευσης στην περιοχή ολίσθησης
n_i :	Ενδογενής συγκέντρωση φορέων του SiC
q :	Θεμελιώδες ηλεκτρονικό φορτίο
T :	Θερμοκρασία
V_{bi} :	Εσωτερική πτώση τάσης ένωσης πύλης-πηγής.
V_{DS} :	Τάση υποδοχής-πηγής
V_{CH} :	Τάση στα άκρα του καναλιού.
V_{GS} :	Τάση πύλης-πηγής
V_P :	Τάση στραγγαλισμού
v_{sat} :	ταχύτητα κορεσμού ηλεκτρικών φορέων μέσα στο SiC

Για χαμηλές τιμές ηλεκτρικού πεδίου το εμπειρικό μοντέλο για την κινητικότητα των φορέων του ημιαγωγού συναρτήσκει της θερμοκρασίας T και της συγκέντρωσης νόθευσης N περιγράφεται από την παρακάτω σχέση [20]:

$$\mu_0 = \frac{947}{1 + \left(\frac{N}{1.94 \cdot 10^{17}}\right)^{0.61}} \cdot \left(\frac{T}{300}\right)^{-2.15} \quad (2.3)$$

Στις σχέσεις που παρουσιάζονται παρακάτω, όλες οι ποσότητες που σχετίζονται με το μοντέλο για το οποίο η κινητικότητα των φορέων είναι ανεξάρτητη από το ηλεκτρικό πεδίο έχουν ως δείκτη FI (field-independent).

Στην περίπτωση όμως υψηλού ηλεκτρικού πεδίου, η κινητικότητα των φορέων εξαρτάται από το ηλεκτρικό πεδίο και η ταχύτητα των φορέων περιγράφεται από την παρακάτω σχέση.

$$v(E) = \mu_0 \cdot E \cdot \left[1 + \left(\frac{\mu_0 \cdot E}{v_{sat}}\right)^\beta\right]^{-1/\beta} \quad (2.4)$$

Σύμφωνα με τη σχέση (2.4), η ταχύτητα των φορέων είναι κατά προσέγγιση ίση $\mu_0 \cdot E$ όταν το ηλεκτρικό πεδίο είναι χαμηλό. Όταν το ηλεκτρικό πεδίο είναι υψηλό, τότε η ταχύτητα των φορέων περιορίζεται σε μία συγκεκριμένη τιμή κορεσμού v_{sat} .

Εάν ληφθεί υπόψη η εξάρτηση της κινητικότητας των φορέων από την τιμή του ηλεκτρικού πεδίου, τότε η τιμή της τάσης πέραν της οποίας επέρχεται ο κορεσμός του καναλιού δίνεται από την παρακάτω σχέση [20]:

$$\begin{aligned}
V_{CHSAT} = & V_{CHSAT_FI} - \sqrt{V_{CHSAT_FI} - V_{GS} + V_{bi}} \\
& \cdot \left\{ -2 \cdot V_{CHSAT_FI} \cdot V_P^{\frac{1}{2}} \right. \\
& \left. + \frac{4}{3} \left[(V_{CHSAT_FI} - V_{GS} + V_{bi})^{\frac{3}{2}} - (V_{bi} - V_{GS})^{\frac{3}{2}} \right] \right\} \\
& \cdot \frac{\frac{-\mu_0}{L_{eff} \cdot v_{sat}} \cdot \left(\frac{\mu_0 V_{CHSAT_FI}}{L_{eff} \cdot v_{sat}} \right)^{\beta-1}}{1 + \left(\frac{\mu_0 V_{CHSAT_FI}}{L_{eff} \cdot v_{sat}} \right)^{\beta}}
\end{aligned} \quad (2.5)$$

Όπου:

$$V_P = \frac{q \cdot N_{CH} \cdot a^2}{2 \cdot \epsilon_{SiC}} \text{ είναι η τάση στραγγαλισμού του καναλιού,}$$

$$V_{bi} = \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_{CH} \cdot N_A}{n_i^2} \right) \text{ είναι η εσωτερική πτώση τάσης της ένωσης πύλης-πηγής}$$

$V_{CHAT_FI} = V_P + V_{GS} - V_{bi}$ είναι η τιμή της τάσης πέραν της οποίας επέρχεται ο κορεσμός του καναλιού, στην περίπτωση που η κινητικότητα των φορέων είναι ανεξάρτητη από το ηλεκτρικό πεδίο.

Εάν ληφθεί υπόψη η εξάρτηση της κινητικότητας των φορέων από την τιμή του ηλεκτρικού πεδίου, τότε η τιμή για το ρεύμα του καναλιού στη περιοχή κορεσμού δίνεται από την παρακάτω σχέση [20]:

$$I_{CHSAT} = I_P(V_{CHSAT}) \left\{ \frac{3V_{CHSAT}}{V_P} - \frac{2}{V_P^{3/2}} \left[(V_{CHSAT} - V_{GS} + V_{bi})^{\frac{3}{2}} - (V_{bi} - V_{GS})^{\frac{3}{2}} \right] \right\} \quad (2.6)$$

Εάν ληφθεί υπόψη η εξάρτηση της κινητικότητας των φορέων από την τιμή του ηλεκτρικού πεδίου, τότε η τιμή για το ρεύμα του καναλιού δίνεται από την παρακάτω σχέση:

$$I_{CH} = I_P(V_{CH}) \left\{ \frac{3 \cdot V_{CH}}{V_P} - \frac{2}{V_P^{3/2}} \left[(V_{CH} - V_{GS} + V_{bi})^{\frac{3}{2}} - (V_{bi} - V_{GS})^{\frac{3}{2}} \right] \right\} \quad (2.7)$$

Τα SiC JFET υψηλής τάσης έχουν παχιά περιοχή ολίσθησης για να αποκόπτον τα ισχυρά δυναμικά. Η ωμική αντίσταση της περιοχή ολίσθησης δίνεται από την παρακάτω σχέση [20]:

$$R_{DRIFT} = \frac{L_{DRIFT} - W_D}{q \cdot \mu_{n-drift} \cdot N_{DRIFT} \cdot Z \cdot W_{DRIFT}} \quad (2.8)$$

Η δυναμική συμπεριφορά του SiC JFET προσομοιώνεται με την προσθήκη δύο μη γραμμικών πυκνωτών, ενός στην επαφή πύλης-πηγής, και ενός στην επαφή πύλης-υποδοχής. Πειραματικά, έχει αποδειχθεί ότι η χωρητικότητα πηγής-υποδοχής είναι αμελητέα σε σύγκριση

με τις άλλες δύο χωρητικότητες. Η τιμή της είναι περίπου 200 φορές μικρότερη από τις άλλες χωρητικότητες και είναι ανεξάρτητη από την τάση που εφαρμόζεται στην ένωση υποδοχής-πηγής [20].

Το πλάτος της περιοχής απογύμνωσης μεταξύ πύλης και πηγής είναι:

$$W_S = \sqrt{\frac{2 \cdot \epsilon_{SiC}}{q \cdot N_{CH}} (V_{bi} - V_{GS})} \quad (2.9)$$

Η διατομή της ένωσης μεταξύ πύλης και πηγής είναι:

$$A_{GS} = 2 \cdot L_{eff} \cdot Z \quad (2.10)$$

Το πλάτος της περιοχής απογύμνωσης μεταξύ πύλης και υποδοχής είναι:

$$W_D = \sqrt{\frac{2 \cdot \epsilon_{SiC}}{q \cdot N_{DRIFT}} (V_{CH} + V_{bi} - V_{GS})} \quad (2.11)$$

Η διατομή της ένωσης μεταξύ πύλης και υποδοχής είναι:

$$A_{GD} = W_{DRIFT} \cdot Z \quad (2.12)$$

Το ενεργό μήκος του καναλιού είναι:

$$L_{eff} = L + W_D \quad (2.13)$$

Η χωρητικότητα μεταξύ πύλης και πηγής δίνεται από την παρακάτω σχέση:

$$C_{GS} = \frac{\epsilon_{SiC} \cdot A_{GS}}{W_S} \quad (2.14)$$

Η χωρητικότητα μεταξύ πύλης και υποδοχής δίνεται από την παρακάτω σχέση:

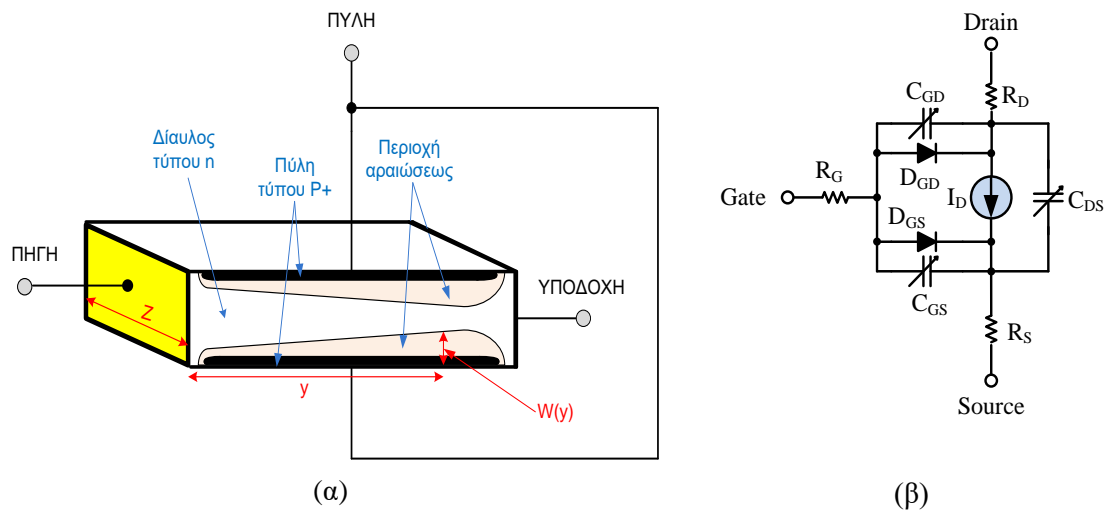
$$C_{GD} = \frac{\epsilon_{SiC} \cdot A_{GD}}{W_D} \quad (2.15)$$

Το μοντέλο που μόλις παρουσιάστηκε είναι ένα μοντέλο που βασίζεται στις φυσικές και χημικές ιδιότητες του υλικού και δεν αποτελεί ένα εύχρηστο μοντέλο για προσομοιώσεις λόγω της πολυπλοκότητάς του. Τα διάφορα προγράμματα προσομοιώσεων χρησιμοποιούν συστηματικά μοντέλα εξισώσεων τα οποία μπορούν να τροποποιηθούν για οποιοδήποτε JFET. Τα μοντέλα αυτά λαμβάνουν υπόψη τις μεταβολές της θερμοκρασίας, το μέγεθος του υλικού

και άλλες απαραίτητες παραμέτρους. Στη συνέχεια θα παρουσιαστεί ένα μοντέλο εξισώσεων που χρησιμοποιείται από το SPICE.

2.4 Ισοδύναμο κύκλωμα των JFET για χρήση σε προσομοιώσεις

Στο Σχήμα 2.2(α) παρακάτω απεικονίζεται η απλοποιημένη δομή ενός τρανζίστορ επίδρασης πεδίου (field effect transistor - FET) [21].

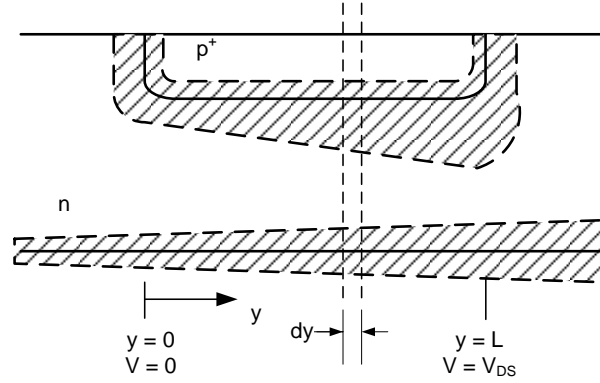


Σχήμα 2.2: (α) Η βασική κατασκευή ενός FETn-τύπου [21], (β) Ισοδύναμο κύκλωμα.

Το JFET (Junction Field Effect Transistor) είναι ένας από τους διαφόρους τύπους της γενικής κατηγορίας των FET. Το ηλεκτρικό ισοδύναμο κύκλωμα ενός τρανζίστορ JFET, το οποίο είναι ίδιο με αυτό στο Σχήμα 2.1(β) με την προσθήκη κάποιων επιπλέον στοιχείων, φαίνεται στο Σχήμα 2.2(β). Η αντίσταση αγωγής R_{ON} αποτελείται από το άθροισμα της R_D , της R_S και της αντίστασης που δημιουργείται από τις ωμικές επαφές μέταλλου-ημιαγωγού στους ακροδέκτες υποδοχής και πηγής.

Το μοντέλο προσομοιώσεων που θα παρουσιαστεί παρακάτω, βασίζεται σε μια απλοποιημένη δομή όπως αυτή που απεικονίζεται στο Σχήμα 2.2(α), όπου το τρανζίστορ JFET είναι ένα τετράγωνο κομμάτι ημιαγωγού [22]. Στις δύο παράλληλες επιφάνειες του σχηματίζεται η πύλη ενώ στη μία από τις άλλες δύο παράλληλες επιφάνειες σχηματίζεται η πηγή και στην άλλη η υποδοχή. Στα δύο επόμενα σχήματα παρουσιάζεται μία τομή της δομής όταν η τάση μεταξύ υποδοχής και πηγής V_{DS} είναι μικρή και όταν η τάση V_{DS} είναι μεγάλη. Θα χρησιμοποιηθούν οι εξής ορισμοί:

- ρ : ειδική αντίσταση του υλικού της περιοχής καναλιού
- N_D : πυκνότητα νόθευσης της περιοχής του καναλιού
- N_A : πυκνότητα νόθευσης της περιοχής της πύλης (p-τύπου)
- q : θεμελιώδες ηλεκτρικό φορτίο
- μ_n : κινητικότητα των φορέων πλειονότητας στην περιοχή n
- ϵ_s : διηλεκτρική σταθερά του ημιαγωγού



Σχήμα 2.4: Περιοχές απογύμνωσης καναλιού ενός JFET για μεγάλη τιμή V_{DS} [22].

Όταν η τάση V_{DS} έχει υψηλή τιμή τότε για τον υπολογισμό του I_D χρησιμοποιείται η παρακάτω σχέση:

$$I_D = G_0 [V_{DS} - \frac{2}{3} \sqrt{\frac{2 \cdot \epsilon_s}{q \cdot N_D \cdot d^2}} (\sqrt{(\varphi_0 - V_{GS} + V_{DS})^3} - \sqrt{(\varphi_0 - V_{GS})^3})] \quad (2.18)$$

Από τη σχέση (2.18) φαίνεται ότι το ρεύμα αυξάνεται μέχρι κάποια μέγιστη τιμή και μετά μειώνεται. Το μοντέλο ισχύει μέχρι αυτή τη μέγιστη τιμή.

Οι παραπάνω εξισώσεις για το I_D ισχύουν για τάσεις V_{DS} μικρότερες από την τάση που στραγγαλίζει το κανάλι. Η V_{DS} για την οποία επέρχεται κορεσμός δίνεται από την εξίσωση:

$$V_{D,sat} = \frac{q \cdot N_D \cdot d^2}{2 \cdot \epsilon_s} - (\varphi_0 - V_{GS}) = V_P - \varphi_0 + V_{GS} = V_T + V_{GS} \quad (2.19)$$

Όπου η τάση $V_P = \frac{q \cdot N_D \cdot d^2}{2 \cdot \epsilon_s}$ είναι η τάση στραγγαλισμού και η $V_T = V_P - \varphi_0$ είναι η τάση καταφλίου.

Το ρεύμα κορεσμού είναι:

$$I_{D,sat} = \frac{G_0 \cdot V_P}{3} \left[1 - 3 \frac{\varphi_0 - V_{GS}}{V_P} + 2 \sqrt{\left(\frac{\varphi_0 - V_{GS}}{V_P} \right)^3} \right] \quad (2.20)$$

Η μέγιστη τιμή του $I_{D,sat}$ που γράφεται για συντομία I_{DSS} λαμβάνει χώρα για $V_{GS}=0$.

Μια πολύ καλή προσέγγιση για τις χαρακτηριστικές του JFET στον κορεσμό δίνεται από τη σχέση:

$$I_{D,sat} = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \quad (2.21)$$

Από την παραπάνω σχέση φαίνεται ότι το ρεύμα I_D είναι μέγιστο για $V_{GS} = 0$ και μειώνεται όταν το V_{GS} έχει αρνητική τιμή. Σε μία επαρκώς αρνητική τιμή της τάσης V_{GS} το ρεύμα κορεσμού γίνεται μηδενικό. Αυτή η τάση σβέσης είναι:

$$V_T = \varphi_0 - \frac{q \cdot N_D \cdot d^2}{2\epsilon_s} \quad (2.22)$$

Τα FET συχνά λειτουργούν σε περιοχή κορεσμού, όπου το ρεύμα επηρεάζεται κυρίως από την τάση V_{GS} . Η διαγωγιμότητα g_m του τρανζίστορ εκφράζει τη μεταβολή του ρεύματος υποδοχής I_D ως προς τις μεταβολές της τάσης πύλης V_{GS} και δίνεται από την σχέση:

$$g_m = \frac{dI_D}{dV_{GS}} \quad (2.23)$$

Στη μέχρι τώρα ανάλυση έχει γίνει η παραδοχή ότι το στρώμα της περιοχής απογύμνωσης επηρεάζεται μόνο από την ένωση πύλης-καναλιού και όχι από την ένωση υποστρώματος καναλιού. Αυτό σημαίνει ότι η τάση κορεσμού είναι μικρότερη στην πράξη από αυτή στην οποία καταλήγουμε από την σχέση (2.19).

Επίσης, υπάρχει μια μικρή μετατόπιση του σημείου στραγγαλισμού του καναλιού όταν η τάση υποδοχής αυξάνεται πέρα από την τάση κορεσμού. Εάν θεωρηθεί ότι το αρχικό σημείο στραγγαλισμού βρίσκεται σε απόσταση L και το μετατοπισμένο σημείο στραγγαλισμού σε απόσταση L' τότε το φαινόμενο αυτό μοντελοποιείται με μια παράμετρο λ , η οποία καλείται παράμετρος διαμόρφωσης του μήκους του καναλιού και είναι ένα μέτρο της αγωγιμότητας εξόδου του JFET στον κορεσμό. Ορίζεται ως εξής:

$$\lambda = \frac{L'}{L \cdot V_{DS}} \quad (2.24)$$

Επίσης, αγνοήθηκαν όλες οι ωμικές αντιστάσεις πέραν της αντίστασης του τμήματος του καναλιού που διαμορφώνεται από την αρνητική τάση στην πύλη. Η επίδραση αυτών των επιπλέον αντιστάσεων στην αγωγιμότητα του καναλιού υπολογίζονται αν θεωρηθεί ότι:

$$\frac{1}{g_{obs}} = \frac{1}{g} + R_S + R_D \quad (2.25)$$

Όπου g είναι η αγωγιμότητα μόνο του καναλιού, ενώ g_{obs} είναι η αγωγιμότητα που παρατηρείται πειραματικά και περιλαμβάνει τις R_S και R_D . Οι R_S και R_D είναι οι αντιστάσεις στην πηγή και την υποδοχή αντίστοιχα.

Η ολική διαγωγιμότητα, στην περιοχή κορεσμού, μειώνεται λόγω της αντίστασης σειράς στην πηγή. Τελικά η ολική πραγματική αγωγιμότητα θα είναι:

$$g_{m_obs} = \frac{g_m}{1 + R_S \cdot g_m} \quad (2.26)$$

2.5 Μοντελοποίηση των SiC JFET στο Spice

Το ισοδύναμο ηλεκτρικό κύκλωμα ενός SiC JFET το οποίο χρησιμοποιείται για τη δημιουργία μοντέλων προς προσομοίωση στο SPICE είναι αυτό στο Σχήμα 2.2(β).

Το ρεύμα δίνεται από την παρακάτω σχέση:

$$I_D = \begin{cases} 0, & \text{για } V_{GS} - V_{th} \leq 0 \\ I_{DSS} \left[2 \left(1 - \frac{V_{GS}}{V_{th}} \right) \left(\frac{V_{DS}}{-V_{th}} \right) - \left(\frac{V_{DS}}{V_{th}} \right)^2 \right], & \text{για } V_{DS} \leq V_{GS} - V_{th} \\ I_{DSS} \left(1 - \frac{V_{GS}}{V_{th}} \right)^2 (1 + \lambda \cdot V_{DS}), & \text{για } V_{GS} - V_{th} \leq V_{DS} \end{cases} \quad (2.27)$$

Όπου I_{DSS} είναι το ρεύμα κορεσμού της υποδοχής για $V_{GS}=0$ και V_{th} είναι η τάση κατωφλίου δηλ. η τιμή της τάσης V_{GS} για την οποία το ρεύμα I_D οριακά μηδενίζεται.

Η χαρακτηριστική μεταφοράς ενός JFET του ρεύματος υποδοχής σε σχέση με την τάση πύλης όταν το στοιχείο βρίσκεται στον κόρο φαίνεται στο Σχήμα 2.5(α) παρακάτω.

Από αυτή τη χαρακτηριστική εξάγεται η διαγωγιμότητα (*BETA*) και η τάση κατωφλίου (*VTO*) του JFET, διότι η κλίση της χαρακτηριστικής μεταφοράς ισούται με $\beta^{0.5}$.

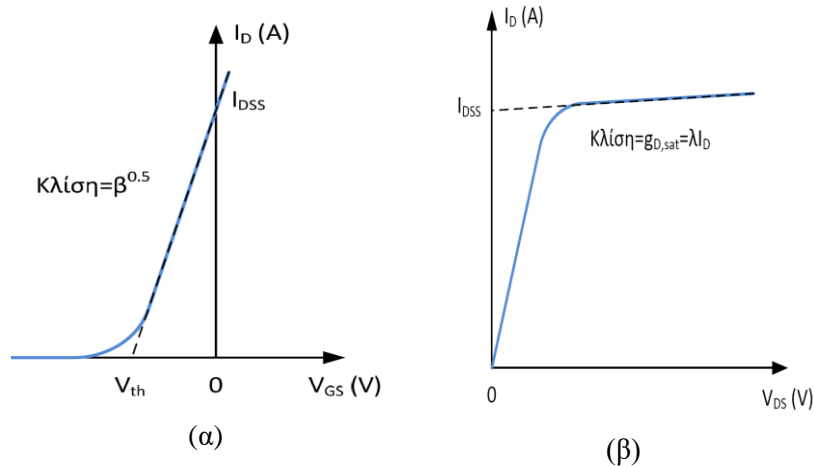
Η DC χαρακτηριστική ενός JFET φαίνεται στο Σχήμα 2.5(β). Η διαμόρφωση του μήκους καναλιού λ εξάγεται από τη μικρή κλίση που παρουσιάζει η DC χαρακτηριστική στην περιοχή κόρου και ορίζεται το κέρδος αγωγιμότητας εξόδου ως εξής [23]:

$$g_{D,sat} = \frac{dI_D}{dV_{GS}} \approx \lambda \cdot I_d \quad (2.28)$$

Η τάση κατωφλίου V_{TO} επηρεάζεται από την θερμοκρασία ως εξής [23]:

$$V_{TO}(T_2) = V_{TO}(T_1) + VTOTC(T_2 - T_1) \quad (2.29)$$

Η παράμετρος $VTOTC$ μπορεί να εξαχθεί από την καμπύλη της τάσης κατωφλίου συναρτήσει της θερμοκρασίας.



Σχήμα 2.5: (α) Χαρακτηριστική μεταφοράς $I_D - V_{GS}$ ενός JFET στον κορεσμό [23], (β) DC χαρακτηριστική $I_D - V_{DS}$ ενός JFET [23].

Ο εκθετικός θερμοκρασιακός συντελεστής της διαγωγιμότητας $BETACTE$, ο οποίος καθορίζει το όριο του ρεύματος κορεσμού που μπορεί να επιτευχθεί σε δεδομένη θερμοκρασία, εκφράζεται μέσω της ακόλουθης σχέσης [23]:

$$\beta(T_2) = \beta(T_1)10.1^{BETACTE(T_2-T_1)} \quad (2.30)$$

Παρόμοια, η παράμετρος $BETACTE$ μπορεί να εξαχθεί από την καμπύλη της διαγωγιμότητας συναρτήσει της θερμοκρασίας.

Οι χωρητικότητες που υπάρχουν σε ένα JFET είναι:

Η χωρητικότητα εισόδου: $C_{ISS} = C_{GS} + C_{GD}$

Η χωρητικότητα εξόδου: $C_{OSS} = C_{DS} + C_{GD}$

Η χωρητικότητα ανάστροφης μεταφοράς: $C_{RSS} = C_{GD}$

Στο JFET η C_{DS} είναι εκατοντάδες φορές μικρότερη από τις C_{GS} και C_{GD} , για αυτόν το λόγο μπορεί και να αμεληθεί.

Η χωρητικότητα C_{GD} περιγράφεται από την σχέση:

$$C_{GD} = \begin{cases} CGD(1 - \frac{V_{GD}}{PB})^{-M}, & V_{GD} \leq FC \cdot PB \\ CGD(1 - FC)^{-(1+M)} \left(1 - FC(1 + M) + M \frac{V_{GD}}{PB}\right), & V_{GD} > FC \cdot PB \end{cases} \quad (2.31)$$

Αντίστοιχα, η χωρητικότητα C_{GS} περιγράφεται από την σχέση:

$$C_{GS} = \begin{cases} CGS(1 - \frac{V_{GS}}{PB})^{-M}, & V_{GS} \leq FC \cdot PB \\ CGS(1 - FC)^{-(1+M)} \left(1 - FC(1 + M) + M \frac{V_{GS}}{PB}\right), & V_{GS} > FC \cdot PB \end{cases} \quad (2.32)$$

Όπου, CGD είναι η χωρητικότητα μεταξύ πύλης και υποδοχής μηδενικής πόλωσης, CGS είναι η χωρητικότητα μεταξύ πύλης και πηγής μηδενικής πόλωσης, FC είναι ο συντελεστής χωρητικότητας απογύμνωσης θετικής πόλωσης, PB είναι η πτώση τάσης της ένωσης της πύλης και M είναι ο συντελεστής κλιμάκωσης της ένωσης της πύλης.

Μέσω της διαδικασίας που περιγράφηκε πριν και με τη βοήθεια της λειτουργίας προσαρμογής καμπυλών του Model Editor του OrCAD PSpice, στον παρακάτω πίνακα (Πίνακας 2.2) συνοψίζονται οι βασικές τιμές των παραμέτρων για τα μοντέλα του Normally-off SJEP120R100 SiC JFET και του Normally-on SJDP120R085 SiC JFET όπως προέκυψαν από το φύλλα δεδομένων των συγκεκριμένων στοιχείων [24], [25].

<i>ΠΑΡΑΜΕΤΡΟΣ</i>	<i>Μονάδες</i>	<i>Normally-off</i>	<i>Normally-on</i>
AF		1	1
ALPHA	Volt	1e-006	1e-006
BETA	Amp/volt	27	3.4685
BETATCE	%/oC	-1.25	-1.6
CGD	Farad	9.19e-10	9.7e-10
CGS	Farad	6.1e-10	5.8e-10
FC		0.5	0.5
IS	Amp	1e-14	1e-14
ISR	Amp	0	0
KF		1e-18	1e-18
LAMBDA	Volt	0.005066	0.014173
M		0.92	0.59
N		3.696	3.5
NR		1	1
PB	Volt	2.5	2.5
RD	Ohm	0.02	0.02
RS	Ohm	0.02	0.02
VK	Volt	2000	2000
VTO	Volt	1.0718	-5.4069
VTOTC	Volt/oC	-0.0022	-0.02
XTI		86	86

Πίνακας 2.2: Βασικές τιμές των παραμέτρων των μοντέλων για τα SiC JFET SJEP120R100 και SJDP120R085.

Για το Normally-on UJN1208K SiC JFET θα χρησιμοποιηθεί το μοντέλο που παρέχει ο κατασκευαστής του υλικού.

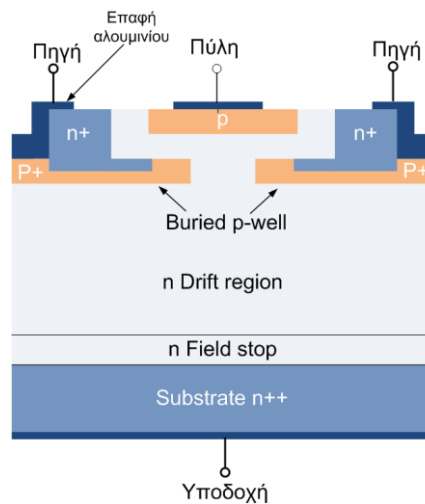
Κεφάλαιο 3. Τύποι και τρόποι λειτουργίας του SiC JFET

3.1 Εισαγωγή

Οι δύο μεγάλες κατηγορίες που έχουν επικρατήσει για τα SiC JFET και σχετίζονται με τον τρόπο κατασκευής τους είναι τα JFET κάθετης δομής (Vertical Trench JFET – VT JFET) και τα JFET πλευρικού καναλιού (Lateral Channel JFET - LC JFET). Μια βασική διαφορά μεταξύ τους είναι ότι τα LC JFET ενσωματώνουν μια αντιπαράλληλη δίοδο, ενώ τα VT JFET δεν έχουν αντιπαράλληλη δίοδο, ωστόσο και οι δύο παραπάνω τύποι SiC JFET είναι δυνατό να άγουν ανάστροφα. Επίσης τα κυκλώματα οδήγησης των SiC JFET είναι πιο περίπλοκα από τα συνηθισμένα κυκλώματα οδήγησης των MOSFET ή των IGBT, λόγω των απαιτήσεων των ενώσεων στην πύλη τους, ωστόσο έχουν το πλεονέκτημα ότι δεν περιέχουν διοξείδιο του πυριτίου στην πύλη τους και αυτό το γεγονός τα κάνει πιο αξιόπιστα σε σχέση με τα SiC MOSFET.

3.2 JFET καρβιδίου του πυριτίου πλευρικού καναλιού

Το Σχήμα 3.1 παρακάτω απεικονίζει τη δομή ενός JFET καρβιδίου του πυριτίου πλευρικού καναλιού (LC JFET).



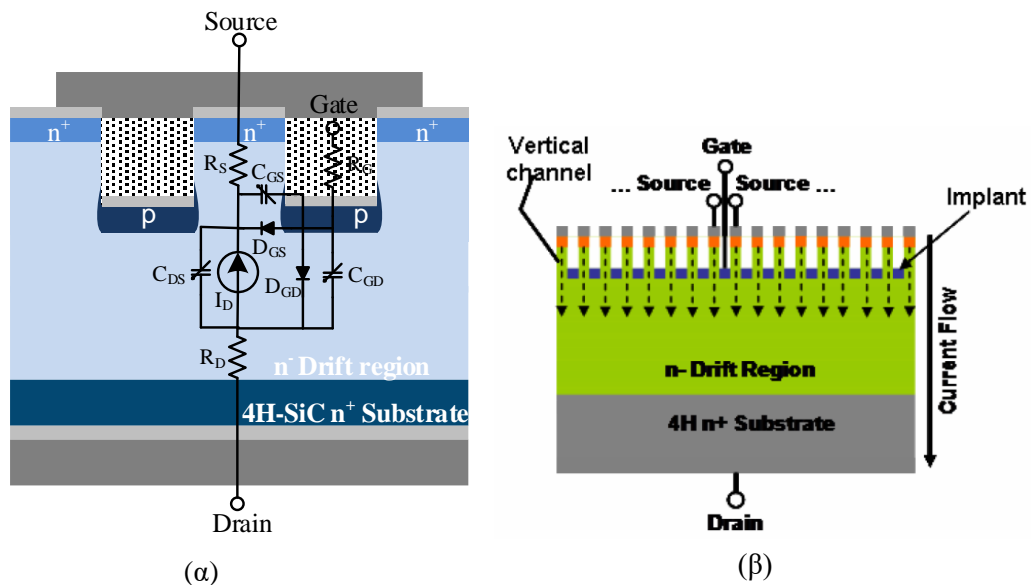
Σχήμα 3.1: Δομή SiC JFET πλευρικού καναλιού.

Τα εμπορικά διαθέσιμα LC JFET έχουν υψηλότερη αντίσταση αγωγής, συγκρινόμενα με τα εμπορικά διαθέσιμα VT JFET, ωστόσο αναμένονται σημαντικές βελτιώσεις στα χαρακτηριστικά τους. Λόγω του τρόπου κατασκευής τους έχουν την ιδιότητα να άγουν όταν έχουν μηδενική τάση στην πύλη τους και επίσης να άγουν και προς τις δυο κατευθύνσεις. Η τάση που αναπτύσσεται πάνω τους κατά τη διάρκεια της ανάστροφης αγωγής είναι πολύ μικρή στην περίπτωση που η τάση V_{GS} είναι υψηλότερη από την τάση κατωφλίου της πύλης και για το λόγο αυτό η ενσωματωμένη αντιπαράλληλη δίοδος, που σχηματίζεται λόγω της θαμμένης περιοχής τύπου p+ , είναι σκόπιμο να άγει μόνο για ελάχιστο χρόνο κατά τη διάρκεια των

μεταβάσεων [26],[27]. Προς το παρόν υπάρχουν δύο εμπορικά διαθέσιμα LC JFET καρβιδίου του πυριτίου στα 1200 V, από την εταιρία Infineon Inc.: το IJW120R070T1 με αντίσταση αγωγής 70 mΩ και ονομαστικό ρεύμα 35 A και το IJW120R100T1 με αντίσταση αγωγής 100 mΩ και ονομαστικό ρεύμα 26 A [28] - [30].

3.3 JFET καρβιδίου του πυριτίου κάθετης δομής

Το παρακάτω Σχήμα 3.2(α) απεικονίζει ένα τμήμα της δομής ενός JFET καρβιδίου του πυριτίου κάθετης δομής, μαζί με το ισοδύναμο ηλεκτρικό κύκλωμα. Πολλά τέτοια τμήματα μαζί σχηματίζουν ένα πλήρες JFET όπως αυτό στο Σχήμα 3.2(β), όπου απεικονίζεται η δομή ενός JFET καρβιδίου του πυριτίου (SiC-JFET), κατακόρυφου καναλιού, n-τύπου, από τον κατασκευαστή SemiSouth Laboratories [31]. Οι περιοχές τύπου-p στο SiC υπόστρωμα δημιουργούνται με την τεχνική της εμφύτευσης (implantation) ή της ανάπτυξης εντός του υλικού (growth) [32]. Με την κάθετη δομή επιτυγχάνεται ελαχιστοποίηση της αντίστασης αγωγής, επειδή η πηγή βρίσκεται ακριβώς πάνω από την υποδοχή [33].



Σχήμα 3.2: (α) Τομή ενός τμήματος SiC JFET κάθετης δομής μαζί με το ισοδύναμο ηλεκτρικό κύκλωμα, (β) Τομή ενός πλήρους JFET καρβιδίου πυριτίου κατακόρυφου καναλιού n-τύπου [31].

Οι περιοχές τύπου p είναι ηλεκτρικά συνδεδεμένες και αποτελούν την πύλη (gate) του JFET. Η διαφορά με τα JFET p-καναλιού είναι ότι αλλάζουν οι πολικότητες. Δηλαδή η πύλη είναι n-τύπου ενώ το κανάλι είναι p-τύπου.

Ένας διαχωρισμός για τα VT JFET που σχετίζεται με την κατασκευή τους είναι ο διαχωρισμός σε JFET απογύμνωσης (Depletion Mode) και σε JFET πύκνωσης (Enhancement Mode). Τα JFET απογύμνωσης είναι Normally-on δηλ. το τρανζίστορ είναι σε κατάσταση αγωγής όταν η τάση πύλης-πηγής είναι μηδενική. Τα JFET πύκνωσης είναι Normally-off δηλ. το τρανζίστορ είναι σε κατάσταση αποκοπής όταν η τάση πύλης-πηγής είναι μηδενική. Κατασκευαστικά, δεν υπάρχουν διαφορές ανάμεσα στα Depletion Mode και στα Enhancement Mode JFET, όσον αφορά τη δομή τους. Ο διαφορετικός τρόπος λειτουργίας τους ελέγχεται από το πλάτος του καναλιού και τη συγκέντρωση νόθευσής τους.

3.4 Σύγκριση Normally-on και normally-off JFET

Για να γίνει μία δίκαιη σύγκριση μεταξύ των Normally-on και Normally-off JFET καρβιδίου του πυριτίου κάθετης δομής, επιλέχθηκαν δυο JFET της ίδιας τάσεως λειτουργίας και από τον ίδιο κατασκευαστή. Στον παρακάτω πίνακα (Πίνακας 3.1) απεικονίζονται τα χαρακτηριστικά του SJEP120R100 και του SJDP120R085 της SemiSouth [24], [25].

<i>SemiSouth, Trench Silicon Carbide Power JFET</i>	<i>SJDP120R085 Normally-on</i>	<i>SJEP120R100 Normally-off</i>
Drain-Source Blocking Voltage BV_{DS}	1200V	1200V
Continuous Drain Current	27A ($T_C = 25^\circ\text{C}$)	17A ($T_j = 125^\circ\text{C}$)
Continuous Drain Current	17A ($T_C = 100^\circ\text{C}$)	12A ($T_j = 175^\circ\text{C}$)
Pulsed Drain Current	75A ($T_j = 25^\circ\text{C}$) Limited by maximum T_j	30A ($T_C = 25^\circ\text{C}$) Limited by pulse width
Operating and Storage Temperature	-55°C to $+150^\circ\text{C}$	-55°C to $+175^\circ\text{C}$
Thermal Resistance, junction-to-case $R_{th,jc}$	$1.1^\circ\text{C} / \text{W}$	$1.1^\circ\text{C} / \text{W}$
Maximum Drain-Source On-resistance($T_j = 25^\circ\text{C}$)	0.085 Ω	0.1 Ω
Gate Threshold Voltage	-5V	1V
Input Capacitance $C_{iss}(V_{DD} = 100\text{ V})$	255pF	670pF
Output Capacitance $C_{oss}(V_{DD} = 100\text{ V})$	80 pF	103 pF
Reverse Transfer Capacitance $C_{rss}(V_{DD} = 100\text{ V})$	80 pF	97 pF
Effective Output Capacitance, energy related $C_{o(er)}$	50 pF ($V_{DS} = 0\text{ V}$ to 600 V)	60 pF ($V_{DS} = 0\text{V}$ to 480V)
Total Gate Charge $Q_g(V_{DS} = 600\text{V}, I_D = 10\text{A})$	32 nC	30 nC
Gate-Source Charge $Q_{gs}(V_{DS} = 600\text{V}, I_D = 10\text{A})$	2 nC	1 nC
Gate-Drain Charge $Q_{gd}(V_{DS} = 600\text{V}, I_D = 10\text{A})$	27 nC	24 nC

Πίνακας 3.1 Χαρακτηριστικά ενός Normally-on και ενός Normally-off JFET από τη SemiSouth.

Από τον πίνακα προκύπτει ότι το Normally-on JFET υπερτερεί έναντι του Normally-off JFET διότι έχει μικρότερη αντίσταση αγωγής και μεγαλύτερο παλμικό ρεύμα. Ωστόσο η

ιδιότητα του Normally-on JFET να άγει όταν δεν υπάρχει οδήγηση στην πύλη του είναι μια κρίσιμη πτυχή για τους μετατροπείς που έχουν στην είσοδο τους πυκνωτές μεγάλης τιμής και η ύπαρξη επιπλέον προστασίας είναι απαραίτητη [34].

Το πρόβλημα αυτό μπορεί να ξεπεραστεί με την τοποθέτηση ενός MOSFET πυριτίου χαμηλής τάσης [35] - [37] εν σειρά με το Normally-on JFET, εντούτοις αυτή η λύση προσθέτει πολυπλοκότητα και κόστος στο σύστημα. Αντιθέτως, στους μετατροπείς που έχουν ως είσοδο μια πηγή ρεύματος, η χρήση των Normally-on JFET δεν έχει το προηγούμενο μειονέκτημα.

Σε επόμενη παράγραφο θα παρουσιαστούν διάφορες μέθοδοι για την προστασία των Normally-on JFET.

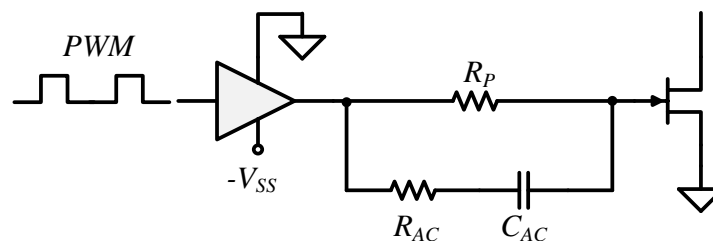
3.5 Κυκλώματα Οδήγησης SiC JFET

Το κύκλωμα οδήγησης των SiC JFET είναι πιο περίπλοκο από τα συνηθισμένα κυκλώματα οδήγησης των MOSFET ή των IGBT λόγω των ενδογενών ενώσεων της πύλης τους και λόγω της δυνατότητας ανάστροφης αγωγής τους. Πιο συγκεκριμένα, για την επίτευξη ταχείας μετάβασης σε κατάσταση αγωγής, απαιτείται υψηλό στιγμιαίο ρεύμα για τη φόρτιση των χωρητικοτήτων στην πύλη τους ενώ για την επίτευξη ταχείας μετάβασης σε κατάσταση αποκοπής, απαιτείται υψηλό στιγμιαίο ρεύμα για την εκφόρτιση των ιδίων χωρητικοτήτων. Ταυτόχρονα ένα μικρό ρεύμα, το οποίο οφείλεται στις εγγενείς διόδους των πυλών, ρέει σε όλη τη διάρκεια της αγωγής. Επιπλέον, επαρκές ρεύμα πρέπει να παρασχεθεί στην πύλη κατά τη διάρκεια της ανάστροφης αγωγής, προκειμένου να αποτραπεί ο κορεσμός του ρεύματος της υποδοχής-πηγής. Επειδή όμως είναι πιθανό, στην ανάστροφη αγωγή, η υποδοχή να αποκτήσει δυναμικό σημαντικά μικρότερο σχετικά με το δυναμικό της πύλης, είναι απαραίτητο να υπάρχει κατάλληλος περιορισμός του ρεύματος της πύλης με στόχο την αποφυγή της καταστροφής των εσωτερικών διόδων των πυλών λόγω υπερβολικού ρεύματος.

Υπάρχουν διάφορες τοπολογίες κυκλωμάτων οδήγησης των SiC JFET όπως το κύκλωμα οδήγησης AC Coupled χωρίς ορθή πόλωση, το κύκλωμα οδήγησης AC Coupled με ορθή πόλωση και το κύκλωμα οδήγησης DC Coupled.

3.5.1 Απλό κύκλωμα οδήγησης AC Coupled

Το Σχήμα 3.3 παρακάτω παρουσιάζει το απλό κύκλωμα AC Coupled για την οδήγηση των JFET .



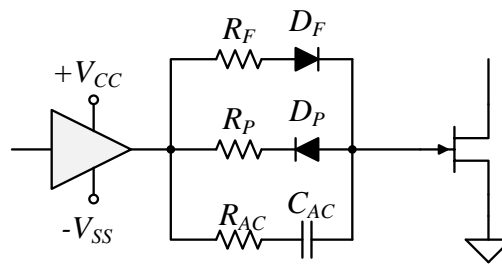
Σχήμα 3.3: Απλό κύκλωμα οδήγησης AC Coupled.

Στο παραπάνω κύκλωμα η τιμή της αντίστασης R_P έχει σχετικά υψηλή τιμή και επιλέγεται έτσι ώστε να παρέχεται το απαιτούμενο ρεύμα στην ένωση της πύλης του JFET, όταν αυτό βρίσκεται σε μόνιμη κατάσταση αγωγής.

Η αντίσταση R_{AC} και ο πυκνωτής C_{AC} παράγουν τον απαιτούμενο παλμό ρεύματος υψηλής έντασης κατά τη διάρκεια της μετάβασης του JFET σε κατάσταση αγωγής καθώς επίσης και κατά τη διάρκεια της μετάβασης του σε κατάσταση αποκοπής. Η διάρκεια αυτών των παλμών εξαρτάται από τη σταθερά χρόνου $R_{AC} \cdot C_{AC}$.

3.5.2 Βελτιστοποιημένο κύκλωμα οδήγησης AC Coupled με ορθή πόλωση

Το Σχήμα 3.4 παρακάτω παρουσιάζει το βελτιστοποιημένο κύκλωμα οδήγησης AC Coupled με ορθή πόλωση [38] και ακολουθεί η παρουσίαση της λειτουργίας του.



Σχήμα 3.4: κύκλωμα οδήγησης AC Coupled με ορθή πόλωση.

Τα Normally-on SiC JFET είναι σε κατάσταση αγωγής ακόμη και όταν δεν εφαρμόζεται τάση στην πύλη τους. Ωστόσο, βάσει του φύλλου δεδομένων, η εφαρμογή θετικής τάσης της τάξης των 2 - 3 V έχει ως αποτέλεσμα την ελάττωση της αντίστασης αγωγής R_{DS-ON} και την αύξηση του ρεύματος κορεσμού.

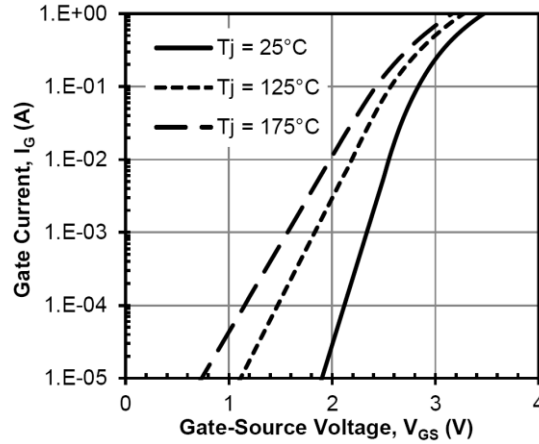
Η διακοπτική λειτουργία των SiC JFET κατά τη διάρκεια της ορθής αγωγής διαχωρίζεται σε τέσσερις καταστάσεις. Για κάθε μία από αυτές υπάρχουν διαφορετικές απαιτήσεις από τα κυκλώματα οδήγησης όπως παρουσιάζονται παρακάτω.

I. Μεταγωγή σε κατάσταση αγωγής

Η μεταγωγή σε κατάσταση αγωγής απαιτεί μεγάλη αιχμή ρεύματος για γρήγορη φόρτιση των εσωτερικών και των παρασιτικών χωρητικοτήτων στην πύλη. Η τιμή του ρεύματος πύλης καθορίζεται από την τιμή της αντίστασης πύλης R_{AC} του πυκνωτή C_{AC} και την τιμή της τάσης της πόλωσης V_{CC} . Η τιμή της R_{AC} πρέπει να είναι μικρή για γρήγορη μετάβαση και χαμηλές απώλειες μεταγωγής. Ωστόσο, για να μην υπάρχουν μεγάλες ταλαντώσεις στο ρεύμα πύλης απαιτείται αυξημένη τιμή της R_{AC} και ελαχιστοποίηση της αυτεπαγωγής του αγωγίμου δρόμου της πύλης με μείωση της επιφάνειας και του μήκους του βρόχου των υλικών του κυκλώματος οδήγησης και του ακροδέκτη της πύλης του διακόπτη.

II. Μόνιμη κατάσταση ορθής αγωγής.

Κατά τη διάρκεια της μόνιμης κατάστασης ορθής αγωγής η p-n ένωση μεταξύ της πύλης και της πηγής πολώνεται δια μέσω της αντίστασης R_F και της διόδου D_F στο επιθυμητό σημείο λειτουργίας της (V_{GS} , I_G). Η τιμή του I_G είναι της τάξης των 20mA. Το Σχήμα 3.5 παρακάτω παρουσιάζει το ρεύμα πύλης I_G σε συνάρτηση με την τάση V_{GS} για το UJN1208K Normally-on JFET.



Σχήμα 3.5: Ρεύμα πύλης I_G σε συνάρτηση με την τάση V_{GS} για το UJN1208K [39].

Η τιμή της R_F υπολογίζεται από την παρακάτω σχέση:

$$R_F = \frac{V_{CC} - V_{GS} - V_{DF}}{I_G} \quad (3.1)$$

Ο πυκνωτής C_{AC} φορτίζεται και η τάση του δίνεται στην παρακάτω σχέση:

$$V_{CAC} = V_{CC} - V_{GS} \quad (3.2)$$

Οι απώλειες αγωγής υπολογίζονται από την παρακάτω σχέση:

$$W_{ON_STATE} = V_{DS} \cdot I_D \cdot t_{ON} = R_{DS_ON} \cdot I_D^2 \cdot t_{ON} \quad (3.3)$$

III. Μεταγωγή σε κατάσταση αποκοπής

Η μεταγωγή σε κατάσταση αποκοπής είναι παρόμοια με τη μεταγωγή σε κατάσταση αγωγής. Για την μετάβαση του Normally-on JFET σε κατάσταση αποκοπής, είναι απαραίτητη η εφαρμογή μιας αρνητικής τάσης μεταξύ πύλης και πηγής μικρότερης τιμής από την τάση κατωφλίου V_{GS_TH} και η τιμή της κυμαίνεται μεταξύ -15V και -30 V. Θεωρητικά, η μηδενική τάση στην πύλη αρκεί για να αναγκάσει τα Normally-off JFET σε αποκοπή. Ωστόσο, επειδή η τάση κατωφλίου είναι κοντά στο μηδέν και εξαρτάται από τη θερμοκρασία, η ασφάλεια της μετάβασης σε κατάσταση αποκοπής, απαιτεί την επιβολή αρνητικής τάσης αρκετά μικρότερης του μηδενός. Επίσης, επειδή ο πυκνωτής C_{AC} είναι ήδη φορτισμένος, η τάση που εφαρμόζεται στην πύλη του JFET είναι αρνητικότερη από την V_{SS} και υπολογίζεται από την παρακάτω σχέση:

$$V_{GS} = -V_{SS} - V_{CAC} \quad (3.4)$$

Όπου V_{CAC} είναι η τάση στα άκρα του πυκνωτή C_{AC} .

Ο πυκνωτής C_{AC} υπολογίζεται από την παρακάτω σχέση:

$$\frac{2 \cdot Q_G}{V_{CC} - V_{GS}} \leq C_{AC} \leq \frac{4 \cdot Q_G}{V_{CC} - V_{GS}} \quad (3.5)$$

Όπου Q_G είναι το συνολικό φορτίο της πύλης λόγω των παρασιτικών χωρητικότητων και του εξωτερικού πυκνωτή, που τοποθετείται για μείωση των ταλαντώσεων και αποφυγή εσφαλμένων μεταβάσεων.

IV. Μόνιμη κατάσταση αποκοπής

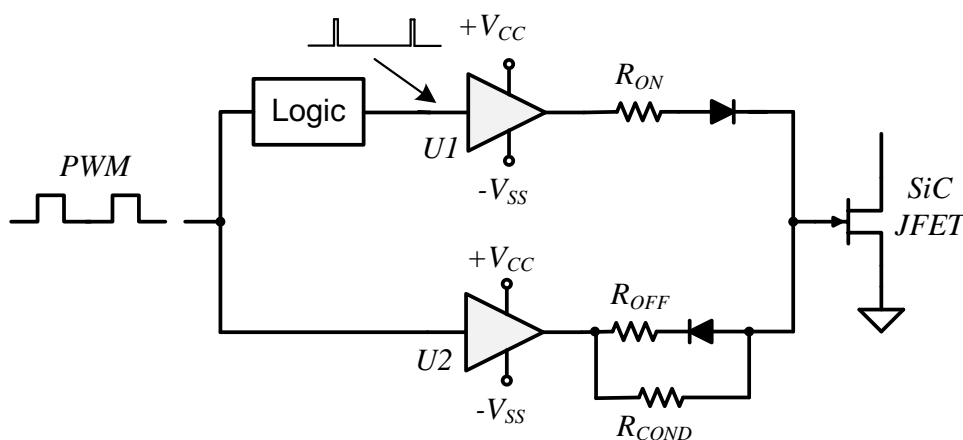
Στην κατάσταση αποκοπής η τάση V_{GS} παραμένει αρνητική. Η τάση V_{GS} δεν πρέπει να ξεπεράσει την ανάστροφη τάση κατάρρευσης της πύλης V_{BR-G} διότι ένα μεγάλο ρεύμα θα περάσει μέσω της πύλης του JFET και θα το καταστρέψει. Η τάση κατάρρευσης V_{BR-G} στα Normally-on SiC VJFET είναι αρνητικότερη από την τάση αποκοπής και επηρεάζεται από τη θερμοκρασία λειτουργίας του στοιχείου. Επομένως, απαιτείται ο περιορισμός του ρεύματος κατάρρευσης πύλης σε περίπτωση που αυξηθεί η θερμοκρασία λειτουργίας του στοιχείου και η ένωση πύλης-πηγής του JFET οδηγηθεί σε κατάρρευση. Εάν I_{BR} είναι το μέγιστο επιθυμητό ρεύμα κατάρρευσης τότε η αντίσταση R_P που καθορίζει αυτό το ρεύμα υπολογίζεται από την παρακάτω σχέση:

$$R_P = \frac{|V_{SS}| - V_{GS-BR}}{I_{BR}} \quad (3.6)$$

Όπου V_{GS-BR} είναι η τάση που αναπτύσσεται πάνω στην ένωση της πύλης όταν ρέει μέσα από αυτή το ρεύμα I_{BR} .

3.5.3 Κύκλωμα οδήγησης DC Coupled

Σε εφαρμογές υψηλής διακοπτικής συχνότητας και με μεγάλες μεταβολές του βαθμού χρησιμοποίησης (Duty Cycle), ο πυκνωτής στο κύκλωμα AC Coupled, ο οποίος παρέχει τον παλμό ισχυρού ρεύματος στην πύλη του JFET κατά τη διάρκεια των μεταβάσεων, δεν προλαβαίνει να αποφορτιστεί πλήρως στη διάρκεια μιας περιόδου. Αυτό έχει ως αποτέλεσμα τις αυξημένες διακοπτικές απώλειες και για την επίλυση αυτού του ζητήματος απαιτείται ένα πιο σύνθετο κύκλωμα οδήγησης όπως αυτό που φαίνεται στο Σχήμα 3.6 παρακάτω.



Σχήμα 3.6: Κύκλωμα οδήγησης DC Coupled.

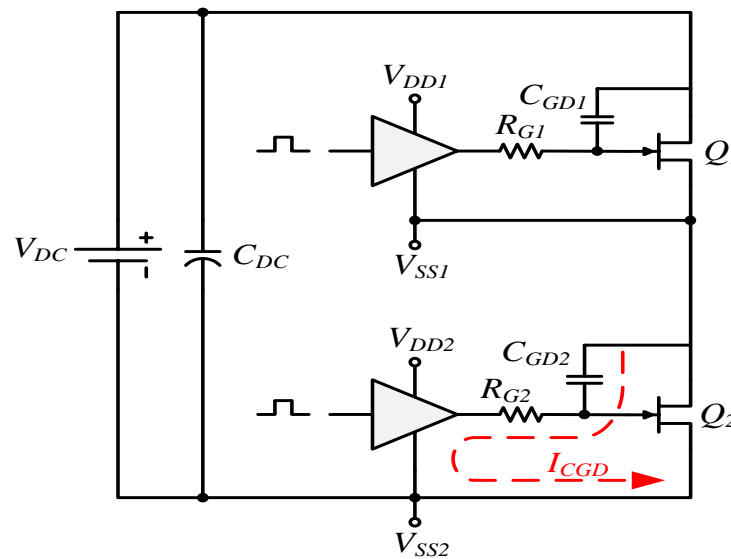
Το κύκλωμα αυτό δέχεται ένα σήμα ελέγχου στην είσοδο του και παράγει ένα δεύτερο σήμα συγχρονισμένο με το αρχικό σήμα, με πολύ μικρότερη διάρκεια παλμού, της τάξης των 100 ns, το οποίο συνδέεται στην είσοδο του ολοκληρωμένου κυκλώματος $U1$. Το $U1$ παράγει έναν ισχυρό παλμό ρεύματος ο οποίος διοχετεύεται δια μέσω της αντίστασης R_{ON} στην πύλη του JFET, έτσι ώστε να είναι ταχεία η μετάβασή του σε αγωγή. Επίσης, ο ισχυρός παλμός του ρεύματος πολώνει την πύλη του JFET σε τιμή τάσης σημαντικά μεγαλύτερη από την τάση καταφλίου παρεμποδίζοντας με αυτόν τον τρόπο τις εσφαλμένες μεταβάσεις του JFET εξαιτίας των ταλαντώσεων στην πύλη του. Τέλος, όσο μεγαλύτερη είναι η τάση πόλωσης V_{CC} τόσο μεγαλύτερη τιμή μπορεί να πάρει η αντίσταση R_{ON} με στόχο τη μεγαλύτερη απόσβεση των ταλαντώσεων στην πύλη του JFET.

Παράλληλα, το αρχικό σήμα ελέγχου συνδέεται στην είσοδο του ολοκληρωμένου κυκλώματος $U2$, το οποίο παρέχει το απαιτούμενο ρεύμα στην ένωση της πύλης του JFET, όταν αυτό βρίσκεται σε μόνιμη κατάσταση αγωγής, δια μέσω της αντίστασης R_{COND} , η τιμή της οποίας έχει σχετικά υψηλή τιμή.

Επίσης, το ολοκληρωμένο κύκλωμα $U2$ παρέχει το απαιτούμενο ρεύμα δια μέσω της R_{OFF} για τη μετάβαση του JFET σε αποκοπή.

3.5.4 Επίδραση του φαινομένου Miller στη λειτουργία σε διάταξη γέφυρας

Το φαινόμενο Miller στην περίπτωση λειτουργίας σε διάταξη γέφυρας [40] είναι δυνατό να δυσχεράνει τη λειτουργία των διακοπών, όπως φαίνεται στο Σχήμα 3.7 παρακάτω.



Σχήμα 3.7: Διάταξη γέφυρας.

Πιο συγκεκριμένα, όταν το άνω JFET, $Q1$, οδηγείται σε κατάσταση αγωγής ενώ το κάτω JFET, $Q2$, βρίσκεται σε κατάσταση αποκοπής, τότε η τάση υποδοχής του κάτω στοιχείου αυξάνεται απότομα από 0 V σε V_{DC} με πολύ μεγάλο dv/dt . Επειδή, το στοιχείο $Q2$ είναι σε κατάσταση αποκοπής, το παρασιτικό ρεύμα I_{CGD} που θα δημιουργηθεί από την χωρητικότητα Miller, C_{GD} , ρέει μέσω της R_{G2} προς τη γη προκαλώντας μία αύξηση της τάσης V_{GS} .

$$V_{GS} = -V_{SS} + R_{G2} \cdot I_{CGD} \quad (3.7)$$

Αν αυτή η αύξηση της τάσης V_{GS} είναι αρκετά μεγάλη ώστε η τάση μεταξύ πύλης και πηγής να αποκτήσει τιμή μεγαλύτερη της τάσης κατωφλίου V_{GS-TH} , τότε το στοιχείο Q_2 θα αρχίσει να άγει με αποτέλεσμα να δημιουργηθεί βραχυκύκλωμα και να καταστραφούν τα JFET.

Επίσης, όταν το άνω JFET οδηγείται σε κατάσταση αποκοπής, τότε η τάση υποδοχής του κάτω JFET μειώνεται απότομα από V_{DC} σε 0 V με αρκετά μεγάλο dv/dt . Κατ' αντιστοιχία, εξαιτίας της C_{GD} ρέει τώρα ένα μεγάλο παρασιτικό ρεύμα I_{CGD} μέσω της R_{G2} και του C_{GD} κατά την αντίθετη φορά προκαλώντας μείωση της τάσης V_{GS} .

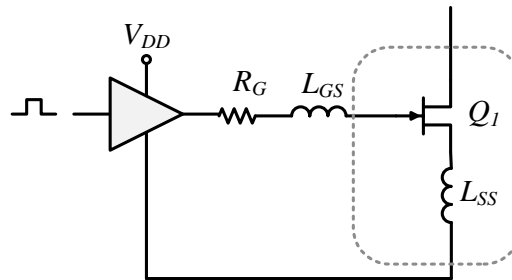
$$V_{GS} = -V_{SS} - R_{G2} \cdot I_{CGD} \quad (3.8)$$

Εάν η τιμή της V_{GS} γίνει μικρότερη από την ανάστροφη τάση κατάρρευσης πύλης (reverse breakdown voltage - V_{BR-G}), τότε ένα πολύ μεγάλο ρεύμα θα περάσει από το JFET και αυτό θα καταστραφεί.

Η τοποθέτηση εξωτερικών πυκνωτών αντιστάθμισης μεταξύ πύλης και πηγής παρέχουν στο παρασιτικό ρεύμα I_{CGD} ένα εναλλακτικό μονοπάτι προς τη γη με αποτέλεσμα να μένει ανεπηρέαστη η τάση V_{GS} . Ταυτόχρονα, η χρησιμοποίηση ενός τέτοιου πυκνωτή αντιστάθμισης στα άκρα πύλης και πηγής του JFET συνεισφέρει στην απόσβεση των ταλαντώσεων της τάσης V_{GS} . Ωστόσο η ύπαρξη αυτού του πυκνωτή έχει ως αποτέλεσμα την αύξηση των χρόνων μεταγωγής και κατά συνέπεια την αύξηση των διακοπτικών απωλειών.

3.5.5 Επίδραση των παρασιτικών αυτεπαγωγών στην οδήγηση των JFET

Ένα γεγονός που επηρεάζει σημαντικά την οδήγηση των JFET είναι ότι τόσο το κύκλωμα της πύλης όσο και το κύκλωμα της υποδοχής έχουν την ίδια πηγή (S) και επηρεάζονται μέσω της αυτεπαγωγής L_{SS} που υπάρχει στο άκρο της πηγής του JFET, όπως φαίνεται στο Σχήμα 3.8 παρακάτω [40].



Σχήμα 3.8: Επίδραση της αυτεπαγωγής L_{SS} στην οδήγηση των JFET.

Οποιαδήποτε ταλάντωση του ρεύματος υποδοχής I_D θα επηρεάσει και την κυματομορφή της τάσης πύλης. Για το λόγο αυτόν είναι πολύ σημαντικό να περιοριστούν οι ταλαντώσεις στο κύριο κύκλωμα της υποδοχής του JFET μέσω της χρησιμοποίησης δικτύων Snubbers. Επίσης πρέπει να ληφθεί κατάλληλη μέριμνα έτσι ώστε να μειωθεί στο ελάχιστο η παρασιτική αυτεπαγωγή L_{SS} με ελαχιστοποίηση του μήκους και της επιφάνειας που καταλαμβάνουν οι αντίστοιχοι αγωγίμοι δρόμοι πάνω στο τυπωμένο κύκλωμα. Επίσης και η παρασιτική αυτεπαγωγή L_{GS} δημιουργεί ταλαντώσεις στο σήμα που υπάρχει στην πύλη και πρέπει και αυτή να ελαχιστοποιηθεί με κατάλληλη σχεδίαση του τυπωμένου κυκλώματος όπως στην προηγούμενη περίπτωση. Η ελαχιστοποίηση των παρασιτικών αυτεπαγωγών παίζει

καθοριστικό ρόλο και στην αντιμετώπιση του ζητήματος της ηλεκτρομαγνητικής παρενόχλησης και της ηλεκτρομαγνητικής συμβατότητας [41].

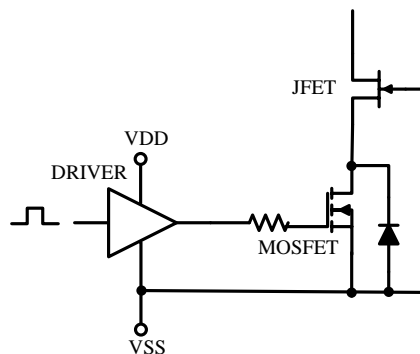
3.6 Ειδικές απαιτήσεις των Normally-on SiC JFET

Όπως έχει ήδη αναφερθεί σε προηγούμενη παράγραφο, τα Normally-on SiC JFET βρίσκονται σε κατάσταση αγωγής όταν δεν εφαρμόζεται κανένα σήμα στην πύλη τους και, για να μεταβούν σε κατάσταση αποκοπής, πρέπει να εφαρμοστεί αρνητική τάση στην πύλη τους. Αυτό αποτελεί ένα σοβαρό θέμα στο χειρισμό τους διότι στην περίπτωση διακοπής της τάσης τροφοδοσίας του κυκλώματος οδήγησής τους, αυτά μεταβαίνουν αυτόματα σε κατάσταση αγωγής και υπάρχει κίνδυνος καταστροφής τους λόγω του ισχυρού ρεύματος που θα τα διαρρεύσει. Για το λόγο αυτόν, έχουν αναπτυχθεί διάφορες μέθοδοι για την προστασία τους. Μία απλή και αξιόπιστη λύση είναι η τοποθέτηση ενός Normally-off ηλεκτρονικού διακόπτη ή ενός ρελέ εν σειρά με το Normally-on JFET με μειονέκτημα τις υψηλότερες απώλειες αγωγής. Αυτή η μέθοδος εφαρμόστηκε στην παρούσα μελέτη, τοποθετώντας ταυτόχρονα, σε κάθε κύκλωμα οδήγησής, έναν σχετικά μικρό πυκνωτή, ο οποίος χρησιμοποιείται για να παρέχει την απαραίτητη πόλωση στα JFET από τη στιγμή που θα χαθεί η τάση τροφοδοσίας των κυκλωμάτων οδήγησής τους έως ότου ο εν σειρά διακόπτης να τα αποκόψει από την DC τάση που εφαρμόζεται πάνω τους.

Παρακάτω θα παρουσιαστούν κάποια επιπλέον παραδείγματα των τεχνικών προστασίας των Normally-on JFET.

3.6.1 Χρήση των Normally-on JFET σε συνδεσμολογία cascode.

Στο Σχήμα 3.9 παρακάτω εμφανίζεται η συνδεσμολογία cascode, η οποία δημιουργείται με τη χρήση ενός τυπικού MOSFET πυριτίου σε σειρά με το Normally-on JFET[42].



Σχήμα 3.9: Συνδεσμολογία cascode.

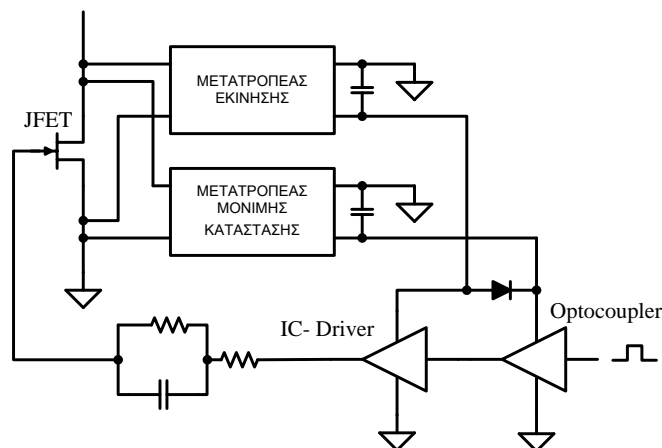
Όταν το Si MOSFET μεταβαίνει σε αγωγή τότε η πύλη του SiC JFET βραχυκυκλώνεται με την πηγή του και μεταβαίνει και αυτό σε κατάσταση αγωγής λόγω του γεγονότος ότι είναι Normally-on. Επίσης, όταν το Si MOSFET μεταβεί σε αποκοπή, η τάση υποδοχής του αρχίζει να αυξάνει για ένα πολύ σύντομο χρονικό διάστημα όπου το SiC JFET παραμένει σε κατάσταση αγωγής. Όμως, όταν η τάση υποδοχής-πηγής του Si MOSFET, η οποία είναι ίση με την τάση στην πύλη του SiC JFET, αυξηθεί αρκετά έτσι ώστε να γίνει μεγαλύτερη κατ' απόλυτη τιμή από την τάση κατωφλίου του SiC JFET, τότε και αυτό μεταβαίνει σε αποκοπή. Οπότε, η οδήγηση του Normally-on SiC JFET ανάγεται στην οδήγηση ενός τυπικού Si MOSFET. Ωστόσο, οι απώλειες αγωγής και οι διακοπτικές απώλειες των εν σειρά συνδεδεμένων ημιαγωγικών διακοπών αυξάνονται σημαντικά [43] - [45]. Επίσης, σημαντικό

μειονέκτημα της διάταξης Cascode είναι ότι τα χαρακτηριστικά λειτουργίας του Si MOSFET ακυρώνουν τη δυνατότητα λειτουργίας του SiC JFET σε υψηλή θερμοκρασία, καθώς και την ανθεκτικότητά του σε σφάλματα. Τέλος, η εσωτερική αντιπαράλληλη δίοδος του Si MOSFET περιορίζει το μέγιστο επιτρεπόμενο ρυθμό μεταβολής της τάσης dv/dt σε διατάξεις γέφυρας.

3.6.2 Αυτοτροφοδοτούμενο κύκλωμα οδήγησης για Normally-on SiC JFET.

Στο Σχήμα 3.10 παρακάτω, φαίνεται το διάγραμμα του αυτοτροφοδοτούμενου κυκλώματος οδήγησης για Normally-on SiC JFET [46], [47].

Όταν εφαρμόζεται η τάση τροφοδοσίας στην υποδοχή του JFET, τότε, επειδή αυτό μεταβαίνει αμέσως σε αγωγή και λόγω του υψηλού ρεύματος που το διαρρέει, αναπτύσσεται μία μικρή τάση μεταξύ της υποδοχής και της πηγής του. Αυτή τη μικρή τάση εκμεταλλεύεται ο μετατροπέας εκκίνησης ο οποίος παράγει στην έξοδό του μία αρνητική τάση η οποία τροφοδοτεί μόνο το ολοκληρωμένο κύκλωμα οδήγησης (IC- Driver). Το κύκλωμα αυτό πολώνει την πύλη του JFET με αρνητική τάση και το αναγκάζει να μεταβεί σε αποκοπή εμφανίζοντας μια μεγάλη διαφορά δυναμικού μεταξύ της υποδοχής και της πηγής του. Η τάση αυτή ενεργοποιεί το μετατροπέα μόνιμης κατάστασης και η αρνητική τάση που παράγει στην έξοδό του τροφοδοτεί τον οπτοζεύκτη (Optocoupler) και το ολοκληρωμένο κύκλωμα οδήγησης. Αμέσως μετά, το σήμα ελέγχου στην είσοδο του οπτοζεύκτη μετατρέπεται σε κατάλληλο σήμα οδήγησης στην πύλη του JFET ενώ ο μετατροπέας εκκίνησης διακόπτει τη λειτουργία του.



Σχήμα 3.10: Αυτοτροφοδοτούμενο κύκλωμα οδήγησης Normally-on SiC JFET.

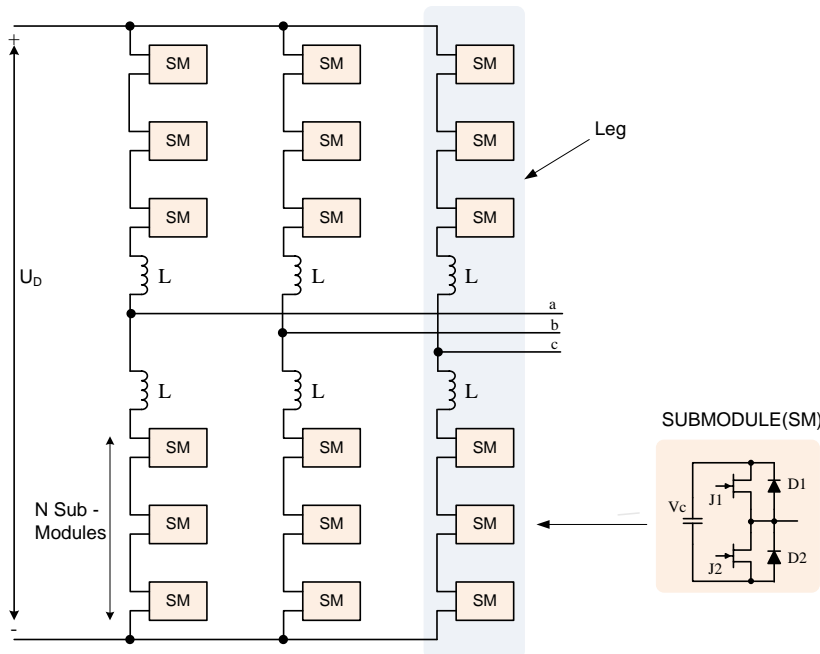
Το κύκλωμα αυτό έχει αρκετούς περιορισμούς κατά την εφαρμογή του. Ένας περιορισμός σχετίζεται με το αρχικό ρεύμα βραχυκύκλωσης του Normally-on SiC JFET το οποίο πρέπει να κυμαίνεται σε συγκεκριμένη περιοχή έτσι ώστε να είναι αρκετό για να δοθεί η απαραίτητη ενέργεια στον μετατροπέα εκκίνησης, ενώ ταυτόχρονα να διατηρείται εντός των ορίων ασφαλούς λειτουργίας του JFET. Ο δεύτερος περιορισμός σχετίζεται με την αυτεπαγωγή που είναι συνδεδεμένη στην υποδοχή του JFET, η οποία δεν πρέπει να υπερβαίνει ένα συγκεκριμένο όριο έτσι ώστε να μπορεί να αναπτυχθεί το απαιτούμενο ρεύμα βραχυκύκλωσης στην υποδοχή του JFET. Τέλος, ο τρίτος περιορισμός αφορά τη διαδικασία απενεργοποίησης του μετατροπέα ισχύος και η ενέργεια των πυκνωτών του αυτοτροφοδοτούμενου μετατροπέα πρέπει να επαρκεί για χρόνο μεγαλύτερο από το χρόνο εκφόρτισης των πυκνωτών στην είσοδο του μετατροπέα ισχύος.

3.7 Χρήση των SiC JFET σε συστήματα μεγάλης ισχύος.

Μέχρι τώρα, δεν υπάρχει καμία εμπορικά διαθέσιμη συσκευή πολύς μεγάλης ισχύος κατασκευασμένη από ημιαγωγό SiC διότι η παραγωγή μεγάλων τεμαχίων του ημιαγωγού χωρίς ελαττώματα απαιτεί μεγάλο χρόνο, γεγονός που καθιστά ασύμφορη την παραγωγή τους. Ωστόσο υπάρχουν διάφοροι μέθοδοι για την αξιοποίηση των SiC JFET σε μετατροπείς υψηλής ισχύος και στη συνέχεια θα δοθούν μερικά παραδείγματα αυτών των μεθόδων.

3.7.1 Χρήση των SiC JFET σε αρθρωτούς πολυεπίπεδους μετατροπείς.

Η αντίσταση αγωγής των ημιαγωγών από καρβίδιο του πυριτίου είναι χαμηλότερη από την αντίσταση των ημιαγωγών από πυρίτιο, οπότε τα SiC JFET είναι δυνατό να χρησιμοποιηθούν στην κατασκευή Αρθρωτών Πολυεπίπεδων Μετατροπέων (Modular Multilevel Converter – MMC) υψηλής τάσης με στόχο τη βελτίωση της απόδοσής τους [48]. Το απλοποιημένο διάγραμμα ενός τέτοιου μετατροπέα εμφανίζεται στο Σχήμα 3.11 παρακάτω.



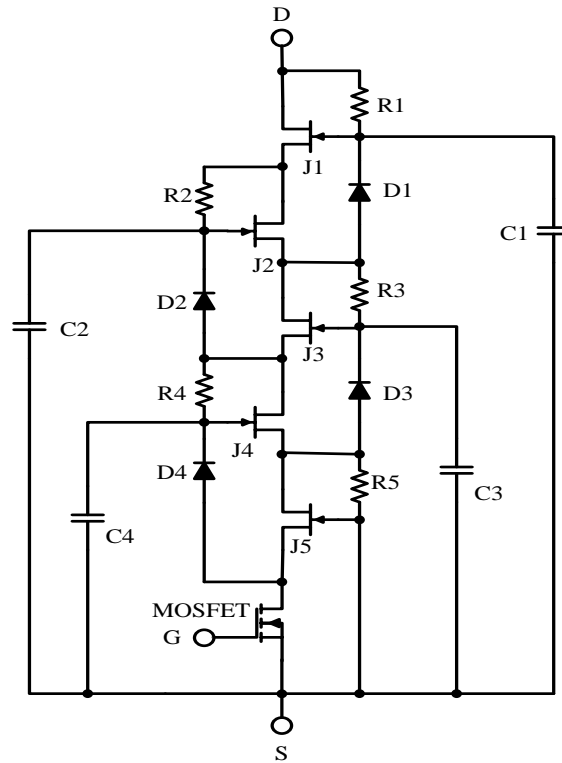
Σχήμα 3.11: Σχηματικό διάγραμμα Αρθρωτού Πολυεπίπεδου Μετατροπέα.

Ο πολυεπίπεδος μετατροπέας αποτελείται από πολλούς τμηματικούς μετατροπείς (SUBMODULE) και έχει πολύ υψηλή απόδοση διότι η διακοπτική συχνότητα λειτουργίας είναι πολύ χαμηλή. Τα βασικά στοιχεία των τμηματικών μετατροπέων είναι ένας πυκνωτής και δύο ημιαγωγικοί διακόπτες. Η τάση λειτουργίας των ημιαγωγικών διακοπών είναι σχετικά χαμηλή και μπορούν εύκολα να χρησιμοποιηθούν τα εμπορικά διαθέσιμα JFET από καρβίδιο του πυριτίου.

3.7.2 Χρήση των SiC JFET σε συνδεσμολογία super cascode.

Στο Σχήμα 3.12 εμφανίζεται η τοπολογία super cascode, η οποία δημιουργείται με την τοποθέτηση μιας σειράς διόδων πυριτίου χιονοστιβάδας χαμηλού κόστους παράλληλα με μια σειρά Normally-on JFET καθώς επίσης και τη χρήση ενός τυπικού MOSFET πυριτίου [49] - [51].

Η λειτουργία αυτής της τοπολογίας είναι παρόμοια με την απλή τοπολογία cascode, με τη διαφορά ότι οι μεταγωγές των ημιαγωγικών διακοπών εξελίσσονται διαδοχικά. Η μετάβαση σε αγωγή του MOSFET χαμηλής τάσης αναγκάζει σε μετάβαση σε αγωγή το πλησιέστερο JFET και αυτό με τη σειρά του το επόμενο JFET και η διαδικασία εξελίσσεται αλυσιδωτά έως ότου όλα τα JFET να μεταβούν σε αγωγή. Η κατανομή της τάσης πάνω στα JFET εξασφαλίζεται από τις διόδους πυριτίου.

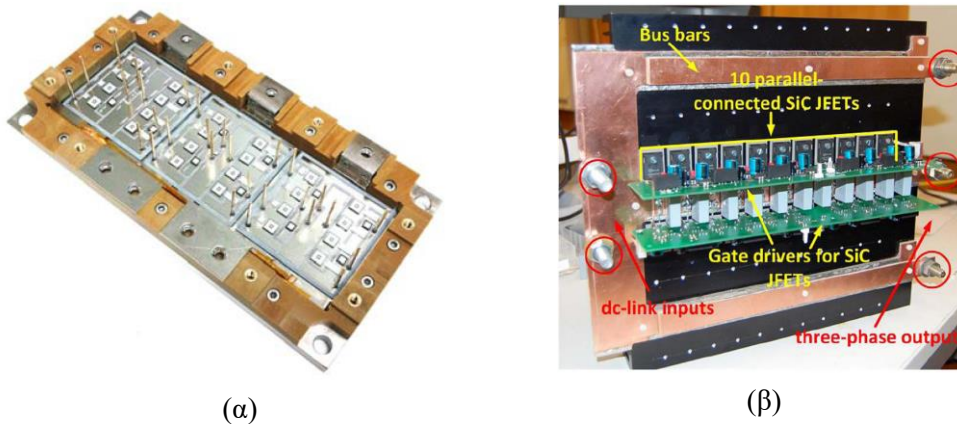


Σχήμα 3.12: Τοπολογία super cascode [49].

Παρόμοιο φαινόμενο λαμβάνει χώρα κατά τη μετάβαση σε αποκοπή με τη διαδικασία να ξεκινά από την μετάβαση σε αποκοπή του MOSFET με αποτέλεσμα η τάση που αναπτύσσεται πάνω του να εφαρμόζεται στην πύλη του πλησιέστερου JFET θέτοντάς το σε κατάσταση αποκοπής και αυτό με τη σειρά του θέτει σε αποκοπή το επόμενο JFET και η διαδικασία εξελίσσεται αλυσιδωτά έως ότου όλα τα JFET να μεταβούν σε αποκοπή. Έτσι, η οδήγηση ολόκληρης της τοπολογίας εκφυλίζεται στην οδήγηση ενός Si MOSFET. Το λογικό επακόλουθο θα ήταν η μεγάλη χρονική διάρκεια των μεταβάσεων, εντούτοις οι χρόνοι αυτοί είναι συγκρίσιμοι με τους χρόνους μεταγωγής ενός απλού ημιαγωγικού διακόπτη υψηλής τάσης.

3.7.3 Παράλληλη συνδεσμολογία των SiC JFET.

Οι δύο συνδεσμολογίες που παρουσιάστηκαν παραπάνω εφαρμόζονται σε μετατροπείς υψηλών τάσεων και χαμηλών ρευμάτων λειτουργίας. Στην αντίθετη περίπτωση όπου απαιτούνται μετατροπείς σχετικά χαμηλών τάσεων και υψηλών ρευμάτων, μπορούν να χρησιμοποιηθούν μπλοκ πολλών διακοπών σε μια συσκευασία (multichip) [4] όπως φαίνεται στο Σχήμα 3.13(α), ή να συνδεθούν πολλοί απλοί διακόπτες (single-chip) παράλληλα όπως φαίνεται στο Σχήμα 3.13(β) [6]. Η λειτουργία των JFET που είναι συνδεδεμένα παράλληλα θα μελετηθεί διεξοδικά στο κεφάλαιο 5 και στο κεφάλαιο 6 της παρούσας έρευνας.



Σχήμα 3.13: Παράλληλη σύνδεση των SiC JFET [4], [6].

3.8 Σύγκριση των SiC JFET με άλλους διακόπτες ισχύος

Υπάρχουν αρκετά πλεονεκτήματα από την αντικατάσταση των Si IGBT και Si MOSFET με διακόπτες SiC. Η αντίσταση αγωγής και οι διακοπτικές απώλειες μπορούν να μειωθούν σημαντικά, ιδιαίτερα σε υψηλή συχνότητα λειτουργίας [52]-[60].

Μεταξύ των διαφόρων διακοπών SiC οι επικρατέστερες εναλλακτικές λύσεις μέχρι σήμερα είναι τα SiC MOSFET και τα SiC JFET.

Στους δύο πίνακες που ακολουθούν θα παρουσιαστούν τα στατικά λειτουργικά χαρακτηριστικά (Πίνακας 3.2) και τα δυναμικά λειτουργικά χαρακτηριστικά (Πίνακας 3.3) του UJN1208K, το οποίο είναι ένα Normally-on SiC JFET, του SJEP120R100, το οποίο είναι ένα Normally-off SiC JFET, του C2M0080120D, το οποίο είναι ένα SiC MOSFET και του IGW15N120H3, το οποίο είναι ένα Si IGB Τρίτης γενεάς.

Τα χαρακτηριστικά λαμβάνονται από τα φύλλα δεδομένων των κατασκευαστών τους [24], [39], [61], [62].

Παρότι το SJEP120R100 έχει ήδη αποσυρθεί από την αγορά, θα συμπεριληφθεί στη συγκριτική έρευνα για χάρη της πληρότητας διότι δεν βρέθηκε στην αγορά κάποιο άλλο Normally-off SiC JFET.

Από τους επόμενους συγκριτικούς πίνακες προκύπτει ότι το Normally-on SiC JFET και το SiC MOSFET είναι αυτά που έχουν τα καλύτερα χαρακτηριστικά λειτουργίας και κατά συνέπεια τις μικρότερες απώλειες αγωγής και τις μικρότερες διακοπτικές απώλειες. Ωστόσο, κανένα από αυτά δεν έχει γίνει το νέο πρότυπο συστατικό σε εμπορικά προϊόντα. Εκτός από τη μικρή εμπορική διαθεσιμότητα τους, υπάρχουν και άλλα θέματα που σχετίζονται με την αξιοπιστία τους ή τη δυσκολία στην οδήγησή τους.

Τα Normally-on SiC JFET δεν έχουν ζήτημα αξιοπιστίας και παρουσιάζουν ανθεκτικότητα στα βραχυκυκλώματα και άριστη συμπεριφορά σε κυκλώματα περιορισμού του ρεύματος αγωγής [63],[64]. Ωστόσο έχουν δυσκολίες στον παράλληλο τρόπο λειτουργίας τους και απαιτούν πολύπλοκα κυκλώματα οδήγησης και προστασίας.

Τα SiC MOSFET φέρεται να έχουν προβλήματα μακροπρόθεσμης αξιοπιστίας λόγω του ευαίσθητου λεπτού στρώματος οξειδίου στην πύλη τους και στην κρυσταλλική δομή τους σε υψηλές θερμοκρασίες και για το λόγο αυτό χρήζουν μελέτης πριν τη χρήση τους σε εμπορικά προϊόντα [65]- [70].

	<i>UJN1208K</i> <i>Normally-ON</i> <i>SiC JFET</i>	<i>SJEP120R100</i> <i>Normally-OFF</i> <i>SiC JFET</i>	<i>C2M0080120D</i> <i>SiC MOSFET</i>	<i>IGW15N120H3</i> <i>Si IGBT</i>
Collector-Emitter Maximum Voltage, V_{CE}				1200V
Drain-Source Voltage, V_{DS}	1200V	1200V	1200V	
Continuous Collector Current				30A ($T_C = 25^\circ\text{C}$)
Continuous Drain Current	21A ($T_C = 25^\circ\text{C}$)	17A ($T_j = 125^\circ\text{C}$)	36A ($T_C = 25^\circ\text{C}$)	
Continuous Collector Current				15A ($T_C = 100^\circ\text{C}$)
Continuous Drain Current	13A ($T_C = 125^\circ\text{C}$)	12A ($T_j = 175^\circ\text{C}$)	24A ($T_C = 100^\circ\text{C}$)	
Pulsed Collector Current				60 A
Pulsed Drain Current	41A ($T_j = 125^\circ\text{C}$)	30A ($T_C = 25^\circ\text{C}$)	80 A	
Operating Temperature	-55°C to +175°C	-55°C to +175°C	-55°C to +150°C	-40°C to +175°C
Thermal Resistance, junction-to-case R_{TH-JC}	1.1°C / W	1.1°C / W	0.65°C / W	0.7°C / W
Collector-emitter saturation voltage				2.05 V ($I_C = 15\text{A}$) ($T_j = 25^\circ\text{C}$)
Maximum On-resistance	0.08 Ω ($T_j = 25^\circ\text{C}$)	0.1 Ω ($T_j = 25^\circ\text{C}$)	0.08 Ω ($T_j = 25^\circ\text{C}$)	0.025 Ω ($T_j = 25^\circ\text{C}$)
Threshold Voltage	-7V ($V_{DS} = 5\text{V}$) ($I_D = 70\text{mA}$)	1V ($V_{DS} = 1\text{V}$) ($I_D = 34\text{mA}$)	2.6V ($V_{DS} = V_{GS}$) ($I_D = 5\text{mA}$)	5.8V ($V_{CE} = V_{GE}$) ($I_C = 0.5\text{mA}$)

Πίνακας 3.2: Συγκριτικός πίνακας στατικών λειτουργικών χαρακτηριστικών.

	<i>UJN1208K</i> <i>Normally-ON</i> <i>SiC JFET</i>	<i>SJEP120R100</i> <i>Normally-OFF</i> <i>SiC JFET</i>	<i>C2M0080120D SiC</i> <i>MOSFET</i>	<i>IGW15N120H3</i> <i>Si IGBT</i>
Input Capacitance $C_{iss}(C_{ies})$	500 pF ($V_{DD} = 100\text{ V}$)	670 pF ($V_{DD} = 100\text{ V}$)	950 pF ($V_{DD} = 1000\text{ V}$)	875 pF ($V_{CE} = 25\text{ V}$)
Output Capacitance C_{oss} (C_{oes})	94 pF ($V_{DD} = 100\text{ V}$)	103 pF ($V_{DD} = 100\text{ V}$)	80 pF ($V_{DD} = 1000\text{ V}$)	60 pF ($V_{CE} = 25\text{ V}$)
Reverse Transfer Capacitance C_{rss} (C_{res})	93 pF ($V_{DD} = 100\text{ V}$)	97 pF ($V_{DD} = 100\text{ V}$)	7.6 pF ($V_{DD} = 1000\text{ V}$)	45 pF ($V_{CE} = 25\text{ V}$)
Coss Stored Energy			45 μJ ($V_{DD} = 1000\text{ V}$)	
Effective Output Capacitance $C_{o(er)}$ (energy related)	53 pF ($V_{DS} = 0\text{ V to } 600\text{ V}$)	60 pF ($V_{DS} = 0\text{ V to } 480\text{ V}$)		
Total Gate Charge Q_g	62 nC ($V_{DS} = 600\text{ V}, I_D = 20\text{ A}$)	30 nC ($V_{DS} = 600\text{ V}, I_D = 10\text{ A}$)	62 nC ($V_{DS} = 800\text{ V}, I_D = 20\text{ A}$)	75 nC ($V_{CC} = 960\text{ V}, I_C = 15\text{ A}$)
Gate-Source Charge Q_{gs}	6 nC ($V_{DS} = 600\text{ V}, I_D = 20\text{ A}$)	1 nC ($V_{DS} = 600\text{ V}, I_D = 10\text{ A}$)	15 nC ($V_{DS} = 800\text{ V}, I_D = 20\text{ A}$)	
Gate-Drain Charge Q_{gd}	44 nC ($V_{DS} = 600\text{ V}, I_D = 20\text{ A}$)	24 nC ($V_{DS} = 600\text{ V}, I_D = 10\text{ A}$)	23 nC ($V_{DS} = 800\text{ V}, I_D = 20\text{ A}$)	
Rise Time ($T_j = 25\text{ }^\circ\text{C}$)	30 ns ($V_{DS} = 600\text{ V}, I_D = 20\text{ A}, V_{DD}=5\text{ V}, V_{SS}= -15\text{ V}, R_G=2.5\Omega$)	12 ns ($V_{DS} = 600\text{ V}, I_D = 12\text{ A}, V_{DD}=15\text{ V}, V_{SS}= -10\text{ V}, R_G=5\Omega$)	20 ns ($V_{DS} = 800\text{ V}, I_D = 20\text{ A}, V_{DD}=20\text{ V}, V_{SS}= -5\text{ V}, R_G=2.5\Omega$)	34 ns ($V_{CC} = 600\text{ V}, I_C = 15\text{ A}, V_{DD}=15\text{ V}, V_{SS}= 0\text{ V}, R_G=35\Omega$)
Fall Time ($T_j = 25\text{ }^\circ\text{C}$)	26 ns ($V_{DS} = 600\text{ V}, I_D = 20\text{ A}, V_{DD}=5\text{ V}, V_{SS}= -15\text{ V}, R_G=2.5\Omega$)	25 ns ($V_{DS} = 600\text{ V}, I_D = 12\text{ A}, V_{DD}=15\text{ V}, V_{SS}= -10\text{ V}, R_G=5\Omega$)	19 ns ($V_{DS} = 800\text{ V}, I_D = 20\text{ A}, V_{DD}=20\text{ V}, V_{SS}= -5\text{ V}, R_G=2.5\Omega$)	14 ns ($V_{CC} = 600\text{ V}, I_C = 15\text{ A}, V_{DD}=15\text{ V}, V_{SS}= 0\text{ V}, R_G=35\Omega$)
Turn-on Energy ($T_j = 25\text{ }^\circ\text{C}$)	202 μJ ($V_{DS} = 600\text{ V}, I_D = 20\text{ A}, V_{DD}=5\text{ V}, V_{SS}= -15\text{ V}, R_G=2.5\Omega$)	70 μJ ($V_{DS} = 600\text{ V}, I_D = 12\text{ A}, V_{DD}=15\text{ V}, V_{SS}= -10\text{ V}, R_G=5\Omega$)	265 μJ ($V_{DS} = 800\text{ V}, I_D = 20\text{ A}, V_{DD}=20\text{ V}, V_{SS}= -5\text{ V}, R_G=2.5\Omega$)	1100 μJ ($V_{CC} = 600\text{ V}, I_C = 15\text{ A}, V_{DD}=15\text{ V}, V_{SS}= 0\text{ V}, R_G=35\Omega$)
Turn-off Energy ($T_j = 25\text{ }^\circ\text{C}$)	210 μJ ($V_{DS} = 600\text{ V}, I_D = 20\text{ A}, V_{DD}=5\text{ V}, V_{SS}= -15\text{ V}, R_G=2.5\Omega$)	100 μJ ($V_{DS} = 600\text{ V}, I_D = 12\text{ A}, V_{DD}=15\text{ V}, V_{SS}= -10\text{ V}, R_G=5\Omega$)	135 μJ ($V_{DS} = 800\text{ V}, I_D = 20\text{ A}, V_{DD}=20\text{ V}, V_{SS}= -5\text{ V}, R_G=2.5\Omega$)	450 μJ ($V_{CC} = 600\text{ V}, I_C = 15\text{ A}, V_{DD}=15\text{ V}, V_{SS}= 0\text{ V}, R_G=35\Omega$)

Πίνακας 3.3: Συγκριτικός πίνακας δυναμικών λειτουργικών χαρακτηριστικών.

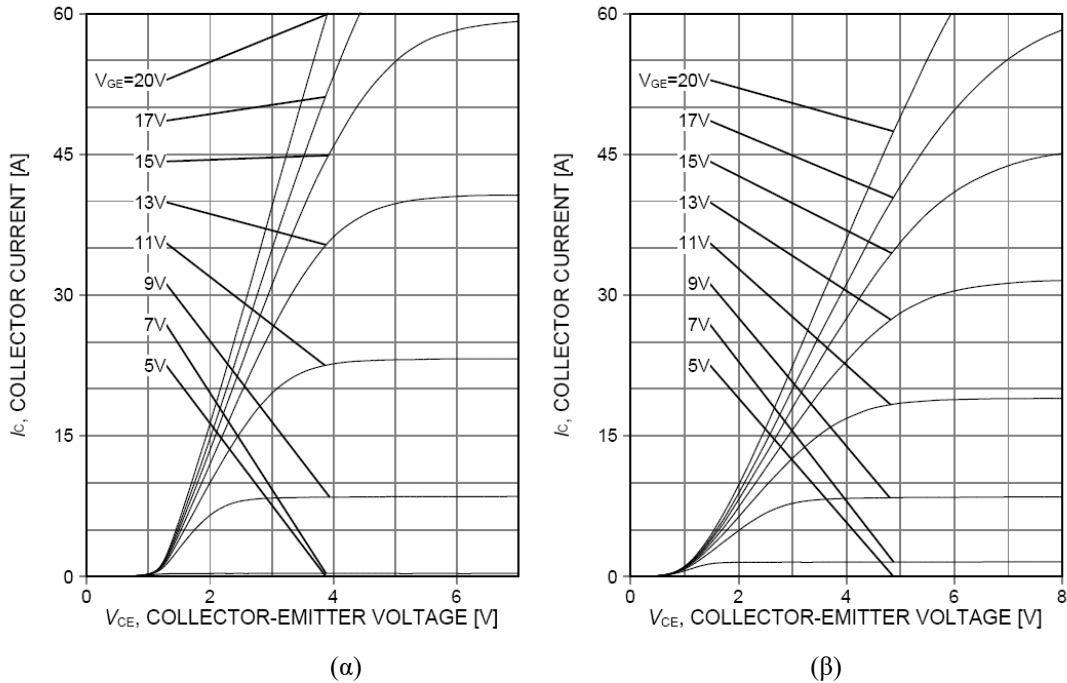
Λόγω της ευαίσθητης επιφανειακής διεπαφής SiO₂-SiC παρουσιάζεται χαμηλή ευκινησία των ηλεκτρονίων στο κανάλι τους καθώς επίσης ολίσθηση της τάσης κατωφλίου με τη μεταβολή της θερμοκρασίας [71], [72]. Εν συγκρίσει, η τάση αποκοπής των JFET παραμένει σταθερή με την πάροδο του χρόνου ακόμα και σε μεγάλες θερμοκρασίες λειτουργίας [73]. Το μέγεθος των SiC MOSFET με τάση αποκοπής 1000 V είναι περίπου 10 φορές μικρότερο από αυτό των αντίστοιχων Si MOSFET, οπότε, η μέση πυκνότητα ελαττωμάτων ανά συσκευή είναι περίπου 10 φορές μεγαλύτερη [73]. Επίσης, το SiO₂ των SiC MOSFET έχει χαμηλή διηλεκτρική αντοχή και αλλοιώνεται σε θερμοκρασίες πάνω από 200°C με συνέπεια η χρήση τους να περιορίζεται σε χαμηλές θερμοκρασίες σε αντίθεση με τα SiC JFET που μπορούν να λειτουργήσουν σε πολύ μεγάλες θερμοκρασίες, ακόμα και πάνω από 400°C και να εκμεταλλευτούν πλήρως τις ιδιότητες του SiC για λειτουργία σε υψηλές θερμοκρασίες και υψηλές τάσεις.

Η ολίσθηση της τάσης κατωφλίου στα SiC MOSFET είναι αρκετά μεγαλύτερη από αυτή των Si MOSFET [73], και οφείλεται στην εμφύτευση θερμών φορέων (hot carrier injection) στο οξειδίο της πύλης τους και στο γεγονός ότι η τάση κατωφλίου τους εξαρτάται από ένα μεγάλο θετικό φορτίο στο οξειδίο της συσκευής και ένα μεγάλο αρνητικό φορτίο στις παγίδες της διεπαφής οξειδίου – SiC.

3.9 Σύγκριση των απωλειών αγωγής

Η σύγκριση των απωλειών αγωγής των διακοπών έγινε κατόπιν υπολογισμού των απωλειών βάσει των παραμέτρων που δίνονται στα φύλλα δεδομένων των κατασκευαστών. Οι μονοπολικές συσκευές όπως τα JFET και τα MOSFET έχουν μηδενική τάση αγωγής χωρίς φορτίο και στο ισοδύναμο μοντέλο τους, υπάρχει μόνο μια αντίσταση και η τάση αγωγής που αναπτύσσεται πάνω τους, για τις διάφορες τιμές του ρεύματος αγωγής, είναι εύκολο να υπολογιστεί. Αντιθέτως, επειδή το IGBT είναι διπολική συσκευή, το ηλεκτρικό μοντέλο για την κατάσταση αγωγής αποτελείται από μια πηγή τάσης, η οποία αναπαριστάνει την τάση πάνω στον ημιαγωγό για μηδενικό ρεύμα, σε σειρά με μια δυναμική αντίσταση και στη συγκεκριμένη περίπτωση ο υπολογισμός της τάσης αγωγής που αναπτύσσεται πάνω του θα ληφθεί από το διάγραμμα που δίνει ο κατασκευαστής όπως φαίνεται στο Σχήμα 3.14 παρακάτω.

Οι υπολογισμοί των συγκριτικών απωλειών αγωγής θα γίνουν με βάση το Σχήμα 3.14 και τον συγκριτικό πίνακα στατικών χαρακτηριστικών (Πίνακας 3.2) για θερμοκρασία λειτουργίας ίση με 25°C. Τα αποτελέσματα φαίνονται στον παρακάτω πίνακα (Πίνακας 3.4) και προκύπτει ότι το Normally-on SiC JFET και το SiC MOSFET είναι αυτά που έχουν τις μικρότερες απώλειες αγωγής, ενώ τις μεγαλύτερες τις έχει το IGBT πυριτίου.



Σχήμα 3.14: Χαρακτηριστικές εξόδου του Si IGBT IGW15N120H3, (α) σε θερμοκρασία 25°C, (β) σε θερμοκρασία 175°C [62].

Ρεύμα αγωγής	UJN1208K Normally-on SiC JFET		SJEP120R100 Normally-off SiC JFET		C2M0080120D SiC MOSFET		IGW15N120H3 Si IGBT	
	V _{COND}	P _{COND}	V _{COND}	P _{COND}	V _{COND}	P _{COND}	V _{COND}	P _{COND}
2.5 A	0.2 V	0.5 W	0.25 V	0.63 W	0.2 V	0.5 W	1.2 V	3 W
5 A	0.4 V	2 W	0.5 V	2.5 W	0.4 V	2 W	1.4 V	7 W
10.5 A	0.84 V	8.8 W	1.05 V	10.5 W	0.84 V	8.8 W	1.7V	17.9 W
15 A	1.2 V	18 W	1.5 V	22.5W	1.2 V	18 W	1.9 V	28.5 W
28 A	2.24 V	63 W	2.8 V	78.4W	2.24 V	63 W	2.9 V	81 W

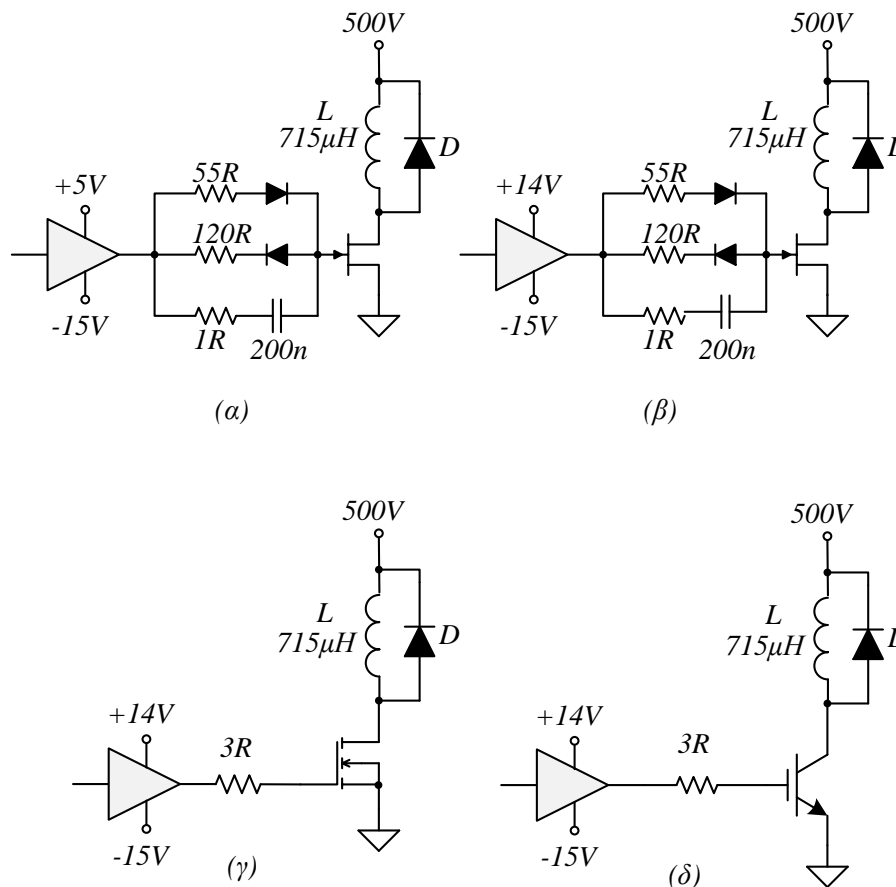
Πίνακας 3.4: Υπολογισμοί των συγκριτικών απωλειών αγωγής σε θερμοκρασία 25°C.

3.10 Διακοπτικές απώλειες

Στη συνέχεια θα παρουσιαστούν τα πειραματικά αποτελέσματα από τη σύγκριση των διακοπτικών απωλειών τριών διακοπών από καρβίδιο του πυριτίου και ενός IGBT τρίτης γενεάς από πυρίτιο. Στα πειράματα, έγινε χρήση κατάλληλων κυκλωμάτων οδήγησης έτσι ώστε να παρέχεται στους διακόπτες το μέγιστο δυνατό ρεύμα οδήγησης ενώ ταυτόχρονα οι μεταβάσεις να γίνονται με ασφάλεια χωρίς μεγάλες ταλαντώσεις. Να σημειωθεί ότι το μέγιστο δυνατό ρεύμα οδήγησης περιορίζεται επίσης και από τις δυνατότητες του συγκεκριμένου

κυκλώματος οδήγησης που υπάρχει στη διάταξη ελέγχου. Το κύκλωμα οδήγησης χρησιμοποιεί το ολοκληρωμένο κύκλωμα IXD_609 της IXYS το οποίο έχει δυνατότητα να παρέχει ή να απορροφά παλμικό ρεύμα έως και 9 A ενώ τη τυπική τιμή της αντίστασης στην έξοδό του είναι 0.6 Ω όταν παρέχει ρεύμα και 0.4 Ω όταν απορροφά ρεύμα.

Τα κυκλώματα που χρησιμοποιήθηκαν στις πειραματικές μετρήσεις για κάθε μια από αυτές τις περιπτώσεις φαίνονται στο Σχήμα 3.15. Η μέτρηση των διακοπτικών ρευμάτων έγινε με το Rogowski coil CWT UM/6/B.



Σχήμα 3.15: Κυκλώματα οδήγησης για τις πειραματικές μετρήσεις (α) για το Normally-on SiC JFET, (β) για το Normally-off SiC JFET (γ) για το MOSFET και (δ) για το IGBT.

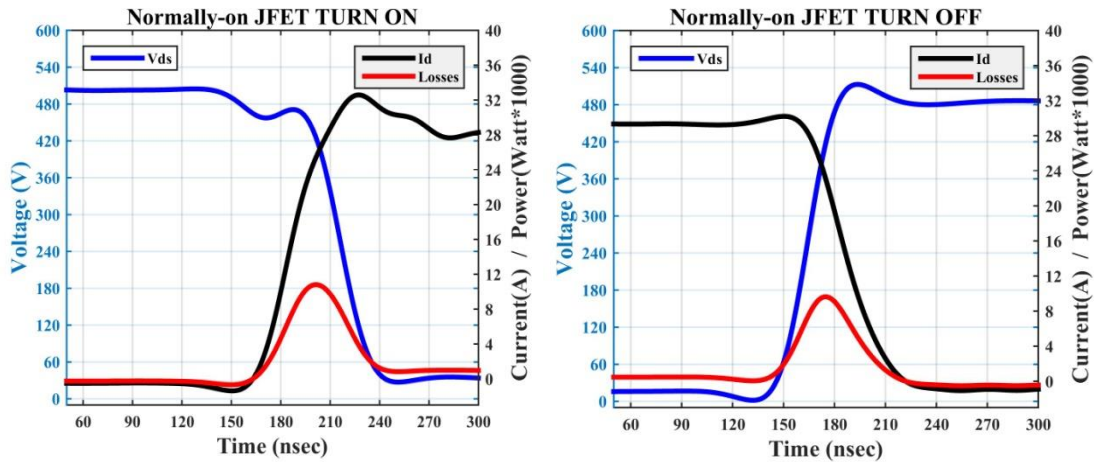
Για τη διεξαγωγή των πειραματικών μετρήσεων, εφαρμόζονται στην είσοδο του ολοκληρωμένου κυκλώματος οδήγησης δύο διαδοχικοί παλμοί τάσεως. Ο πρώτος παλμός έχει κατάλληλη χρονική διάρκεια έτσι ώστε να αναπτυχθεί στο πηνίο L η επιθυμητή τιμή ρεύματος. Ο δεύτερος παλμός εφαρμόζεται μετά από 3µs και έχει διάρκεια 2µs. Θα ακολουθήσουν δύο σεντ μετρήσεων όπου στο πρώτο σεντ η διάρκεια του πρώτου παλμού είναι 40µs, ενώ στο δεύτερο σεντ η διάρκεια του πρώτου παλμού είναι 15µs. Το ρεύμα που αναπτύσσεται στο πηνίο υπολογίζεται από τον παρακάτω τύπο:

$$I_L = \frac{V_L \cdot \Delta t}{L} \quad (3.9)$$

Οπότε, για $\Delta t=40\mu\text{s}$ το ρεύμα του πηνίου φτάνει τα 28A ενώ για $\Delta t=15\mu\text{s}$ το ρεύμα του πηνίου φτάνει τα 10.5A.

3.10.1 Σύγκριση των διακοπτικών απωλειών για ρεύμα 28A

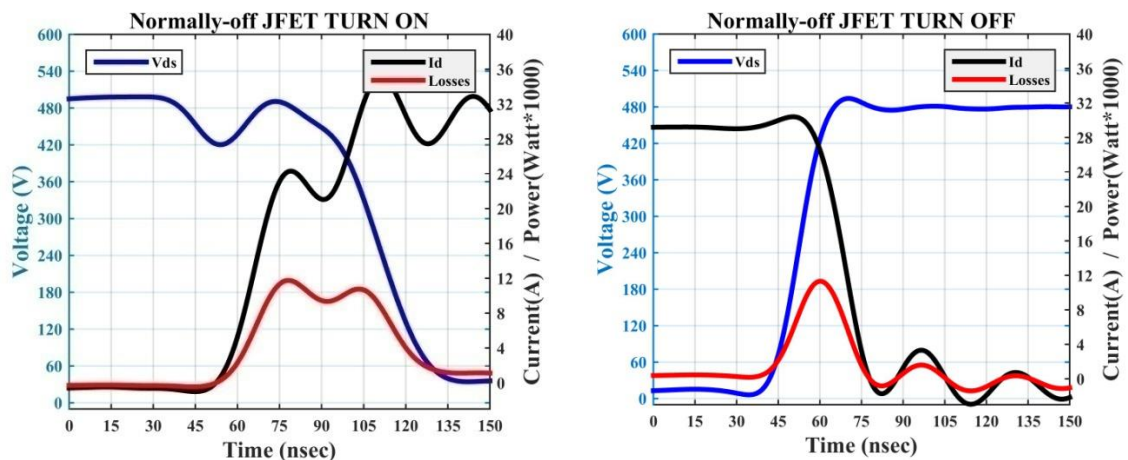
Το Σχήμα 3.16 παρακάτω δείχνει τις κυματομορφές της τάσης και του ρεύματος καθώς επίσης και των διακοπτικών απωλειών κατά τη διάρκεια των μεταβάσεων σε αγωγή και σε αποκοπή του Normally-on SiC JFET για ρεύμα 28 A.



Σχήμα 3.16: Κυματομορφές μετάβασης του Normally-on SiC JFET με $I_D=28\text{A}$.

Όπως φαίνεται από το παραπάνω σχήμα, και οι δύο μεταβάσεις ολοκληρώνονται πολύ γρήγορα ενώ οι διακοπτικές απώλειες, οι οποίες φαίνονται στο σχήμα με κόκκινο χρώμα, είναι αρκετά μικρές και είναι σχεδόν όμοιες κατά τη διάρκεια των δύο μεταβάσεων.

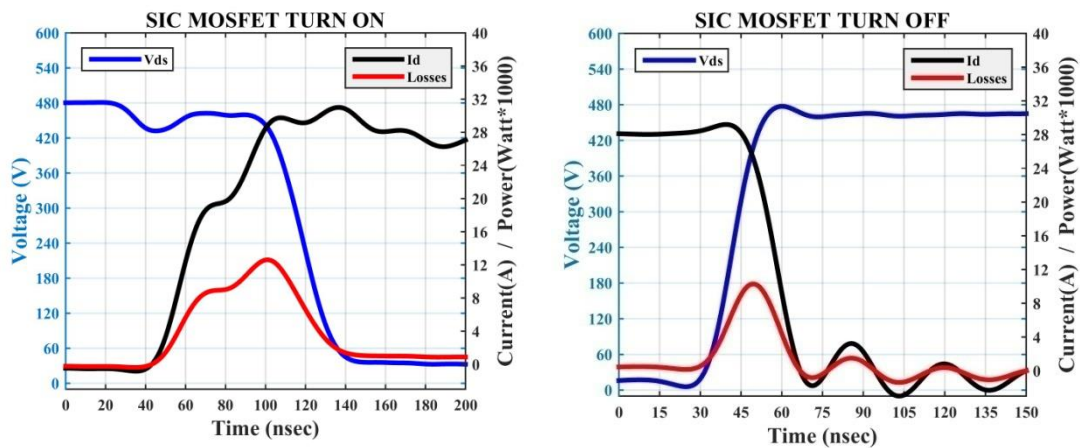
Το Σχήμα 3.17 παρακάτω δείχνει τις κυματομορφές της τάσης, του ρεύματος και των διακοπτικών απωλειών κατά τη διάρκεια των μεταβάσεων σε αγωγή και σε αποκοπή του Normally-off SiC JFET για ρεύμα 28 A.



Σχήμα 3.17: Κυματομορφές μετάβασης του Normally-off SiC JFET με $I_D=28\text{A}$.

Όπως φαίνεται από το παραπάνω σχήμα, και οι δύο μεταβάσεις ολοκληρώνονται πολύ γρήγορα ενώ οι διακοπτικές απώλειες είναι αρκετά μικρές, όμως υπάρχουν αρκετά μεγάλες ταλαντώσεις κατά τη διάρκεια των μεταβάσεων και ιδιαίτερα κατά τη μετάβαση σε αγωγή. Αυτό εμπεριέχει τον κίνδυνο εσφαλμένων μεταβάσεων. Επίσης ο ηλεκτρομαγνητικός θόρυβος που παράγεται έχει υψηλή τιμή και απαιτούνται κατάλληλα φίλτρα για να αντιμετωπιστεί. Μια λύση για να αντιμετωπιστεί αυτό το πρόβλημα είναι η αύξηση της αντίστασης στην πύλη από την υπάρχουσα τιμή 3Ω σε αρκετά μεγαλύτερη τιμή. Η λύση αυτή θα συνοδεύεται και από την αναπόφευκτη αύξηση του χρόνου των μεταβάσεων και ταυτόχρονα την αύξηση των διακοπτικών απωλειών. Επίσης είναι φανερό ότι οι διακοπτικές απώλειες είναι αρκετά μεγαλύτερες κατά τη μετάβαση σε αγωγή εν σχέση με τη μετάβαση σε αποκοπή.

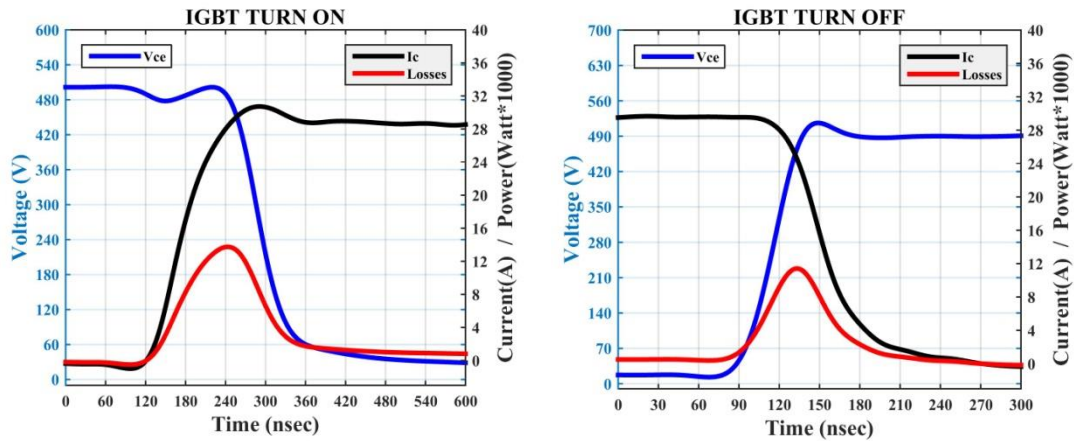
Το Σχήμα 3.18 παρακάτω δείχνει τις κυματομορφές της τάσης, του ρεύματος και των διακοπτικών απωλειών κατά τη διάρκεια των μεταβάσεων σε αγωγή και σε αποκοπή του SiC MOSFET για ρεύμα 28 A.



Σχήμα 3.18: Κυματομορφές μετάβασης του MOSFET με $I_D=28A$.

Όπως φαίνεται από το παραπάνω σχήμα, και οι δύο μεταβάσεις ολοκληρώνονται πολύ γρήγορα ενώ οι διακοπτικές απώλειες είναι αρκετά μικρές, όμως, παρόμοια με την προηγούμενη περίπτωση, υπάρχουν αρκετά μεγάλες ταλαντώσεις κατά τη διάρκεια των μεταβάσεων και ιδιαίτερα κατά τη μετάβαση σε αγωγή και τα επακόλουθα προβλήματα των εσφαλμένων μεταβάσεων και του ηλεκτρομαγνητικού θορύβου. Και στην περίπτωση αυτή, μια λύση είναι η αύξηση της αντίστασης στην πύλη από την υπάρχουσα τιμή 3Ω σε αρκετά μεγαλύτερη τιμή με την αναπόφευκτη αύξηση του χρόνου των μεταβάσεων και ταυτόχρονα την αύξηση των διακοπτικών απωλειών. Επίσης είναι φανερό ότι οι διακοπτικές απώλειες είναι αρκετά μεγαλύτερες κατά τη μετάβαση σε αγωγή εν σχέση με τη μετάβαση σε αποκοπή.

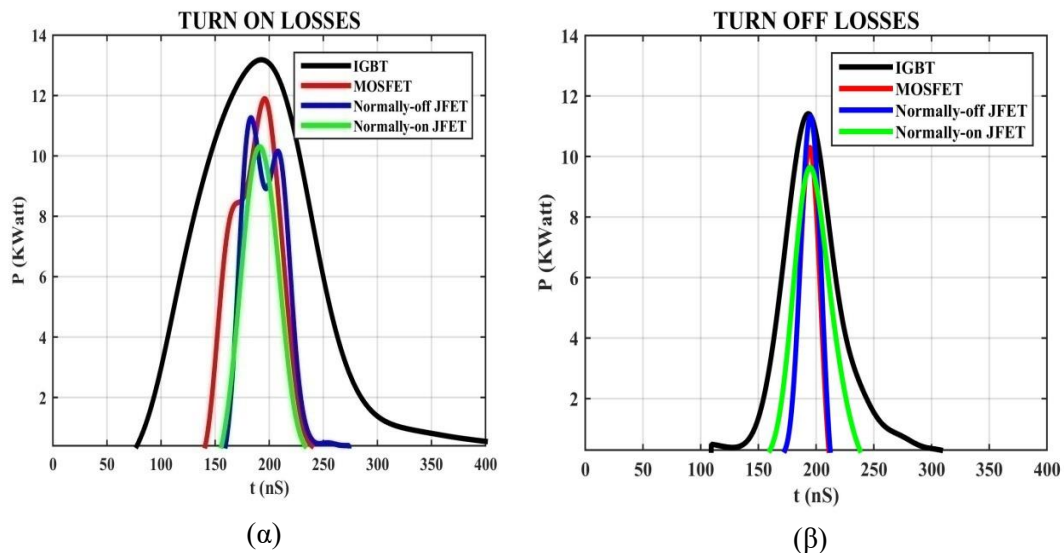
Το Σχήμα 3.19 παρακάτω δείχνει τις κυματομορφές της τάσης, του ρεύματος και των διακοπτικών απωλειών κατά τη διάρκεια των μεταβάσεων σε αγωγή και σε αποκοπή του Si IGBT για ρεύμα 28 A.



Σχήμα 3.19: Κυματομορφές μετάβασης του Si IGBT με $I_C=28A$.

Από το παραπάνω σχήμα προκύπτει ότι οι μεταβάσεις του IGBT από πυρίτιο διαρκούν αρκετά μεγαλύτερο χρόνο, συγκρινόμενες με τις μεταβάσεις των ημιαγωγικών διακοπών από καρβίδιο του πυριτίου. Οι διακοπτικές απώλειες είναι αρκετά μεγαλύτερες κατά τη μετάβαση σε αγωγή εν σχέσει με τη μετάβαση σε αποκοπή κατά την οποία η κλίση dI_C/dt είναι μεγάλη στην έναρξη της μετάβασης και ελαττώνεται σημαντικά προς το τέλος της μετάβασης (φαινόμενο γνωστό ως “ρεύμα ουράς του IGBT”).

Στο Σχήμα 3.20 παρακάτω συγκρίνονται οι διακοπτικές απώλειες για τους τέσσερις διακόπτες ισχύος τόσο στη μετάβαση σε αγωγή όσο και στη μετάβαση σε αποκοπή για ρεύμα 28 A.



Σχήμα 3.20: Συγκριτικό διάγραμμα διακοπτικών απωλειών για ρεύμα 28A.

Από τα παραπάνω σχήματα προκύπτει ότι οι ημιαγωγικοί διακόπτες από καρβίδιο του πυριτίου είναι αυτοί που έχουν τις ταχύτερες μεταβάσεις και κατά συνέπεια τις μικρότερες διακοπτικές απώλειες, ενώ τις πιο αργές μεταβάσεις και κατά συνέπεια τις μεγαλύτερες

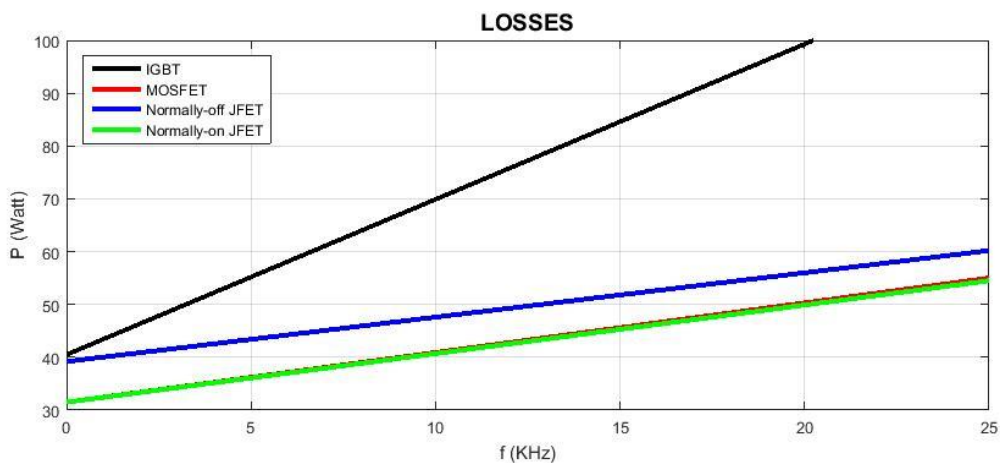
διακοπτικές απώλειες τις έχει το IGBT πυριτίου. Ο παρακάτω πίνακας (Πίνακας 3.5) συνοψίζει αυτά τα αποτελέσματα.

	<i>Normally-on SiC JFET UJN1208K</i>	<i>Normally-off SiC JFET SJEP120R100</i>	<i>SiC MOSFET C2M0080120D</i>	<i>Si IGBT IGW15N120H3</i>
Χρόνος ανόδου ρεύματος	60 ns	60 ns	60 ns	150 ns
Χρόνος καθόδου ρεύματος	70 ns	30 ns	30 ns	150 ns
Απώλειες μετάβασης σε αγωγή	0.62 mJ	0.66 mJ	0.78 mJ	2.3 mJ
Απώλειες μετάβασης σε αποκοπή	0.3 mJ	0.18 mJ	0.16 mJ	0.64 mJ
Συνολικές απώλειες	0.92 mJ	0.84 mJ	0.94 mJ	2.94 mJ

Πίνακας 3.5: Υπολογισμοί των συγκριτικών διακοπτικών απωλειών για ρεύμα 28A.

Εάν υποθεθεί ότι η μέγιστη θερμοκρασία περιβάλλοντος είναι 50 °C και ότι για την ψύξη των ημιαγωγικών διακοπών θα χρησιμοποιηθεί ένας ψύκτης λογικού μεγέθους όπως για παράδειγμα ο ψύκτης ABL, 345AB1000B με θερμική αντίσταση ίση με 1°C /Watt και με διαστάσεις 37 mm x 120 mm x 100 mm και χωρίς ροή αέρα, τότε η ισχύς των διακοπών πρέπει να περιοριστεί στα 50Watt περίπου για να περιοριστεί η θερμοκρασία του περιβλήματος στους 100 °C και να μπορούν οι διακόπτες να αντέξουν αυτή την κατανάλωση ισχύος πάνω τους.

Από τα δεδομένα του πίνακα συγκριτικών απωλειών αγωγής σε θερμοκρασία 25°C (Πίνακας 3.4) και του πίνακα συγκριτικών διακοπτικών απωλειών για ρεύμα 28A (Πίνακας 3.5) και με βαθμό χρησιμοποίησης (Duty Cycle) ίσο με 0.5, προκύπτει το διάγραμμα που εμφανίζεται στο Σχήμα 3.21 και δείχνει τις απώλειες πάνω στους διακόπτες συναρτήσει της διακοπτικής συχνότητας λειτουργίας.

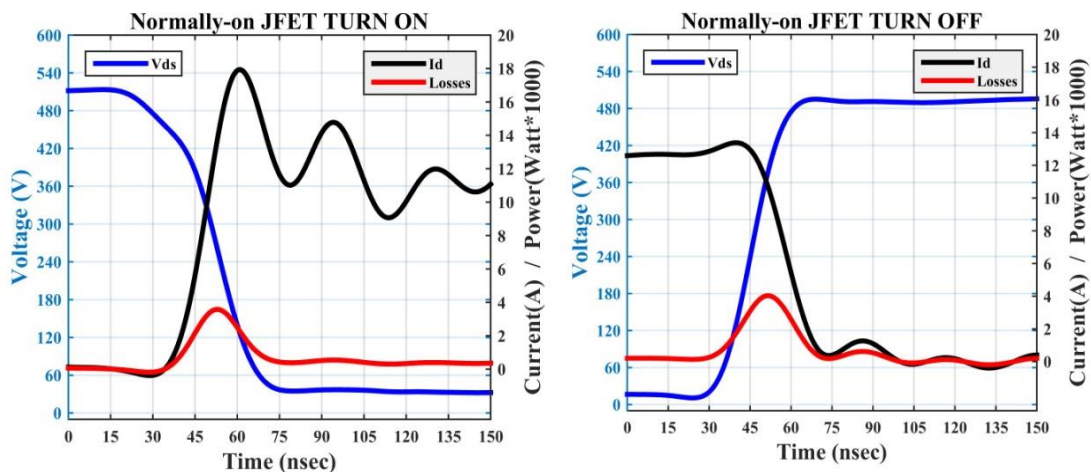


Σχήμα 3.21: Απώλειες συναρτήσει της διακοπτικής συχνότητας λειτουργίας.

Σύμφωνα με το παραπάνω διάγραμμα, οι μέγιστες τιμές για τη διακοπτική συχνότητα προκειμένου να έχουμε μέγιστη απώλεια ισχύος 50Watt είναι 3.5KHz για το Si IGBT, 12.5 KHz για το SiC MOSFET και 20 KHz για τα SiC JFET. Επιπροσθέτως, εάν η τάση αυξηθεί από τα 500V σε μία τιμή αρκετά μεγαλύτερη, τότε οι μέγιστες τιμές της διακοπτικής συχνότητας θα ελαττωθούν σημαντικά. Προκύπτει λοιπόν το συμπέρασμα ότι οι ημιαγωγικοί διακόπτες πρέπει να λειτουργούν σε χαμηλότερες τιμές ρεύματος προκειμένου να επιτευχθεί ασφαλής λειτουργία με υψηλή διακοπτική συχνότητα και μικρές απώλειες. Στη συνέχεια, ακολουθεί μία μελέτη της λειτουργίας των ημιαγωγικών διακοπών με αρκετά χαμηλότερο διακοπτικό ρεύμα.

3.10.2 Σύγκριση των διακοπτικών απωλειών για ρεύμα 10.5 A

Το Σχήμα 3.22 παρακάτω δείχνει τις κυματομορφές της τάσης και του ρεύματος καθώς επίσης και των διακοπτικών απωλειών κατά τη διάρκεια των μεταβάσεων σε αγωγή και σε αποκοπή του Normally-on SiC JFET για ρεύμα 10.5 A.

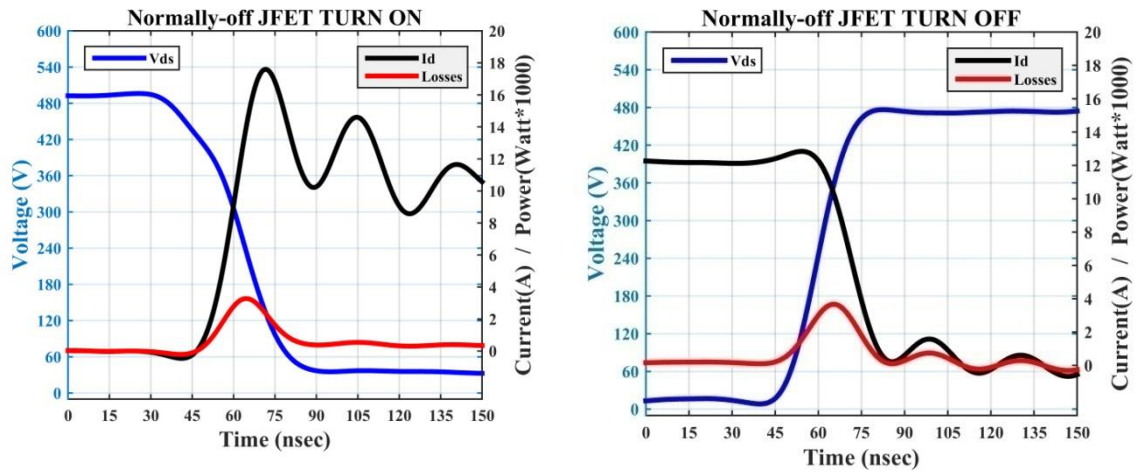


Σχήμα 3.22: Κυματομορφές μετάβασης του Normally-on SiC JFET με $I_D=10.5A$.

Όπως φαίνεται από το παραπάνω σχήμα, ο χρόνος μετάβασης είναι μικρός και στις δύο περιπτώσεις και κατά συνέπεια οι διακοπτικές απώλειες είναι αρκετά μικρές και επίσης οι διακοπτικές απώλειες κατά τη μετάβαση σε αγωγή είναι λίγο μεγαλύτερες από τις διακοπτικές απώλειες κατά τη μετάβαση σε αποκοπή.

Όπως φαίνεται, υπάρχουν ταλαντώσεις κυρίως κατά τη διάρκεια της μετάβαση σε αγωγή με συνέπεια τη δημιουργία ηλεκτρομαγνητικού θορύβου οπότε είναι αναγκαία και στην παρούσα περίπτωση η αύξηση της αντίστασης στην πύλη από την υπάρχουσα τιμή 3Ω σε μεγαλύτερη τιμή. Η λύση αυτή θα συνοδεύεται και από την αναπόφευκτη αύξηση του χρόνου των μεταβάσεων και ταυτόχρονα την αύξηση των διακοπτικών απωλειών.

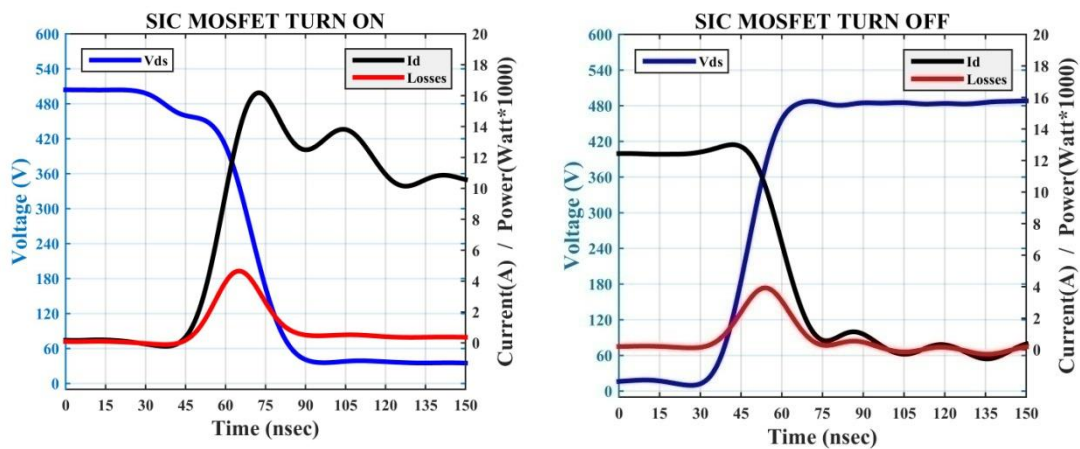
Το Σχήμα 3.23 παρακάτω δείχνει τις κυματομορφές της τάσης, του ρεύματος και των διακοπτικών απωλειών κατά τη διάρκεια των μεταβάσεων σε αγωγή και σε αποκοπή του Normally-off SiC JFET για ρεύμα 10.5 A.



Σχήμα 3.23: Κυματομορφές μετάβασης του normally-off SiC JFET με $I_D=10.5A$.

Όπως φαίνεται από το παραπάνω σχήμα, και οι δύο μεταβάσεις για το Normally-off SiC JFET είναι παρόμοιες με τις μεταβάσεις του Normally-on SiC JFET, οπότε όσα αναφέρθηκαν προηγουμένως ισχύουν και στην παρούσα περίπτωση.

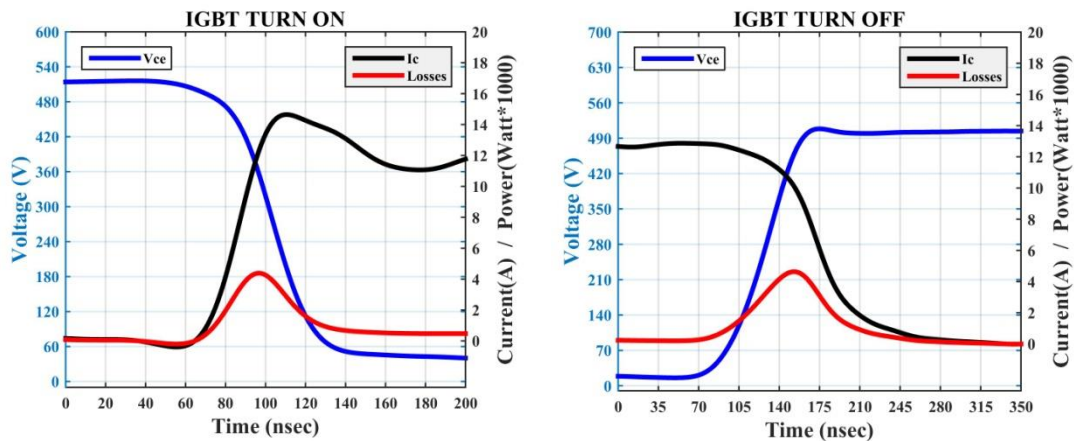
Το Σχήμα 3.24 παρακάτω δείχνει τις κυματομορφές της τάσης, του ρεύματος και των διακοπτικών απωλειών κατά τη διάρκεια των μεταβάσεων σε αγωγή και σε αποκοπή του SiC MOSFET για ρεύμα 10.5 A.



Σχήμα 3.24: Κυματομορφές μετάβασης του MOSFET με $I_D=10.5A$.

Όπως φαίνεται από το παραπάνω σχήμα, και οι δύο μεταβάσεις για το SiC MOSFET είναι παρόμοιες με τις μεταβάσεις του Normally-on SiC JFET, οπότε όσα αναφέρθηκαν προηγουμένως ισχύουν και στην παρούσα περίπτωση με μοναδική διαφοροποίηση το γεγονός ότι οι διακοπτικές απώλειες κατά τη μετάβαση σε αγωγή είναι αρκετά μεγαλύτερες από τις διακοπτικές απώλειες κατά τη μετάβαση σε αποκοπή.

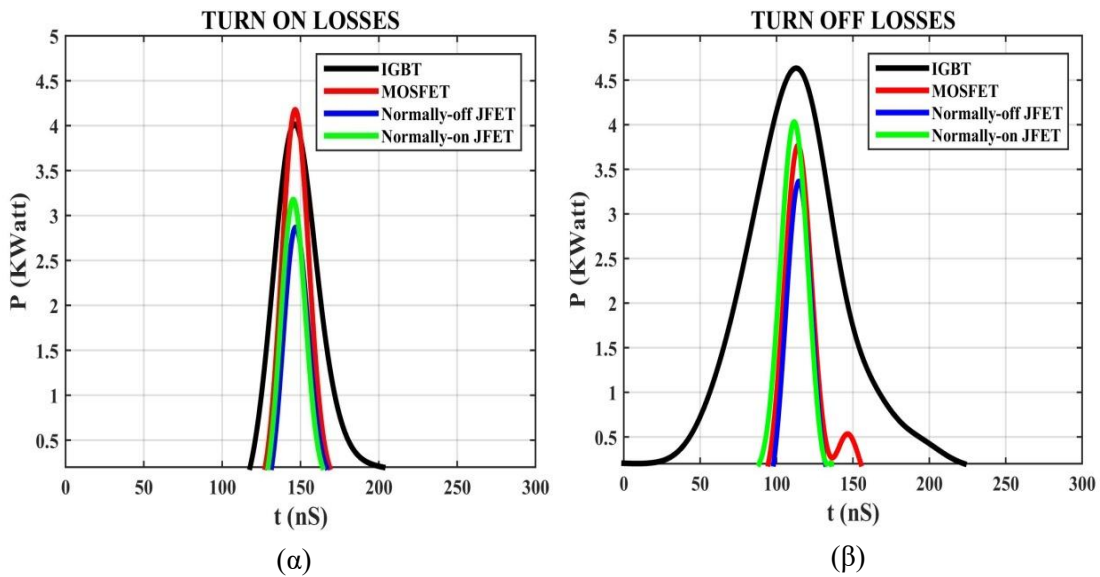
Το Σχήμα 3.25 παρακάτω δείχνει τις κυματομορφές της τάσης, του ρεύματος και των διακοπτικών απωλειών κατά τη διάρκεια των μεταβάσεων σε αγωγή και σε αποκοπή του Si IGBT.



Σχήμα 3.25: Κυματομορφές μετάβασης του Si IGBT με $I_C=10.5A$.

Από το παραπάνω σχήμα, προκύπτει ότι οι μεταβάσεις του IGBT από πυρίτιο διαρκούν αρκετά μεγαλύτερο χρόνο, συγκρινόμενες με τις μεταβάσεις των ημιαγωγικών διακοπών από καρβίδιο του πυριτίου. Οι διακοπτικές απώλειες είναι λίγο μεγαλύτερες κατά τη μετάβαση σε αποκοπή εν σχέσει με τη μετάβαση σε αγωγή.

Στο Σχήμα 3.26 παρακάτω συγκρίνονται οι διακοπτικές απώλειες για τους τέσσερις διακόπτες ισχύος τόσο στη μετάβαση σε αγωγή όσο και στη μετάβαση σε αποκοπή για ρεύμα 10.5 A.



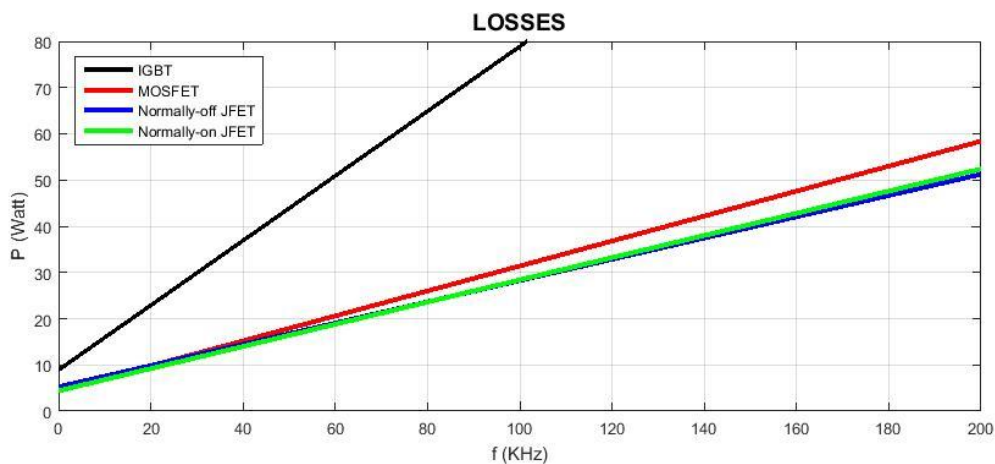
Σχήμα 3.26: Συγκριτικό διάγραμμα διακοπτικών απωλειών για ρεύμα 10.5 A.

Από τα παραπάνω σχήματα προκύπτει ότι οι ημιαγωγικοί διακόπτες από καρβίδιο του πυριτίου είναι αυτοί που έχουν τις ταχύτερες μεταβάσεις και κατά συνέπεια τις μικρότερες διακοπτικές απώλειες, ενώ τις πιο αργές μεταβάσεις, και κατά συνέπεια τις μεγαλύτερες διακοπτικές απώλειες, τις έχει το IGBT πυριτίου. Ο παρακάτω πίνακας (Πίνακας 3.5) συνοψίζει αυτά τα αποτελέσματα.

	<i>Normally-on SiC JFET UJN1208K</i>	<i>Normally-off SiC JFET SJEP120R100</i>	<i>SiC MOSFET C2M0080120D</i>	<i>Si IGBT IGW15N120H3</i>
Χρόνος ανόδου ρεύματος	25 ns	30 ns	30 ns	50 ns
Χρόνος καθόδου ρεύματος	25 ns	25 ns	30 ns	150 ns
Απώλειες μετάβασης σε αγωγή	0.14 mJ	0.13 mJ	0.17 mJ	0.3 mJ
Απώλειες μετάβασης σε αποκοπή	0.1 mJ	0.1 mJ	0.1 mJ	0.4 mJ
Συνολικές απώλειες	0.24 mJ	0.23 mJ	0.27 mJ	0.7 mJ

Πίνακας 3.6: Υπολογισμοί των συγκριτικών διακοπτικών απωλειών για ρεύμα 10.5 A.

Από τα δεδομένα του πίνακα συγκριτικών απωλειών αγωγής σε θερμοκρασία 25°C (Πίνακας 3.4) και του πίνακα συγκριτικών διακοπτικών απωλειών για ρεύμα 10.5A (Πίνακας 3.6) και με βαθμό χρησιμοποίησης (Duty Cycle) ίσο με 0.5, προκύπτει το διάγραμμα που εμφανίζεται στο Σχήμα 3.27 και δείχνει τις απώλειες πάνω στους διακόπτες συναρτήσει της διακοπτικής συχνότητας λειτουργίας.



Σχήμα 3.27: Απώλειες συναρτήσει της διακοπτικής συχνότητας λειτουργίας.

Σύμφωνα με το παραπάνω διάγραμμα, οι μέγιστες τιμές για τη διακοπτική συχνότητα προκειμένου να έχουμε μέγιστη απώλεια ισχύος 50Watt είναι 60KHz για το Si IGBT, 170 KHz για το SiC MOSFET και 195 KHz για τα SiC JFET. Επιπροσθέτως, εάν η τάση αυξηθεί από τα 500V σε μία τιμή αρκετά μεγαλύτερη, τότε οι μέγιστες τιμές της διακοπτικής συχνότητας θα ελαττωθούν σημαντικά.

3.11 Πειραματικές μετρήσεις για τα βασικά στατικά χαρακτηριστικά των SiC JFET

Οι βασικές στατικές παράμετροι κάποιων δειγμάτων SiC JFET έχουν υπολογιστεί μέσω πειραματικών μετρήσεων σε θερμοκρασία δωματίου (25°C) και παρουσιάζονται στον παρακάτω πίνακα (Πίνακας 3.7)

No	Part Type	V_{GS-TH} (V), $I_D=70$ mA, $V_{DS}=5$ V	V_{GD-TH} (V), $I_D=70$ mA, $V_{DS}=5$ V	R_{DS-ON} (mΩ) στην ανάστροφη αγωγή, $I_{SD}=10$ A, $V_{GS}=+1.5$ V
1	DM SiC JFET, <i>UJN1208K</i>	-7.43	-7.59	65.5
2		-6.81	-6.90	66.7
3		-6.90	-7.08	71.9
4		-7.70	-7.80	66.5
5		-6.31	-6.33	75.0
6		-6.28	-6.29	77.3
7		-6.40	-6.43	74.1
8		-6.92	-7.03	65.6
9	EM SiC JFET, <i>SJEP120R100</i>	+1.27	+1.26	105.7
10		+1.31	+1.31	94.3
11		+1.29	+1.30	92.1
12		+1.24	+1.22	102.7
13		+1.33	+1.25	102.0

Πίνακας 3.7: Βασικά χαρακτηριστικά των JFET.

Στον πίνακα αυτό παρουσιάζονται οκτώ Normally-on (No1 έως No8) και πέντε Normally-off SiC JFET (No9 έως No13) όπου V_{GS-TH} είναι η τάση κατωφλίου μεταξύ πύλης-πηγής και V_{GD-TH} είναι η τάση κατωφλίου μεταξύ πύλης-υποδοχής.

3.12 Διασπορά των τιμών των λειτουργικών χαρακτηριστικών

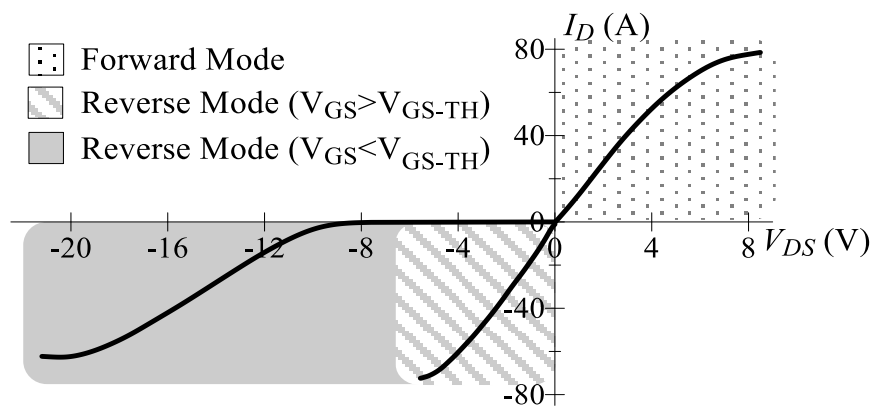
Η τομή ενός VT SiC JFET, με ένα απλουστευμένο ισοδύναμο κύκλωμα, παρουσιάζεται στο Σχήμα 3.2(α). Η δομή περιέχει μια ισχυρά νοθευμένη περιοχή τύπου n για την πηγή, μία περιοχή n-τύπου για το κανάλι, μια ισχυρά νοθευμένη περιοχή τύπου p για την πύλη, μία περιοχή n-τύπου για τη ζώνη ολίσθησης, και μία ζώνη απομόνωσης n-τύπου η οποία δημιουργείται με επίταξη πάνω σε ένα υπόστρωμα από ημιαγωγό 4H-SiC.

Χαμηλή τιμή για την τάση κατωφλίου στην πύλη μπορεί να επιτευχθεί έχοντας ένα στενό κανάλι και πολύ ισχυρά νοθευμένη περιοχή τύπου p. Επίσης, για να επιτευχθεί χαμηλή αντίσταση αγωγής, το κανάλι πρέπει να αποτελείται από υλικό πολύ ισχυρά νοθευμένο [74]. Οι ανοχές της συγκέντρωσης των προσμίξεων και το βάθος της διάχυσης της ισχυρά νοθευμένης περιοχής τύπου p έχουν σημαντική επίδραση στην ανοχή των χαρακτηριστικών αγωγής, στην τάση κατωφλίου και στην τάση κατάρρευσης της πύλης [75].

Έχει βρεθεί ότι η περιοχή τύπου p που σχηματίζεται από γωνιακή εμφύτευση είναι το πιο κρίσιμο τμήμα στην διαδικασία κατασκευής και τα SiC VT JFET είναι επιρρεπείς σε σημαντικές διακυμάνσεις των παραμέτρων που επηρεάζουν την παράλληλη σύνδεσή τους [75]. Για παράδειγμα, μια μικρή μεταβολή (0.1 μm) στο βάθος της περιοχής τύπου p επιφέρει μία διαφορά 1 V στην τάση κατωφλίου [75]. Διαπιστώθηκε ότι οι διαφορές στη συγκέντρωση των προσμίξεων και στο βάθος της διάχυσης της περιοχής τύπου p των JFET δεν έχουν καμία επιρροή στις τιμές των παρασιτικών χωρητικοτήτων [75].

3.13 Ορθή και ανάστροφη αγωγή των SiC JFET

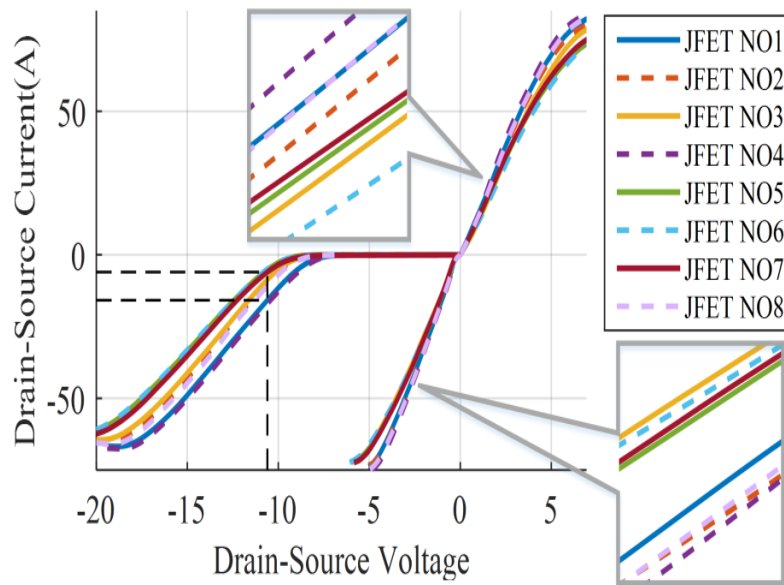
Υπάρχουν τρεις διαφορετικοί τρόποι λειτουργίας των SiC JFET: (α) *Ορθή αγωγή*, όπου το ρεύμα υποδοχής-πηγής, I_D είναι θετικό και η τάση ελέγχου της πύλης V_{GS} είναι μεγαλύτερη από την τάση κατωφλίου V_{GS-TH} , (β) *ανάστροφη αγωγή με $V_{GS} > V_{GS-TH}$* , όπου το ρεύμα I_D είναι αρνητικό και η V_{GS} είναι μεγαλύτερη από το V_{GS-TH} και (γ) *ανάστροφη αγωγή με $V_{GS} < V_{GS-TH}$* , όπου το ρεύμα I_D είναι αρνητικό και η V_{GS} είναι μικρότερη από το V_{GS-TH} . Οι σκιασμένες περιοχές στο Σχήμα 3.28 παρακάτω παρουσιάζουν τους τρεις διαφορετικοί τρόποι λειτουργίας [76].



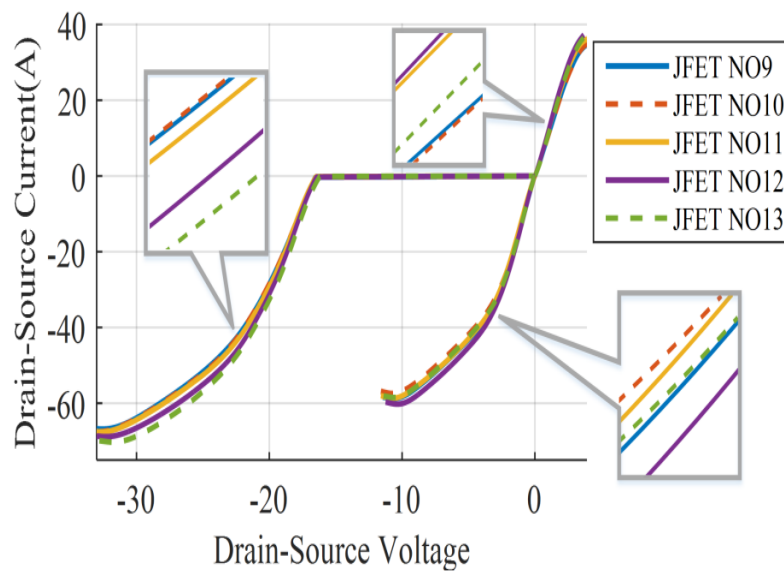
Σχήμα 3.28: Οι τρεις διαφορετικοί τρόποι λειτουργίας των SiC JFET.

3.14 Στατικές χαρακτηριστικές μεταφοράς των SiC JFET

Το Σχήμα 3.29 παρουσιάζει τις $I-V$ στατικές χαρακτηριστικές μεταφοράς όλων των δειγμάτων των Normally-on και Normally-off JFET, οι οποίες υπολογίστηκαν με πειραματικές μετρήσεις για ορθή και για ανάστροφη αγωγή σε θερμοκρασία δωματίου [76].



(a)

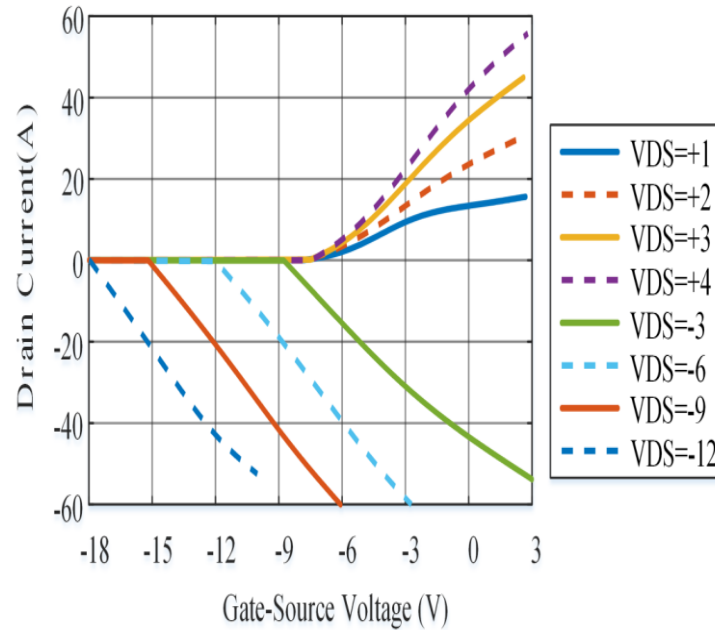


(b)

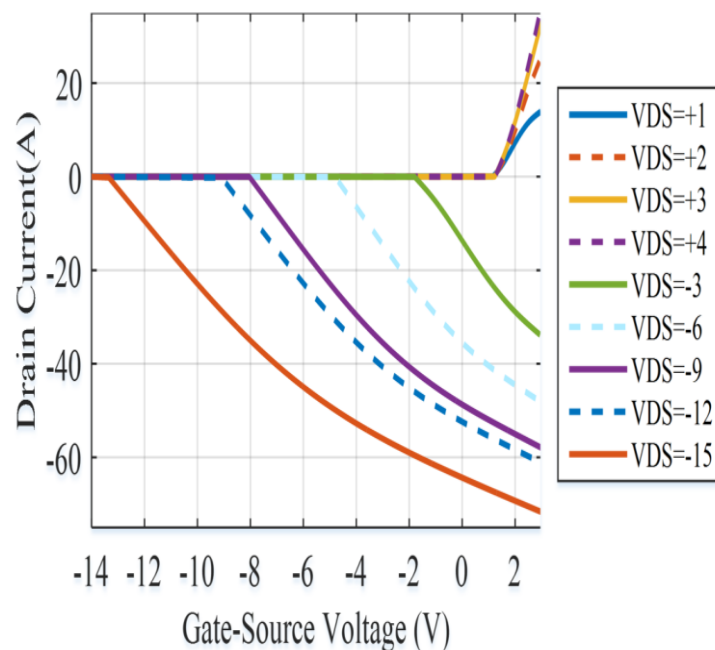
Σχήμα 3.29: Στατικές I - V χαρακτηριστικές, (a) Normally-on JFET, (b) Normally-off JFET.

Αυτές οι χαρακτηριστικές έχουν ληφθεί για $V_{GS} = +3$ V τόσο για την ορθή αγωγή όσο και για την ανάστροφη αγωγή με $V_{GS} > V_{GS-TH}$. Για την ανάστροφη αγωγή με $V_{GS} < V_{GS-TH}$, η τάση ελέγχου V_{GS} έχει τιμή -15V.

Οι $I_D - V_{GS}$ χαρακτηριστικές για ένα Normally-on JFET (No 2) και για ένα Normally-off JFET (No 12), για διάφορες τιμές τάσης υποδοχής-πηγής παρουσιάζονται στο Σχήμα 3.30.



(a)



(b)

Σχήμα 3.30: $I_D - V_{GS}$ χαρακτηριστικές, (a) Normally-on JFET (No 2), (b) Normally-off JFET (No 12).

3.15 Συμπεράσματα

Το βασικό συμπέρασμα που προκύπτει είναι ότι οι ημιαγωγικοί διακόπτες από καρβίδιο του πυριτίου υπερέχουν έναντι αυτών από πυρίτιο, όμως τα SiC MOSJFET έχουν πρόβλημα αξιοπιστίας του διοξειδίου του πυριτίου στην πύλη τους, ιδίως σε υψηλές θερμοκρασίες, ενώ τα SiC JFET απαιτούν πιο πολύπλοκα κυκλώματα οδήγησης και πρέπει να ληφθεί ιδιαίτερη μέριμνα για όσα από αυτά είναι Normally-on.

Παρόλο που είναι δύσκολη η κατασκευή SiC συσκευών πολύ μεγάλης ισχύος, έχουν αναπτυχθεί διάφοροι μέθοδοι για την αξιοποίηση των SiC ημιαγωγών σε μετατροπείς αρκετά υψηλής ισχύος.

Λόγω της δομής τους, τα SiC JFET έχουν σχετικά μεγάλες ανοχές στις τιμές των λειτουργικών χαρακτηριστικών τους, με αποτέλεσμα να εμφανίζονται δυσκολίες κατά τη λειτουργία τους σε παράλληλη σύνδεση.

Εάν τα τρανζίστορ ισχύος επρόκειτο να χρησιμοποιηθούν σε μία μόνο κατάσταση αγωγής, τότε μια επιλογή θα ήταν να γίνει διαλογή έτσι ώστε να επιλεγούν αυτά που έχουν παρόμοιες τιμές στην παράμετρο που επιδρά στην κατανομή των ρευμάτων. Εντούτοις, αυτό δεν είναι μια βιώσιμη λύση στις πρακτικές εφαρμογές, όπου τα τρανζίστορ ισχύος απαιτείται να λειτουργούν σε περισσότερες από μια καταστάσεις αγωγής, δεδομένου ότι τα χαρακτηριστικά τους δεν αλληλοσχετίζονται.

Για τα SiC JFET κάθετης δομής υπάρχει η επιπλέον δυσκολία της έλλειψης ενσωματωμένης αντιπαράλληλης διόδου, γεγονός που επιδρά αρνητικά σε μικρά χρονικά διαστήματα στη φάση της μεταγωγής τους. Αντίθετα στη μόνιμη κατάσταση ανάστροφης αγωγής τους η λειτουργικότητά τους είναι εξαιρετική.

Κεφάλαιο 4. Αισθητήρες μεταγωγικών ρευμάτων.

4.1 Εισαγωγή

Η μέτρηση των ρευμάτων των διακοπών ισχύος που έχουν ταυτόχρονα υψηλή τιμή και γρήγορο χρόνο ανόδου είναι ιδιαίτερα δύσκολη. Οι μέθοδοι που έχουν χρησιμοποιηθεί βασίζονται σε αντιστάσεις εν σειρά, στα Rogowski coil και στους μετασχηματιστές ρεύματος [77]- [82].

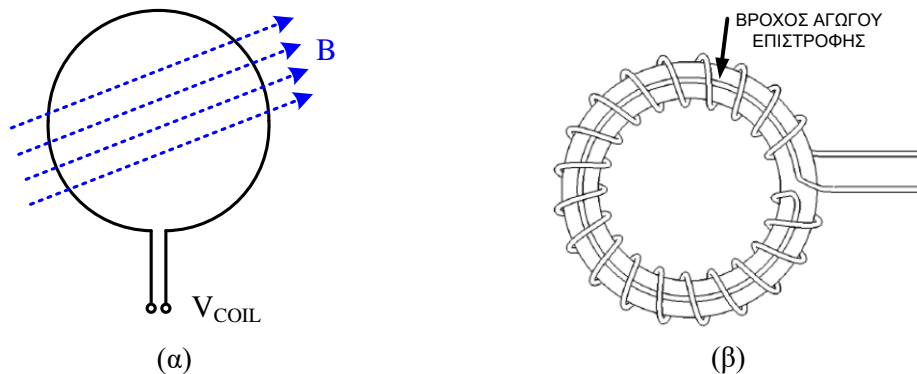
Οι αντιστάσεις εν σειρά είναι κατάλληλες για τη μέτρηση του συνεχούς και του εναλλασσόμενου ρεύματος αλλά πρέπει να παρεμβληθούν στο κύκλωμα ισχύος, και επομένως μειώνουν την αποδοτικότητα, ιδιαίτερα στις εφαρμογές υψηλών ρευμάτων. Οι αντιστάσεις εν σειρά με μεγάλο εύρος ζώνης και ανοχή στο θόρυβο είναι ομοαξονικές, έχουν κυλινδρικό σχήμα και σχετικά μεγάλες διαστάσεις και είναι ακατάλληλες για συστήματα ηλεκτρονικών ισχύος υψηλής ολοκλήρωσης (Integrated power electronic modules, IPEMs). Οι αντιστάσεις εν σειρά στερούνται γαλβανικής απομόνωσης.

Οι μετασχηματιστές ρεύματος και τα Rogowski coil χρησιμοποιούνται ευρέως ως απομονωμένοι αισθητήρες μεταβαλλόμενου ρεύματος και θα εξεταστούν λεπτομερώς στη συνέχεια. Εκτός από τα κλασικά Rogowski coil υπάρχουν και τα επίπεδα Rogowski coil τα οποία ενσωματώνονται σε ένα τυπωμένο κύκλωμα για τη μέτρηση ρευμάτων πολύ υψηλού di/dt σε διακόπτες ισχύος. Η δομή αυτού του αισθητήρα δεν αυξάνει την αυτεπαγωγή στο σύστημα στο οποίο ενσωματώνεται και έχει πολύ μικρή παρασιτική αυτεπαγωγή, στοιχεία πολύ σημαντικά για λειτουργία σε υψηλές συχνότητες.

4.2 Rogowski coil

4.2.1 Αρχή λειτουργίας του Rogowski coil

Ο αισθητήρας B-Dot είναι μια από τις επαγωγικές μεθόδους που μετρούν το ρυθμό μεταβολής των μαγνητικών πεδίων υψηλής συχνότητας και παρουσιάζεται στο Σχήμα 4.1(α) παρακάτω.



Σχήμα 4.1: (α) Αισθητήρας B-Dot, (β) Rogowski Coil με δύο βρόχους.

Τα Rogowski coil αποτελούνται από πολλούς B-Dot αισθητήρες που συνδέονται εν σειρά και τυλίγονται σε σπειροειδή μορφή γύρω από καλούπι το οποίο έχει σχήμα δακτυλιδιού. Η κύρια ιδέα για τους B-Dot αισθητήρες, είναι ότι η ροή ρεύματος σε έναν αγωγό, παράγει μαγνητικό πεδίο (B) σύμφωνα με το νόμο του Ampere.

Τα Rogowski coil χρησιμοποιούνται για τη μέτρηση των παλμών ρεύματος διάρκειας μερικών ns και μέγεθος της τάξης μερικών kA. Το πηνίο έχει χρόνο ανόδου μικρότερο από ένα ns, διάρκεια απόσβεσης της τάξης του μs και τυπική ευαισθησία που κυμαίνεται από 10^{-3} έως 10^{-4} VA^{-1} .

Πρακτικά, το Rogowski coil είναι ένα πηνίο με πυρήνα τον αέρα ή κάποιο μη μαγνητικό υλικό, σπειροειδούς μορφής, που τοποθετείται γύρω από έναν αγωγό [83]. Η τάση που προκαλείται στο πηνίο είναι ανάλογη προς το ποσοστό αλλαγής του ρεύματος. Αυτή η τάση ολοκληρώνεται και κατά συνέπεια παράγει μια έξοδο ανάλογη προς το ρεύμα.

Επειδή το πρωτεύων και το δευτερεύων τύλιγμα του Rogowski Coil είναι ασθενώς συζευγμένα και για να αποτραπεί η ανεπιθύμητη επίδραση από τους κοντινούς αγωγούς που μεταφέρουν υψηλά ρεύματα, το Rogowski Coil σχεδιάζεται με δύο βρόχους συνδεδεμένους σε ηλεκτρικά αντίθετες κατευθύνσεις. Αυτό ακυρώνει τα ηλεκτρομαγνητικά πεδία που προέρχονται έξω από το βρόχο του πηνίου. Εάν υπάρχει μόνο ένα τύλιγμα, τότε ο δεύτερος βρόχος μπορεί να κατασκευαστεί με την επιστροφή του σύρματος διαμέσου αυτού του τυλίγματος όπως φαίνεται στο Σχήμα 4.1 (β) [84].

Υπάρχουν πολλά πλεονεκτήματα των Rogowski coil: 1) δεν προκαλούν καμία ζημία από μεγάλη υπερφόρτωση, 2) λόγω της έλλειψης πυρήνα μαγνητικού υλικού δεν υπάρχει ο κίνδυνος κορεσμού και έχουν την ικανότητα να μετρούν μεγάλα ρεύματα και σε μεγάλο εύρος που εκτείνεται από μερικά mA έως 1 MA, 3) είναι εύχρηστα λόγω της ευελιξίας και του χαμηλού βάρους τους, 4) έχουν χαμηλή τιμή, 5) είναι μη επιβαρυντικά επειδή δεν απορροφούν ισχύ από το κύκλωμα που φέρει το ρεύμα που μετρείται και η αυτεπαγωγή που εισάγουν στο κύριο κύκλωμα είναι μόνο μερικά pH, 6) έχουν πολύ μεγάλο εύρος ζώνης, που εκτείνεται από 0,1 Hz σε περίπου 1 GHz, το οποίο επιτρέπει στο μετατροπέα να μετρήσει ή να αναπαραγάγει τις κυματομορφές πολύ γρήγορα μεταβαλλόμενων ρευμάτων (έως 40kA/μs), 7) έχουν άριστη ικανότητα μεταβατικής απόκρισης και 8) είναι πολύ ασφαλή επειδή έχουν γαλβανική απομόνωση από το κύριο κύκλωμα.

Εάν το ρεύμα που διαπερνά την επιφάνεια του πηνίου του Rogowski Coil είναι μεταβαλλόμενο, τότε η αντίστοιχη μαγνητική ροή Φ προκαλεί μια τάση σε αυτό [85]. Ισχύει:

$$\frac{1}{R} \frac{d\Phi}{dt} = \frac{L}{R} \frac{dI_C}{dt} + I_C \quad (4.1)$$

Συνεπώς

$$\frac{1}{L} \frac{d\Phi}{dt} = \frac{dI_C}{dt} + \frac{R}{L} I_C \quad (4.2)$$

Η λύση για το ρεύμα είναι:

$$I_C = Ae^{-tR/L} + \frac{1}{L}e^{-tR/L} \int_0^t \frac{d\Phi}{dt'} e^{t'R/L} dt' \quad (4.3)$$

Εάν

$$I = \begin{cases} 0, & t < 0 \\ I_0, & 0 \leq t \leq t_0 \\ 0, & t > t_0 \end{cases} \quad (4.4)$$

Τότε

$$I_C = \begin{cases} 0, & t < 0 \\ \frac{\Phi_0}{L} e^{-tR/L}, & 0 \leq t \leq t_0 \\ \frac{\Phi_0}{L} e^{-(t-t_0)R/L} [e^{-t_0R/L} - 1], & t > t_0 \end{cases} \quad (4.5)$$

Στην ανάλυση που ακολουθεί θα χρησιμοποιηθούν οι εξής ορισμοί:

I = ρεύμα που διαπερνά την επιφάνεια του πηνίου

I_c = ρεύμα του πηνίου

R = συνολική αντίσταση του πηνίου = $R_{CVR} + Z_s$

R_{CVR} = Ισοδύναμη αντίσταση στα άκρα του πηνίου

Z_s = αντίσταση λόγω επιδερμικού φαινομένου

L = αυτεπαγωγή πηνίου

Φ = μαγνητική ροή

Υπάρχουν δύο πρακτικοί τρόποι δημιουργίας ενός Rogowski coil.

A) Διαφορικό Rogowski coil

Το L/R είναι πολύ μικρό εν σχέσει με το πλάτος του παλμού ρεύματος. Στην περίπτωση αυτή ισχύει

$$\frac{L}{R} \frac{dI_C}{dt} \ll I_C \text{ οπότε } RI_C \simeq \frac{d\Phi}{dt} \quad (4.6)$$

Η τάση στα άκρα της αντίστασης R_{CVR} μπορεί να ολοκληρωθεί με στόχο να παραχθεί μια έξοδος ανάλογη προς το ρεύμα διέγερσης I . Τα πλεονεκτήματα είναι η απλή κατασκευή και η υψηλή τάση παραγωγής για ένα πηνίο συγκεκριμένης επιφάνειας. Τα μειονεκτήματα είναι ότι η τάση στην έξοδο του ολοκληρωτή είναι εξαρτημένη από τη συχνότητα, εξασθενεί σημαντικά στο ομοαξονικό καλώδιο που οδηγεί στην είσοδο της μετρητικής διάταξης, ο χρόνος ανόδου δεν μπορεί να είναι μικρότερος από το L/R και υπάρχει πιθανότητα υπερύψωσης της τάσης αυτής.

B) Ολοκληρωτικό Rogowski coil

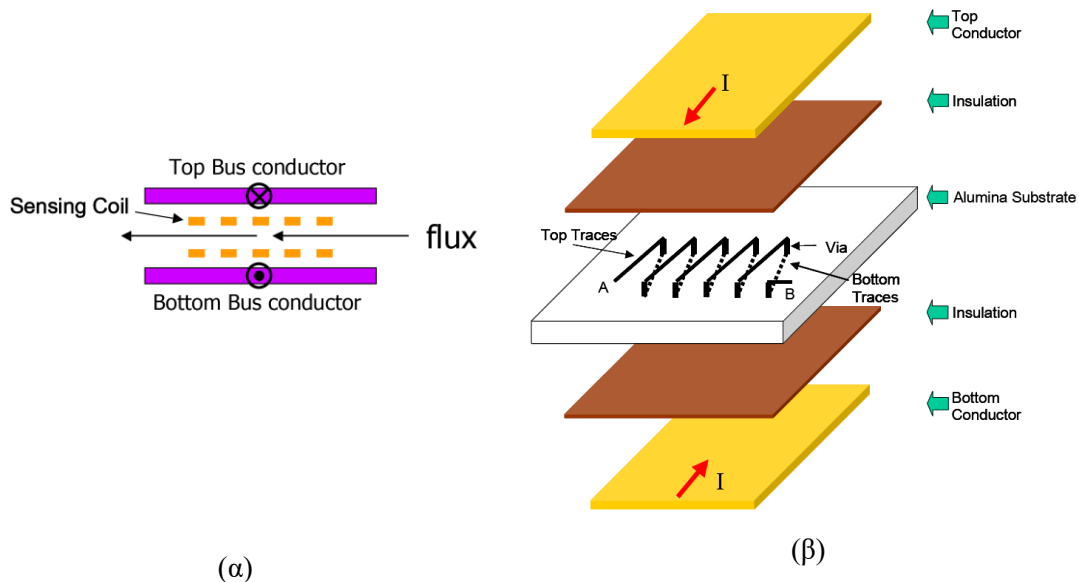
Το L/R είναι μεγαλύτερο από το πλάτος του παλμού ρεύματος. Στην περίπτωση αυτή ισχύει:

$$\frac{L}{R} \frac{dI_C}{dt} \gg I_C \text{ οπότε } I_C \approx \Phi/L \quad (4.7)$$

Η γραμμικότητα Rogowski coil κατά τη μέτρηση παλμών ρεύματος μονής κατεύθυνσης με ταλάντωση ή υπέρ-απόσβεση σε γραμμικά και μη γραμμικά φορτία είναι αρκετά ικανοποιητική [86]. Επίσης η μέτρηση του ρεύματος με διαφορικό Rogowski coil με βελτιστοποιημένο ολοκληρωτή συμπίπτει ικανοποιητικά με τη μέτρηση με current transformer σε διάφορες κυματομορφές ρεύματος και σε μεγάλο φάσμα συχνοτήτων [87].

4.2.2 Rogowski coil χαμηλού ύψους

Ωστόσο τα εμπορικά διαθέσιμα Rogowski coil είναι δύσκολο να ενσωματωθούν άμεσα σε συστήματα ηλεκτρονικών ισχύος υψηλής ολοκλήρωσης, λόγω του μεγέθους και της διαμόρφωσής τους. Για το λόγο αυτό, αντί της τοποθέτησης γύρω από έναν αγωγό, το αισθητήριο πηνίο μπορεί να ενσωματωθεί μεταξύ δύο κύριων αγωγών που άγουν το ίδιο ρεύμα [88]. Ο τρόπος κατασκευής του φαίνεται στο Σχήμα 4.2 και αποτελείται από αγωγίσιμους δρόμους στις δύο πλευρές ενός PCB που συνδέονται με επιμεταλλωμένες οπές (via). Η διαδικασία κατασκευής του είναι συμβατή με την τεχνολογία των ηλεκτρονικών ισχύος υψηλής ολοκλήρωσης [89], έχει πολύ συμπαγές μέγεθος, χαμηλό κόστος, άριστη ολοκληρωσιμότητα και λειτουργικότητα. Η τοποθέτηση του πηνίου μεταξύ των δύο αγωγίσιμων δρόμων με ισορροπημένα ρεύματα διπλασιάζει την ευαισθησία της μέτρησης.



Σχήμα 4.2: Επίπεδο Rogowski coil, (α) Όψη τομής, (β) Ανεπτυγμένο σχέδιο κατασκευής [88].

Στην έξοδο του πηνίου εφαρμόζεται ένας ολοκληρωτής που βασίζεται σε ένα τελεστικό ενισχυτή χαμηλού θορύβου και υψηλού εύρους ζώνης. Λόγω του υψηλού εύρους ζώνης του

ίδιου του πηνίου, ο μόνος περιορισμός στο εύρος ζώνης ολόκληρου του αισθητήρα προέρχεται από τον ολοκληρωτή. Ωστόσο, όταν οι παλμοί του μετρούμενου ρεύματος είναι μικρής διάρκειας ή σε εφαρμογές υψηλής συχνότητας ο ολοκληρωτής με τελεστικό ενισχυτή, μπορεί να αντικατασταθεί από έναν παθητικό R-C ολοκληρωτή.

Δεδομένου ότι η κύρια συνιστώσα της μαγνητικής ροής, που παράγεται από άλλους αγωγούς, είναι κάθετη προς τον άξονα ευαισθησίας του ενσωματωμένου πηνίου λήψης, η δομή αυτού του αισθητήρα είναι από τη φύση του αναίσθητη στα ρεύματα των δρόμων του τυπωμένου κυκλώματος. Επιπλέον, κανένα πρόσθετο προστατευτικό κάλυμμα δεν απαιτείται στην περίπτωση του αισθητήρα με ενσωματωμένο πηνίο, επειδή οι παράλληλοι αγωγοί υποκαθιστούν τη λειτουργία του και το σύστημα παρουσιάζει εξαιρετική ανοχή στο θόρυβο.

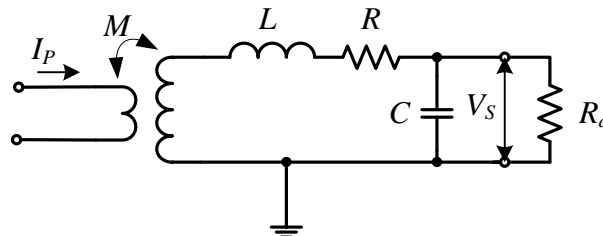
Στην τεχνική τοποθέτησης του πηνίου ανάμεσα από δύο αγωγούς, η μαγνητική ροή μεταξύ των δυο αγωγών είναι σχεδόν σταθερή εν σχέσει με τη μεταβολή της συχνότητας. Μια εναλλακτική επίπεδη δομή είναι η τοποθέτηση του πηνίου δίπλα σε έναν αγωγό αντί ανάμεσα από δύο αγωγούς. Σε αυτή την περίπτωση η μεταβολή της μαγνητικής ροής στο πηνίο λήψης, εν σχέσει με τη μεταβολή της συχνότητας, είναι σημαντική και παρόλο που η δομή αυτή είναι απλή δεν χρησιμοποιείται διότι δεν είναι αποτελεσματική.

Ο αισθητήρας είναι σε θέση να ακολουθεί την κυματομορφή του ρεύματος εισόδου πολύ καλά. Όμως, σε αυξανόμενη συχνότητα, η μετατόπιση φάσης ενισχύεται, λόγω της καθυστέρησης διάδοσης (propagation delay) του τελεστικού ενισχυτή. Επίσης το εύρος ζώνης του αισθητήρα περιορίζεται από τη σχεδίαση του ολοκληρωτή και δεν έχει την ικανότητα μέτρησης ρεύματος με DC συνιστώσα.

Στη σχεδίαση που παρουσιάστηκε παραπάνω μπορούν να γίνουν διάφορες βελτιώσεις για να μειωθεί περαιτέρω το μέγεθός του αισθητήρα ρεύματος και να διευκολυνθεί η μέτρηση του ρεύματος χωρίς παρεμβολές στο κύκλωμα ισχύος [90]. Οι βελτιώσεις αφορούν την επέκταση της λειτουργίας σε χαμηλότερες και υψηλότερες συχνότητες, την αύξηση του εύρους ζώνης, τη βελτιστοποίηση της γραμμικότητας και την δυνατότητα μέτρησης κυματομορφής ρεύματος με DC συνιστώσα. Οι αγωγίμοι δρόμοι πρέπει να έχουν μικρό πλάτος για ελάττωση της παρασιτικής χωρητικότητας.

4.2.3 Ισοδύναμο κύκλωμα του Rogowski coil

Το ισοδύναμο κύκλωμα του Rogowski coil παρουσιάζεται στο Σχήμα 4.3 όπου η αντίσταση φορτίου R_d πρέπει να έχει υψηλή τιμή.



Σχήμα 4.3: Ισοδύναμο κύκλωμα Rogowski coil.

Το ρεύμα στον αγωγό συνδέεται με την τάση του πηνίου μέσω του αμοιβαίας αυτεπαγωγής M . Το πηνίο έχει αυτεπαγωγή L και ωμική αντίσταση R . Η αντίσταση τυλίγματος μπορεί

συνήθως να παραμεληθεί επειδή είναι πολύ μικρή. Η παρασιτική χωρητικότητα μπορεί να παρασταθεί ως C . Μία αντίσταση απόσβεσης R_d προστίθεται εξωτερικά για να βελτιώσει την απόκριση συχνότητας του πηνίου. Μπορεί να αποδειχθεί ότι το πηνίο έχει μια συνάρτηση μεταφοράς δευτέρας τάξης με ιδιοσυχνότητα ω_n και συντελεστή απόσβεσης ζ [90]:

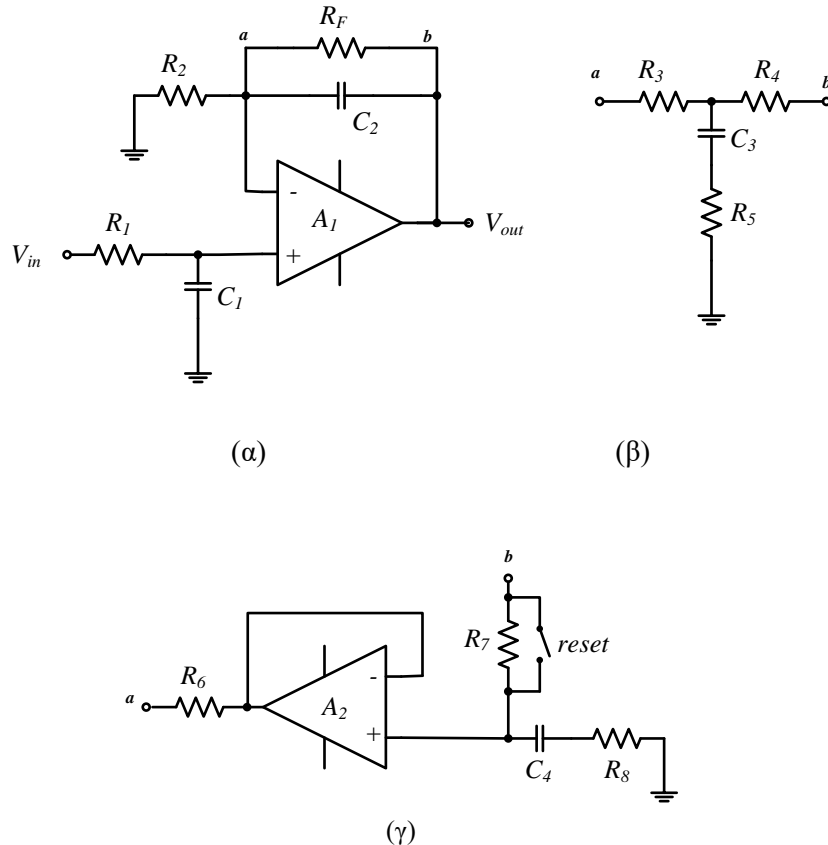
$$\omega_n = \sqrt{1/(L \cdot C)} \quad (4.8)$$

$$\zeta = 2/(R_d \cdot \sqrt{1/(L \cdot C)}) \quad (4.9)$$

Η ιδιοσυχνότητα περιορίζει τη μέγιστη συχνότητα λειτουργίας του πηνίου, και ο συντελεστής απόσβεσης έχει επιπτώσεις στη βηματική απόκρισή του. Συνήθως, η κρίσιμη απόσβεση ($\zeta = 1$) προτιμάται επειδή επιτυγχάνει γρήγορη απόκριση χωρίς υπερέψωση. Η τιμή της R_d μπορεί να υπολογιστεί από την (4.9) για να παραγάγει κρίσιμη απόσβεση.

4.2.4 Κύκλωμα μη-αναστρέφοντα ολοκληρωτή Rogowski coil

Στο Σχήμα 4.4 παρακάτω φαίνεται η τοπολογία του μη-αναστρέφοντα ολοκληρωτή για Rogowski coil.



Σχήμα 4.4: Μη αναστρέφων ολοκληρωτής[90].

Το Rogowski coil παράγει έξοδο ανάλογη με τη μεταβολή του ρεύματος και ένα κύκλωμα ολοκληρωτή απαιτείται για να ολοκληρώσει την έξοδο του πηνίου και να παραγάγει τη μέτρηση του ρεύματος. Το πηνίο του Rogowski coil έχει πολύ μεγάλο εύρος ζώνης και επομένως, συνήθως, ο ολοκληρωτής περιορίζει το εύρος ζώνης του αισθητήρα ρεύματος. Η τοπολογία του αναστρέφοντα ολοκληρωτή δεν είναι κατάλληλη για εφαρμογή σε υψηλές

συχνότητες λόγω της σύζευξης του σήματος από την είσοδο στην έξοδο δια μέσω του πυκνωτή ολοκλήρωσης. Αυτό προκαλεί υπόταση στη βηματική απόκριση, και παράγει ένα μηδενικό στο δεξί μιγαδικό ημιπίεδο στη συνάρτηση μεταφοράς του ολοκληρωτή επηρεάζοντας σημαντικά τη σταθερότητα του συστήματος. Ο μη-αναστρέφων ολοκληρωτής [91] εξαλείφει αυτή τη χωρητική σύζευξη διότι συνδέει το πηνίο με τη μη-αναστρέφουσα είσοδο του ενισχυτή, όπως φαίνεται στο Σχήμα 4.4(α). Επιπλέον βελτιώνει περαιτέρω την απόδοση υψηλής συχνότητας με τη διάσπαση του έργου της ολοκλήρωσης. Ο παθητικός ολοκληρωτής R_1C_1 επεξεργάζεται τις υψηλές συχνότητες. Ο ενεργός ολοκληρωτής $R_2/C_2/A_1$ επεξεργάζεται τις χαμηλές συχνότητες και σε υψηλή συχνότητα, ενεργεί ως απομονωτής μοναδιαίου κέρδους, επιτυγχάνοντας έτσι το μεγαλύτερο δυνατό εύρος ζώνης.

Η συνάρτηση μεταφοράς του ολοκληρωτή είναι [90]:

$$H_t(s) = \frac{V_{out}}{V_{in}} = \frac{1 + \tau_2 s}{\tau_2 s (1 + \tau_1 s)} \quad (4.10)$$

όπου $\tau_1 = R_1.C_1$, και $\tau_2 = R_2.C_2$.

Με την επιλογή $R_1.C_1 = R_2.C_2 = \tau_i$, επιτυγχάνεται η επιθυμητή απόκριση του ολοκληρωτή και η ευαισθησία του αισθητήρα ρεύματος δίνεται από:

$$S = \frac{V_{out}}{I} = \frac{M}{\tau_i} \quad (4.11)$$

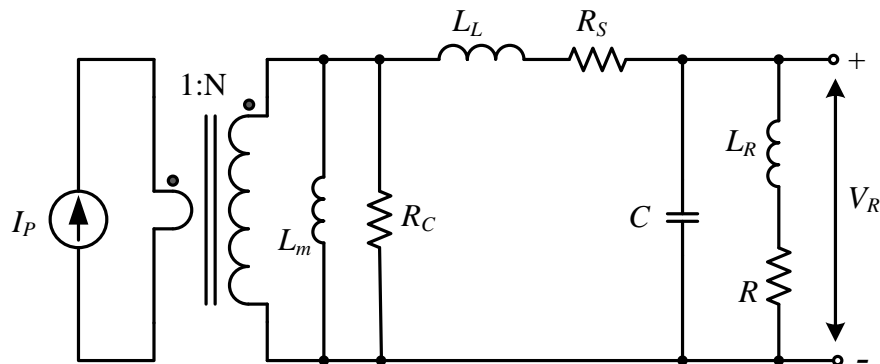
Ο ιδανικός ολοκληρωτής έχει άπειρο κέρδος στο συνεχές ρεύμα. Σε ένα πρακτικό κύκλωμα, το DC κέρδος πρέπει να περιοριστεί για να αποφευχθεί η λανθασμένα μεγάλη έξοδος λόγω της τάσης απόκλισης στην είσοδο του ενισχυτή. Στο Σχήμα 4.4(α) το R_F εξυπηρετεί αυτόν το σκοπό [88], και το λάθος στην έξοδο δίνεται από $V_{error} = R_F/(R_2 \cdot V_{os})$, όπου V_{os} είναι η τάση απόκλισης στην είσοδο του ενισχυτή. Εντούτοις, αυτή η σχεδίαση υποβιβάζει την απόκριση χαμηλής συχνότητας του αισθητήρα, δεδομένου ότι το όριο της είναι $f_{-3dB,low} = 1/(2 \cdot \pi \cdot R_F \cdot C_2)$. Αυτός ο περιορισμός μπορεί να είναι ιδιαίτερα σοβαρός επειδή ο σχετικά χαμηλός συντελεστής σύζευξης M του PCB Rogowski coil απαιτεί μικρό τ_i και επομένως μικρό C_2 για να επιτευχθεί ικανοποιητική ευαισθησία.

Ένα παθητικό χαμηλοπερατό φίλτρο (Low pass filter - LPF) που παρουσιάζεται στο Σχήμα 4.4(β) μπορεί να χρησιμοποιηθεί για να επεκτείνει τη κατώτερη συχνότητα αποκοπής του αισθητήρα [91]. Όμως η τιμή των R_3+R_4 είναι περιορισμένη επειδή προκαλεί λάθος στην έξοδο παρόμοιο με αυτό που προκαλεί η R_F . Κατά συνέπεια, ο πυκνωτής C_3 του φίλτρου πρέπει να είναι πολύ μεγάλος για να επιτευχθεί καλή απόκριση χαμηλής συχνότητας αυξάνοντας έτσι το μέγεθος του αισθητήρα. Το κύκλωμα στο (γ) χρησιμοποιεί έναν απομονωτή τάσης για να αναιρέσει τους δύο περιορισμούς για το V_{error} και το $f_{-3dB,low}$. Η τιμή της R_7 είναι μεγάλη για να μειωθεί το μέγεθος του C_4 χωρίς αύξηση του λάθους στην έξοδο. Ο πρόσθετος ενισχυτής A_2 δεν προσθέτει σημαντικό κόστος στο σύστημα, δεδομένου ότι λειτουργεί σε πολύ χαμηλή συχνότητα και μπορεί να χρησιμοποιηθεί ένας τελεστικός ενισχυτής χαμηλού κόστους. Όταν ο αισθητήρας χρησιμοποιείται για να μετρήσει ρεύμα μονής κατεύθυνσης το οποίο περιέχει μία DC συνιστώσα, τότε ο ολοκληρωτής πρέπει να αρχικοποιείται σε τακτά διαστήματα για να εξασφαλίσει το σωστό επίπεδο τάσης στην έξοδο, επειδή το Rogowski coil δεν μπορεί να

μετρήσει το DC ρεύμα. Αυτό βοηθά επίσης να αποτρέψει το συσσωρευτικό λάθος στην έξοδο. Ο διακόπτης αρχικοποίησης, ο οποίος συμβολίζεται ως *reset* στο Σχήμα 4.4(γ), γίνεται ON όταν το ρεύμα του διακόπτη είναι γνωστό ότι είναι μηδέν (κατάσταση αποκοπής) και μπορεί να υλοποιηθεί με ένα MOSFET. Το σήμα ελέγχου του διακόπτη αυτού μπορεί να παραχθεί εύκολα από τον ελεγκτή που παράγει το σήμα PWM. Λόγω της καλής λειτουργικότητας του ολοκληρωτή σε χαμηλή συχνότητα, η αρχικοποίηση μπορεί να εκτελείται σε χρονικό διάστημα δεκάδων ms, και έτσι να ελαχιστοποιείται η διακοπή της μέτρησης του συνεχούς ρεύματος.

4.3 Μετασηματιστής ρεύματος (*current transformer*)

Οι μετασηματιστές ρεύματος χρησιμοποιούνται ευρέως ως απομονωμένοι αισθητήρες για τη μέτρηση των ρευμάτων των διακοπών ισχύος. Το ισοδύναμο κύκλωμα ενός μετασηματιστή ρεύματος φαίνεται στο Σχήμα 4.5 [92].



Σχήμα 4.5: Ισοδύναμο κύκλωμα μετασηματιστή ρεύματος.

Ένας τυπικός μετασηματιστής ρεύματος αποτελείται από έναν δακτυλιοειδή πυρήνα μαγνητικού υλικού, γύρω από τον οποίο τυλίγεται ένα σύρμα χαλκού με N σπείρες που αποτελούν το δευτερεύον τύλιγμα του μετασηματιστή. Ένας αγωγός ρεύματος που περνά μέσα από τον δακτυλιοειδή πυρήνα, ο οποίος διαρρέεται από το ρεύμα που πρέπει να μετρηθεί, δρα ως το πρωτεύον τύλιγμα του μετασηματιστή. Στα άκρα του δευτερεύοντος τυλίγματος συνδέεται μια αντίσταση χαμηλής αυτεπαγωγής πάνω στην οποία αναπτύσσεται το σήμα μέτρησης. Ο πυρήνας του μετασηματιστή πρέπει να έχει υψηλή διαπερατότητα, υψηλή αντίσταση και χαμηλές απώλειες υστέρησης και δινορευμάτων. Επίσης ο μετασηματιστής ρεύματος πρέπει να έχει μεγάλο εύρος ζώνης και πυρήνα με υψηλή τιμή μαγνητικής διαπερατότητας. Στις απαιτήσεις αυτές πρέπει να γίνει συμβιβασμός διότι η αύξηση της τιμής της μαγνητικής διαπερατότητας ελαττώνει το εύρος ζώνης.

4.3.1 Αρχή λειτουργίας του μετασηματιστή ρεύματος.

Σύμφωνα με τον νόμο του Ampere ένας αγωγός που διαρρέεται από μεταβαλλόμενο ηλεκτρικό ρεύμα δημιουργεί γύρω του ένα κυκλικό μεταβαλλόμενο μαγνητικό πεδίο έντασης H και ο πυρήνας μαγνητικού υλικού συγκεντρώνει την πλειονότητα του πεδίου μέσα σε αυτόν. Όταν το μεταβαλλόμενο μαγνητικό πεδίο περνάει μέσα τις σπείρες του δευτερεύοντος τυλίγματος τότε, σύμφωνα με το νόμο του Faraday, επάγεται πάνω σε αυτό μία ηλεκτρική τάση

V_S και κατά συνέπεια δημιουργείται μια ροή ρεύματος μέσα από την αντίσταση που είναι συνδεδεμένη στα άκρα του δευτερεύοντος.

Η τιμή του ρεύματος του πρωτεύοντος δίνεται από τον παρακάτω τύπο:

$$I_P = \frac{N \cdot V_S}{R} \quad (4.12)$$

Η ευαισθησία σε V/A του μετασχηματιστή ρεύματος δίνεται από τον παρακάτω τύπο:

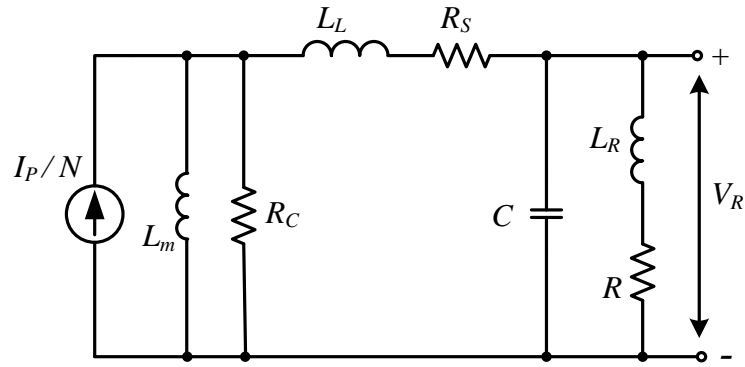
$$S = \frac{V_S}{I_P} = \frac{R}{N} \quad (4.13)$$

Παρόλο που ο δακτυλιοειδής πυρήνας έχει σχεδιαστεί έτσι ώστε η πλειονότητα της μαγνητικής ροής να ρέει μέσα από αυτόν, ένα πολύ μικρό μέρος της μαγνητικής ροής ρέει έξω από αυτόν και συμπεριφέρεται ως ένα πηνίο που αποθηκεύει ενέργεια και ονομάζεται αυτεπαγωγή διαφυγής (Leakage Inductance). Επίσης στο μετασχηματιστή ρεύματος αναπτύσσεται παρασιτική χωρητικότητα (Stray Capacitance) η οποία αποτελείται από το άθροισμα της χωρητικότητας μεταξύ των σπειρών του τυλίγματος, της χωρητικότητας μεταξύ των τυλιγμάτων, της χωρητικότητας μεταξύ των τυλιγμάτων και του πυρήνα και της χωρητικότητας μεταξύ του εξωτερικού τυλίγματος και των κοντινών υλικών του κυκλώματος που το περιβάλλει [93].

Οι κύριες παράμετροι που χαρακτηρίζουν έναν μετασχηματιστή ρεύματος είναι οι παρακάτω:

- Το όριο απόκρισης χαμηλής συχνότητας $f_{-3dB,low}$.
- Το όριο απόκρισης υψηλής συχνότητας $f_{-3dB,hi}$.
- Η μετατόπιση φάσης μεταξύ του ρεύματος στο πρωτεύον και της μετρούμενης τάσης στο δευτερεύον.
- Ο χρόνος ανόδου της μετρούμενης τάσης στο δευτερεύον.
- Ο χρόνος καθόδου της μετρούμενης τάσης στο δευτερεύον.
- Η ευαισθησία της μετρούμενης τάσης στο δευτερεύον σε σχέση με την μεταβολή του ρεύματος στο πρωτεύον.
- Η ακρίβεια στη μέτρηση (%).
- Το γινόμενο $I_P \cdot T_{MAX}$, όπου T_{MAX} είναι ο χρόνος που μπορεί να αντέξει ο πυρήνας πριν μπει σε κορεσμό όταν η τιμή του ρεύματος στο πρωτεύον είναι I_P .
- Η μέγιστη τιμή του ρεύματος στο πρωτεύον.
- Η μέγιστη τιμή του ρεύματος το δευτερεύον.
- Η τάση απομόνωσης μεταξύ πρωτεύοντος και δευτερεύοντος.
- Τα όρια θερμοκρασίας λειτουργίας.

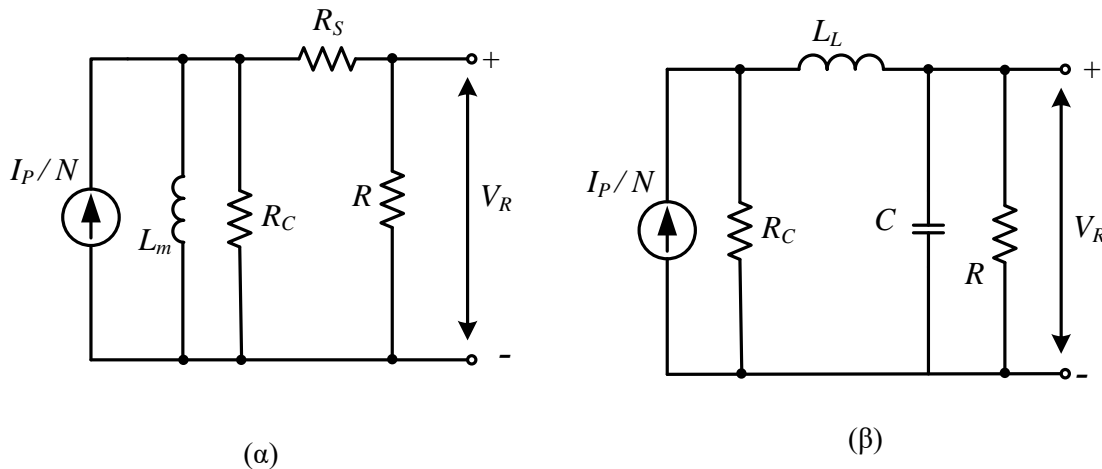
Το ισοδύναμο κύκλωμα ενός μετασχηματιστή ρεύματος με αναγωγή του ρεύματος στο δευτερεύον φαίνεται στο Σχήμα 4.6 παρακάτω [92].



Σχήμα 4.6: Ισοδύναμο κύκλωμα μετασχηματιστή ρεύματος με αναγωγή του ρεύματος στο δευτερεύον.

Στο παραπάνω σχήμα, L_m είναι η αυτεπαγωγή μαγνήτισης του δευτερεύοντος τυλίγματος, R_C είναι η ισοδύναμη παράλληλη αντίσταση του πυρήνα, L_L είναι η αυτεπαγωγή διαφυγής του δευτερεύοντος τυλίγματος, R_S είναι η αντίσταση του δευτερεύοντος τυλίγματος, R είναι η αισθητήρια αντίσταση (ή αντίσταση φορτίου), C είναι η ισοδύναμη παρασιτική χωρητικότητα και L_R είναι η αυτεπαγωγή της αισθητήριας αντίστασης.

Το ισοδύναμο κύκλωμα χαμηλών συχνοτήτων του μετασχηματιστή ρεύματος φαίνεται στο Σχήμα 4.7(α) παρακάτω [94]. Αυτό προκύπτει από το ισοδύναμο κύκλωμα που φαίνεται στο Σχήμα 4.6, εάν παραλειφθούν τα L_L και L_R , τα οποία σε χαμηλές συχνότητες παρουσιάζουν πολύ μικρή σύνθετη αντίσταση καθώς επίσης και το C το οποίο σε χαμηλές συχνότητες παρουσιάζει πολύ υψηλή σύνθετη αντίσταση.



Σχήμα 4.7: Ισοδύναμο κύκλωμα μετασχηματιστή ρεύματος, (α) χαμηλών συχνοτήτων, (β) υψηλών συχνοτήτων.

Σε χαμηλές συχνότητες, η σύνθετη αντίσταση του L_m είναι συγκρίσιμη με την αντίσταση $R_{Lm} = R_C \parallel (R + R_S)$ και ένα μέρος του ρεύματος του δευτερεύοντος ρέει μέσα από το L_m , επομένως ο μετασχηματιστής συμπεριφέρεται σαν ένα υψιπερατό φίλτρο πρώτης τάξης και η συνάρτηση μεταφοράς του δίνεται από την παρακάτω σχέση [92]:

$$R_m(s) = \frac{V_R}{I_P} = \frac{R}{N} \frac{R_C}{R_C + R + R_S} \frac{s}{s + \omega_L} \quad (4.14)$$

όπου

$$\tau = \frac{L_m}{R_{Lm}} = \frac{L_m}{R_C || (R + R_S)} \quad (4.15)$$

και

$$\omega_L = \frac{1}{\tau} = \frac{R_C || (R + R_S)}{L_m} \quad (4.16)$$

Οπότε το όριο απόκρισης χαμηλής συχνότητας $f_{-3dB,low}$ δίνεται από την παρακάτω σχέση [92]:

$$f_{-3dB,low} = \frac{1}{2 \cdot \pi \cdot \tau} = \frac{R_C || (R + R_S)}{2 \cdot \pi \cdot L_m} \quad (4.17)$$

Στο Σχήμα 4.7(β) παραπάνω, φαίνεται το ισοδύναμο κύκλωμα υψηλών συχνοτήτων για το μετασχηματιστή ρεύματος [94]. Αυτό προκύπτει από το ισοδύναμο κύκλωμα που φαίνεται στο Σχήμα 4.6, εάν παραλειφθούν τα L_m , R_S και L_R . Τα στοιχεία αυτά παραλείπονται διότι σε υψηλή συχνότητα λειτουργίας το L_m εμφανίζει σύνθετη αντίσταση πολύ μεγαλύτερη από το R_C και το R_S είναι πολύ μικρότερο από τη σύνθετη αντίσταση του L_L . Επίσης η αντίσταση R επιλέγεται να έχει πολύ μικρή αυτεπαγωγή L_R . Οπότε, κάτω από αυτές τις συνθήκες, ο μετασχηματιστής ρεύματος προσομοιώνεται από ένα χαμηλοπερατό φίλτρο δευτέρας τάξης και η συνάρτηση μεταφοράς του δίνεται από την παρακάτω σχέση [92]:

$$R_m(s) = \frac{V_R}{I_p} = \frac{R_C}{N \cdot C \cdot L_L} \frac{1}{s^2 + 2 \cdot \xi \cdot \omega_o + \omega_o^2} \quad (4.18)$$

όπου

$$f_o = \frac{\omega_o}{2 \cdot \pi} = \frac{1}{2 \cdot \pi} \sqrt{\frac{1}{C \cdot L_L} \left(\frac{R_C}{R} + 1 \right)} \quad (4.19)$$

και

$$\xi = \frac{\frac{R_C}{L_L} + \frac{1}{R \cdot C}}{2 \sqrt{\frac{1}{C \cdot L_L} \left(\frac{R_C}{R} + 1 \right)}} \quad (4.20)$$

Επειδή πρακτικά $R_C \gg R$ μπορεί εύκολα να αποδειχθεί ότι οι πραγματικοί πόλοι μπορούν προσεγγιστικά να υπολογιστούν από τις παρακάτω τύπους [92]:

$$f_{p1} = \frac{\omega_{p1}}{2 \cdot \pi} = \frac{R_C}{2 \cdot \pi \cdot L_L} \quad (4.21)$$

και

$$f_{p2} = \frac{\omega_{p2}}{2 \cdot \pi} = \frac{1}{2 \cdot \pi \cdot R \cdot C} \quad (4.22)$$

Οπότε το όριο απόκρισης υψηλής συχνότητας $f_{-3dB,hi}$ δίνεται από την παρακάτω σχέση [92]:

$$f_{-3dB,hi} = \frac{1}{\sqrt{\frac{1}{f_{p1}^2} + \frac{1}{f_{p2}^2}}} = \frac{1}{2 \cdot \pi \sqrt{\left(\frac{L_L}{RC}\right)^2 + (R \cdot C)^2}} \quad (4.23)$$

4.3.2 Βελτιστοποίηση των χαρακτηριστικών του μετασχηματιστή ρεύματος.

Για τη σωστή λειτουργία του μετασχηματιστή ρεύματος είναι απαραίτητο η αυτεπαγωγή διαφυγής L_L να ελαχιστοποιηθεί. Ειδικά, θα υπάρξει μείωση στο εύρος ζώνης αφού το όριο απόκρισης υψηλής συχνότητας $f_{-3dB,hi}$ είναι αντιστρόφως ανάλογο με την τιμή της L_L και επίσης η αποθηκευμένη ενέργεια στην L_L θα προκαλεί αιχμές κατά την άνοδο της κυματομορφής της τάσης και μια κλίση κατά την άνοδο της κυματομορφής του ρεύματος. Η αυτεπαγωγή διαφυγής μπορεί να ελαχιστοποιηθεί με την επιλογή του κατάλληλου μαγνητικού πυρήνα, αυξάνοντας τον αριθμό των σπειρών, και μειώνοντας το πάχος της μόνωσης του σύρματος του τυλίγματος.

Παρομοίως, η παρασιτική χωρητικότητα πρέπει να ελαχιστοποιηθεί διότι προξενεί μείωση στο εύρος ζώνης, μεγάλες αιχμές ρεύματος κατά τη λειτουργία σε υψηλή συχνότητα, ταλαντώσεις λόγω συντονισμού στα στοιχεία του μετασχηματιστή και ηλεκτροστατική σύζευξη με τα γύρω κυκλώματα. Η παρασιτική χωρητικότητα μειώνεται με τη μείωση του αριθμού των σπειρών του τυλίγματος ή με την αύξηση του πάχους της μόνωσης του σύρματος του τυλίγματος.

Είναι φανερό ότι η μείωση της αυτεπαγωγής διαφυγής οδηγεί σε αύξηση της παρασιτικής χωρητικότητας και το αντίστροφο, οπότε κατά τον σχεδιασμό ενός μετασχηματιστή ρεύματος πρέπει να γίνει ο κατάλληλος συμβιβασμός των παραμέτρων αυτών.

Τέλος πρέπει να γίνει κατάλληλη επιλογή του πυρήνα έτσι ώστε να μην μπαίνει σε κορεσμό και να λαμβάνεται μέριμνα για τη σωστή απομαγνήτισή του σε κάθε περίοδο της διακοπτικής συχνότητας.

4.4 Προτεινόμενος αισθητήρας ρεύματος

4.4.1 Επιλογή υλικού

Από τη μελέτη που παρουσιάστηκε στις προηγούμενες παραγράφους προκύπτει το συμπέρασμα ότι το Rogowski coil υπερέχει στο γεγονός ότι μπορεί να χρησιμοποιηθεί για μετρήσεις ρευμάτων που εκτείνονται σε μεγάλες κλίμακες. Επίσης το ύψος του μπορεί να είναι πολύ μικρό και να χρησιμοποιείται σε κατασκευές υψηλής ολοκλήρωσης και χαμηλού ύψους. Έχει όμως αυξημένη κυκλωματική πολυπλοκότητα και, κατ' επέκταση, μειωμένη αξιοπιστία σε σύγκριση με τον μετασχηματιστή ρεύματος. Για τις μετρήσεις του ρεύματος σε παράλληλα συνδεδεμένους ημιαγωγικούς διακόπτες, δεν υπάρχει ιδιαίτερος περιορισμός στο ύψος και επειδή η κλίμακα του ρεύματος που πρέπει να μετρηθεί είναι περιορισμένη, η βέλτιστη επιλογή είναι ο μετασχηματιστής ρεύματος. Η σχεδίαση του μετασχηματιστή ρεύματος έγινε με τέτοιο τρόπο ώστε να ελαχιστοποιηθούν, όσο είναι δυνατό, η παρασιτική χωρητικότητα, η αυτεπαγωγή διαφυγής και η αισθητήρια αντίσταση, επιτυγχάνοντας με τον τρόπο αυτόν αυξημένο όριο απόκρισης υψηλών συχνοτήτων.

4.4.2 Σχεδίαση του μετασχηματιστή ρεύματος

Στα κυκλώματα μέτρησης των ρευμάτων των διακοπών ισχύος χρησιμοποιήθηκαν απλοί μετασχηματιστές ρεύματος των οποίων το μέγεθος είναι αρκετά μικρό όπως φαίνεται στο Σχήμα 4.8 παρακάτω το οποίο απεικονίζει τον μετασχηματιστή ρεύματος δίπλα από ένα λεπτό του Ευρώ.

Το πρωτεύων τύλιγμα των μετασχηματιστών ρεύματος (CT) έχει μια στροφή, ενώ το δευτερεύων τύλιγμα έχει $N_S=82$ σπείρες. Ο πυρήνας είναι δακτυλιοειδής (toroid), FERROXCUBE, με ενεργό διατομή $A_e=14.7 \text{ mm}^2$ και συντελεστή αυτεπαγωγής $A_L=1400 \pm 20\% \text{ nH}$. Το υλικό του πυρήνα έχει όριο κορεσμού τα 350 mT σε θερμοκρασία περιβάλλοντος ίση με 100 °C.



Σχήμα 4.8: Σύγκριση μεγέθους του μετασχηματιστή ρεύματος με ένα λεπτό του Ευρώ.

Το γινόμενο της εφαρμοσμένης τάσης στο δευτερεύων τύλιγμα του μετασχηματιστή επί τη χρονική διάρκεια είναι:

$$V_{COIL} \cdot T = N_S \cdot B_{SAT} \cdot A_e = 0.42 \cdot 10^{-3} \text{ V} \cdot \text{s} \quad (4.24)$$

Σε όλα τα πειράματα, η μέγιστη χρονική διάρκεια των παλμών ρεύματος είναι $T_{max}=60 \text{ μs}$ και επομένως, το μέγιστο ρεύμα που μπορεί να αντέξει ο CT πριν μπει σε κορεσμό είναι:

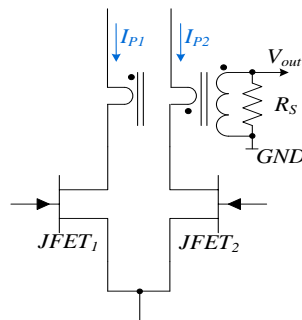
$$I_{max} = 0.42 \cdot 10^{-3} \text{ V} \cdot \text{s} \cdot \frac{N_S}{R_S \cdot T_{max}} = 112 \text{ A} \quad (4.25)$$

Το σφάλμα μέτρησης, $e_{mag}(\%)$, του ρεύματος στο δευτερεύων τύλιγμα, που προκαλείται από το ρεύμα μαγνήτισης, $I_{S,mag}$, είναι ανάλογο με τη διάρκεια του παλμού ρεύματος στο πρωτεύων τύλιγμα t_{on} . Η εξίσωση (4.26) δίνει την τιμή του $e_{mag}(\%)$, για $t_{on}=3 \text{ μs}$.

$$e_{mag}(\%) = \frac{I_{S,mag} \cdot 100}{I_S} = \frac{100 \cdot R_S \cdot t_{on}}{A_L \cdot N_S^2} = 0.16\% \quad (4.26)$$

4.5 Διαφορικός μετασηματιστής ρεύματος

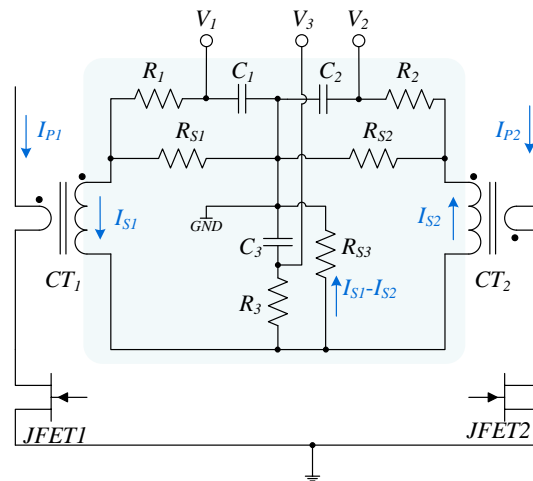
Ένας διαφορικός μετασηματιστής ρεύματος (differential current transformer - DCT) πολύ μικρού μεγέθους και χαμηλού κόστους έχει προταθεί από τους συγγραφείς του [95] για να παρέχει ακριβή και υψηλού εύρους ζώνης μέτρηση του ρεύματος δυο παράλληλα συνδεδεμένων SiC MOSFET. Μια απλουστευμένη σχηματική αναπαράσταση του κυκλώματος αυτού παρουσιάζεται στο Σχήμα 4.9. Η τάση πάνω στην αντίσταση R_s είναι ανάλογη με τη διαφορά ρευμάτων $I_{P1} - I_{P2}$ (ο δείκτης p δείχνει το ρεύμα του πρωτεύοντος τυλίγματος του DCT). Αυτή είναι μια οικονομικά αποδοτική λύση με το πρόσθετο πλεονέκτημα του συμπαγούς μεγέθους. Εντούτοις, αυτή η τεχνική έχει δύο περιορισμούς: α) ισχύει μόνο στην παράλληλη σύνδεση δύο συσκευών και β) δεν παρέχει καμία πληροφορία για το ρεύμα που διατρέχει κάθε διακόπτη ισχύος.



Σχήμα 4.9 Διαφορικός μετασηματιστής ρεύματος [95].

4.6 Κύκλωμα μέτρησης των ρευμάτων για δυο παράλληλα συνδεδεμένους διακόπτες

Μία καινοτόμα διάταξη, προοριζόμενη για την άμεση ένδειξη της ανισοκατανομής των ρευμάτων, απαλλαγμένη από τους ανωτέρω περιορισμούς, προτείνεται σε αυτή την εργασία. Το σχηματικό διάγραμμα του κυκλώματος για δύο παράλληλα συνδεδεμένους διακόπτες παρουσιάζεται Σχήμα 4.10 και οι τιμές των υλικών παρατίθενται στον παρακάτω πίνακα (Πίνακας 4.1).



Σχήμα 4.10: Κύκλωμα μέτρησης των ρευμάτων για δυο παράλληλα συνδεδεμένους διακόπτες.

CT_1, CT_2	R_{S1}, R_{S2}, R_{S3}	R_1, R_2, R_3	C_1, C_2, C_3
1:82 στροφές	5.1 Ω	100 Ω	100 pF

Πίνακας 4.1: Τιμές των υλικών του κυκλώματος μέτρησης ρεύματος.

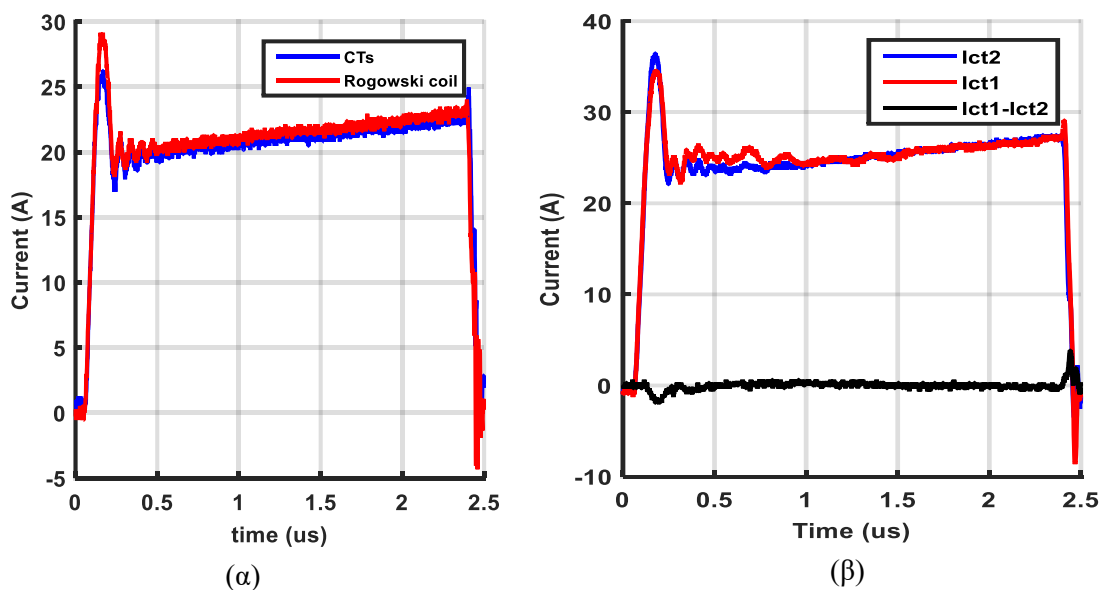
Το αναπτυσσόμενο κύκλωμα παρέχει ακριβείς μετρήσεις του ρεύματος κάθε ενός από τους παραλληλισμένους διακόπτες ισχύος, για χρήση σε κυκλώματα περιορισμού ρεύματος και προστασίας από βραχυκυκλώματα. Πρέπει να υπογραμμιστεί ότι τα αποτελέσματα των μετρήσεων δεν επηρεάζονται από οποιαδήποτε μεταβολή στη θερμοκρασίας λειτουργίας.

Οι τάσεις V_1 , V_2 και V_3 που φαίνονται στο Σχήμα 4.10 έχουν το ίδιο σημείο αναφοράς και είναι γαλβανικά απομονωμένες από το κύκλωμα ισχύος. Επιπλέον, το V_1 είναι ανάλογο με το ρεύμα του πρωτεύοντος I_{P1} , το V_2 είναι ανάλογο με το ρεύμα του πρωτεύοντος I_{P2} και το V_3 είναι ανάλογο με τη διαφορά ρευμάτων $I_{P3}=I_{P1}-I_{P2}$ όπως περιγράφονται στη σχέση (4.27). Οι αντιστάσεις R_1 , R_2 , R_3 και οι πυκνωτές C_1 , C_2 , C_3 χρησιμοποιούνται ως φίλτρα απόρριψης υψηλής συχνότητας.

$$|V_i| = I_{Pi} \cdot \frac{R_{Si}}{N_S} \Rightarrow I_{Pi} = \frac{N_S}{R_{Si}} \cdot |V_i| = 16.08 \cdot |V_i|, i = 1, 2, 3 \quad (4.27)$$

Προκειμένου να αξιολογηθεί η αξιοπιστία του παραπάνω κυκλώματος διενεργήθηκαν οι ακόλουθοι δύο έλεγχοι:

Α) Σύγκριση του προτεινόμενου κυκλώματος των CT με μία εμπορική συσκευή Rogowski coil CWT UM/6/B. Το Rogowski coil συνδέεται έτσι ώστε το ρεύμα που περνά μέσα από αυτό να είναι το ίδιο με αυτό που περνά από το πρωτεύων τύλιγμα του CT_1 και η κυματομορφή εξόδου του Rogowski coil συγκρίνεται με την κυματομορφή της εξόδου V_1 του κυκλώματος μέτρησης. Το αποτέλεσμα των σχεδόν ταυτόσημων κυματομορφών φαίνεται στο Σχήμα 4.11(α).



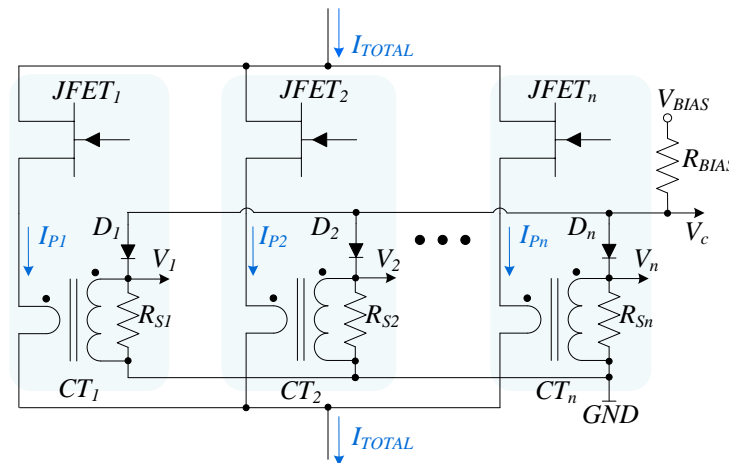
Σχήμα 4.11: (α) Σύγκριση του CT με ένα Rogowski coil CWT UM/6/B, (β) Έλεγχος του κυκλώματος με συμμετρικά ρεύματα.

Β) Το πρωτεύον τύλιγμα του CT_1 συνδέεται σε σειρά με το πρωτεύον τύλιγμα του CT_2 , έτσι ώστε να ρέει το ίδιο ρεύμα και στα δύο τυλίγματα. Οι κυματομορφές των εξόδων V_1 , V_2 και V_3 φαίνονται στο Σχήμα 4.11 (β). Τα V_1 και V_2 είναι σχεδόν ταυτόσημα, ενώ το V_3 είναι σχεδόν μηδενικό. Η μικρή διαφορά μεταξύ των κυματομορφών των εξόδων V_1 και V_2 οφείλεται στον θόρυβο υψηλής συχνότητας που παράγεται από τους παλμούς ρεύματος μέσω των διακοπών ισχύος και των παρασιτικών στοιχείων.

4.7 Κύκλωμα μέτρησης των ρευμάτων για n παράλληλα συνδεδεμένους διακόπτες

Το σχηματικό διάγραμμα του εκτεταμένου κυκλώματος μέτρησης ρεύματος για n παράλληλα συνδεδεμένους διακόπτες παρουσιάζεται στο Σχήμα 4.12.

Η μετρούμενη τάση V_i ($i=1, 2, \dots, n$) πάνω στην αντίσταση R_{Si} είναι ανάλογη με το ρεύμα I_{Pi} , που ρέει μέσα από το $JFET_i$ και μπορεί να χρησιμοποιηθεί ως σήμα ενεργοποίησης στα κυκλώματα προστασίας από βραχυκύκλωμα. Η τάση με τη μικρότερη τιμή μεταφέρεται μέσω των διόδων D_i στην έξοδο V_c . Η άνοδος κάθε διόδου D_i πολώνεται με την τάση V_{BIAS} δια μέσω της αντίστασης R_{BIAS} . Η διαφορά τάσης $V_i - V_c$, για όλες τις συσκευές ισχύος, μπορεί να χρησιμοποιηθεί για την παραγωγή μιας καθυστέρησης αντιστάθμισης στην πύλη για κάθε $JFET$ για το οποίο ισχύει $V_i - V_c > 0$.



Σχήμα 4.12: Κύκλωμα μέτρησης των ρευμάτων και των διαφορών τους σε n παράλληλα συνδεδεμένους διακόπτες.

Τα προτεινόμενα κυκλώματα για δύο και για n παράλληλα συνδεδεμένους διακόπτες είναι κατάλληλα για την εξισορρόπηση ρεύματος καθώς και για προστασία από βραχυκυκλώματα και υλοποιούνται από αναλογικές συσκευές. Εντούτοις, μια απλούστερη και οικονομικά αποδοτικότερη υλοποίηση, η οποία ενσωματώνει έναν ελεγκτή ψηφιακών σημάτων (digital signal controller- DSC), είναι επίσης δυνατή όπως θα παρουσιαστεί σε επόμενο κεφάλαιο.

Κεφάλαιο 5. Λειτουργία των Sic JFET σε παράλληλη σύνδεση και ανάστροφη αγωγή

5.1 Εισαγωγή

Παρόλο που η τάση ελέγχου κατά τη διάρκεια της ορθής αγωγής ενός VT JFET είναι η V_{GS} , η τάση ελέγχου στην ανάστροφη αγωγή είναι η τάση πύλης-υποδοχής V_{GD} . Οι τιμές του V_{GD-TH} είναι παρόμοιες με τις τιμές του V_{GS-TH} , για όλα τα εξετασμένα δείγματα τρανζίστορ ισχύος, όπως φαίνεται σε πίνακα του κεφαλαίου 3 (Πίνακας 3.7).

Σε περίπτωση που εφαρμοστεί αρνητική τάση V_{DS} και το V_{GS} είναι μεγαλύτερο από το V_{GS-TH} , το VT JFET είναι ικανό να άγει ανάστροφα ρεύμα ίσης τιμής με το ρεύμα ορθής αγωγής, ενώ η πτώση τάσης μεταξύ της υποδοχής και της πηγής είναι πολύ χαμηλή, συγκρίσιμη με αυτή μιας διόδου SiC Schottky barrier diode (SBD). Επιπλέον, το ρεύμα που ρέει στη δίοδο πύλης-υποδοχής είναι αμελητέο [96],[97]. Αφ' ετέρου, εάν το V_{GS} είναι χαμηλότερο από το V_{GS-TH} , τότε το JFET θα αρχίσει να άγει ανάστροφα όταν το $V_{GD} = V_{GS} - V_{SD}$ γίνει μεγαλύτερο από V_{GD-TH} [97],[98]. Σε αυτήν την περίπτωση, υπάρχει μια σημαντική πτώση τάσης μεταξύ υποδοχής και πηγής.

5.2 Κύκλωμα ελέγχου διπλού παλμού στην ανάστροφη αγωγή

Τα δύο παράλληλα συνδεδεμένα SiC-JFET αξιολογούνται σε ένα κύκλωμα ελέγχου διπλού παλμού (double pulse tester- DPT), που παρουσιάζεται στο Σχήμα 5.1. Η πειραματική διάταξη χρησιμοποιεί δύο AC-coupled κυκλώματα οδήγησης των πυλών με ρυθμιζόμενη θετική καθώς επίσης και αρνητική τάση πόλωσης [76], [99].

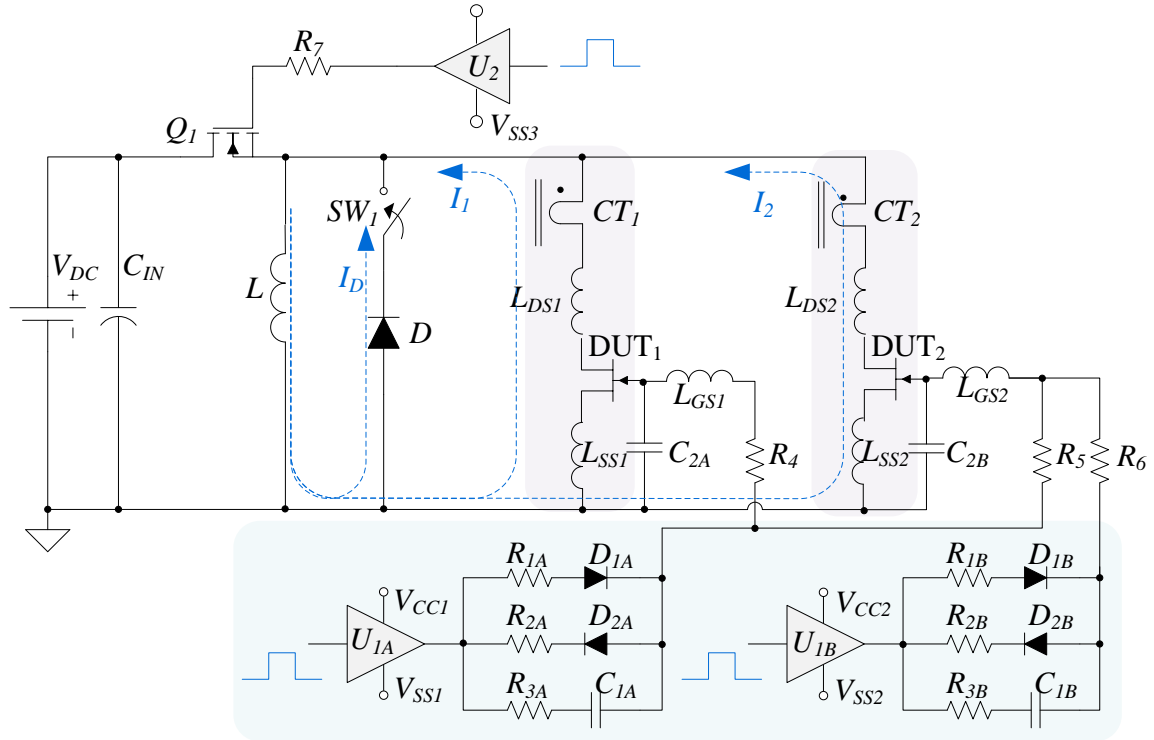
Τα αναπτυσσόμενα κυκλώματα οδήγησης είναι κατάλληλα για Normally-on και Normally-off JFET με πολύ μικρές τροποποιήσεις των τιμών των υλικών τους και μπορούν να βελτιστοποιηθούν τόσο για την ορθή όσο και για την ανάστροφη αγωγή.

Το παραπάνω κύκλωμα οδήγησης έχει την ικανότητα περιορισμού του ανάστροφου ρεύματος της πύλης, σε περίπτωση που η εσωτερική δίοδος μεταξύ πύλης και πηγής, D_{GS} , μπαίνει στην περιοχή του ανάστροφου ρεύματος καταρροής [98],[100].

Το AC-coupled κυκλώματα οδήγησης των πυλών αποτελείται από το ολοκληρωμένο κύκλωμα (IC) IXDD-609, U_{IA} , μαζί με τα παθητικά εξαρτήματα R_{IA} , R_{2A} , R_{3A} , D_{IA} , D_{2A} και C_{IA} . Το δεύτερο AC-coupled κύκλωμα οδήγησης είναι πανομοιότυπο με το πρώτο και αποτελείται από τα εξαρτήματα U_{IB} , R_{1B} , R_{2B} , R_{3B} , D_{1B} , D_{2B} και C_{1B} . Τα κυκλώματα οδήγησης αποτρέπουν την ανάπτυξη υπερβολικού ρεύματος στις πύλες, δεδομένου ότι η αντίσταση R_{IA} (ή R_{1B}) περιορίζει το ρεύμα ορθής πόλωσης των πυλών, ενώ η αντίσταση R_{2A} (ή R_{2B}) περιορίζει το ανάστροφο ρεύμα των πυλών. Οι τιμές των δύο αντιστάσεων μπορούν να βελτιστοποιηθούν προκειμένου να επιτευχθεί ένας συμβιβασμός μεταξύ των απωλειών του κυκλώματος οδήγησης και των διακοπτικών απωλειών και απωλειών αγωγής του JFET [101]. Να σημειωθεί ότι τα τρανζίστορ ισχύος μπορούν να οδηγηθούν από ένα μόνο κύκλωμα οδήγησης, ή από δύο ανεξάρτητα κυκλώματα οδήγησης, με χρήση των μηδενικών αντιστάσεων R_5 και R_6 . Εάν είναι συνδεδεμένη η R_5 ενώ η R_6 είναι ασύνδετη τότε χρησιμοποιείται το κύκλωμα οδήγησης του

U_{IA} και για τα δύο τρανζίστορ ισχύος. Εάν όμως είναι συνδεδεμένη η R_6 ενώ η R_5 είναι ασύνδετη, τότε χρησιμοποιείται το κύκλωμα οδήγησης του U_{IA} για το τρανζίστορ ισχύος που είναι τοποθετημένο στη θέση $DUT1$ και το κύκλωμα οδήγησης του U_{IB} για το τρανζίστορ ισχύος που είναι τοποθετημένο στη θέση $DUT2$.

Και οι δύο τοπολογίες ερευνώνται πειραματικά. Οι τιμές των εξαρτημάτων παρουσιάζονται στον παρακάτω πίνακα (Πίνακας 5.1).



Σχήμα 5.1: Σχηματική αναπαράσταση του κυκλώματος ελέγχου διπλού παλμού στην περίπτωση ανάστροφης αγωγής.

Εξάρτημα	Απλό κύκλωμα οδήγησης	Διπλό κύκλωμα οδήγησης
R_{1A}, R_{1B}	55 Ω	55 Ω
R_{2A}, R_{2B}	120 Ω	120 Ω
R_{3A}, R_{3B}	3.33 Ω	10 Ω
C_{1A}, C_{1B}	47 nF	94 nF

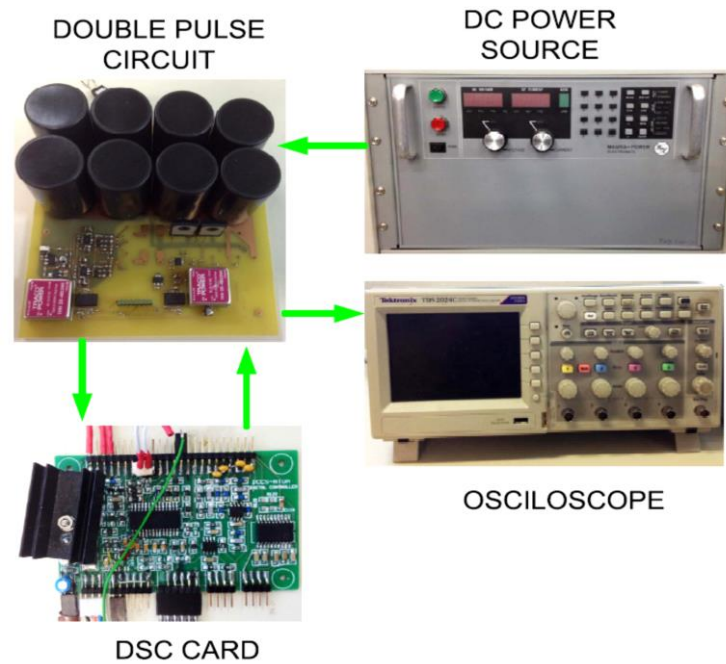
Πίνακας 5.1: Τιμές των εξαρτημάτων για απλό και διπλό κύκλωμα οδήγησης.

Μια ρυθμιζόμενη πηγή συνεχούς τάσης χρησιμοποιείται σε όλα τα πειράματα. Η συστοιχία των πυκνωτών εισόδου αποτελείται από οκτώ πυκνωτές πολυπροπυλενίου, 30 μ F ο καθένας, που συνδέονται παράλληλα. Το φορτίο, L , είναι ένα πηνίο αέρα με αυτεπαγωγή 715 μ H. Ο διακόπτης ισχύος Q_1 είναι ένα SiC MOSFET με $R_{DS-ON}=80$ m Ω και $V_{DS-MAX}=1200$ V. Τα στοιχεία L_{DS1} , L_{GS1} και L_{SS1} αναφέρονται στις παρασιτικές αυτεπαγωγές του τυπωμένου κυκλώματος (PCB) που

περιλαμβάνονται στο αγώγιμο μονοπάτι του DUT_1 , ενώ τα L_{DS2} , L_{GS2} και L_{SS2} αναφέρονται στις παρασιτικές αυτεπαγωγές στο αγώγιμο μονοπάτι του DUT_2 . Οι πυκνωτές απόξευξης C_{2A} και C_{2B} χρησιμοποιούνται για να παρέχουν έναν αγώγιμο δρόμο χαμηλής σύνθετης αντίστασης για τα παρασιτικά ρεύματα, που διαρρέουν τους εσωτερικούς πυκνωτές C_{GD} , κατά τη διάρκεια της μετάβασης στην κατάσταση αποκοπής.

Μια SiC SBD δίοδος, D , συνδέεται εν σειρά με τον διακόπτη, SW_1 , προκειμένου να ερευνηθεί η λειτουργικότητα των συσκευών ισχύος στην ανάστροφη αγωγή με την προσθήκη μιας αντιπαράλληλης δίοδου.

Η πειραματική διάταξη απεικονίζεται στο Σχήμα 5.2 παρακάτω.



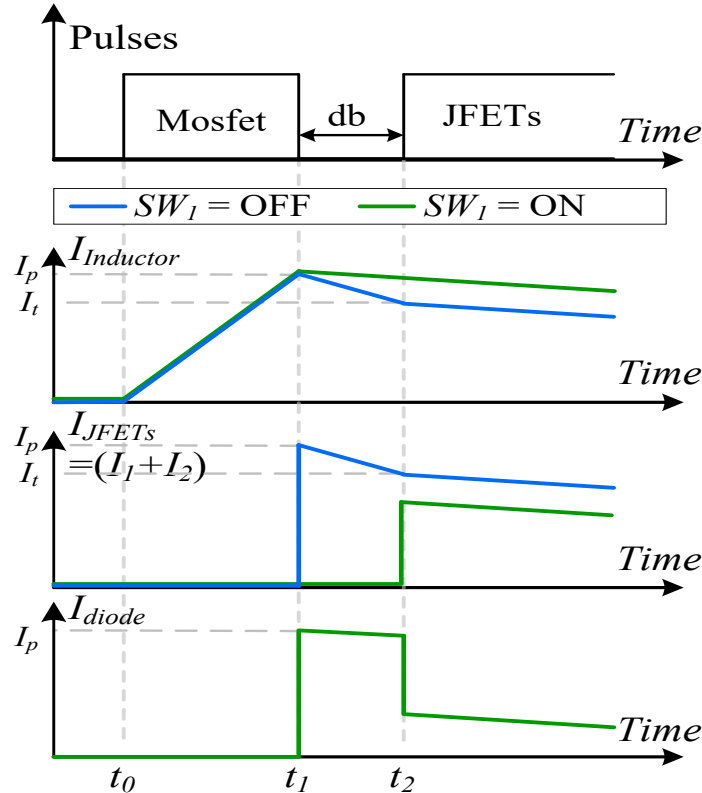
Σχήμα 5.2: Εξοπλισμός της πειραματικής διάταξης.

5.3 Ακολουθία παλμών της τάσης ελέγχου και των ρευμάτων στο κύκλωμα ελέγχου

Το Σχήμα 5.3 παρουσιάζει την ακολουθία των παλμών κάθε ημιαγωγού ισχύος και περιγράφει τη λειτουργία του κυκλώματος σε περίπτωση που η αντιπαράλληλη δίοδος είναι συνδεδεμένη ($SW_1=ON$, πράσινες γραμμές στο Σχήμα 5.3) ή μη συνδεδεμένη ($SW_1=OFF$, μπλε γραμμές στο Σχήμα 5.3).

Ένας παλμός 50 μs εφαρμόζεται αρχικά στον διακόπτη Q_1 , κατά τη διάρκεια της χρονικής περιόδου t_0 έως t_1 και το ρεύμα I_L του πηνίου, που παίζει το ρόλο φορτίου, αυξάνεται γραμμικά. Μόλις αφαιρεθεί ο παλμός του ρεύματος τότε το I_L συνεχίζει να ρέει δια μέσω των SiC JFET μέχρι τη χρονική στιγμή t_2 οπότε και εφαρμόζεται ο παλμός ελέγχου στην πύλη των JFET. Κατά τη διάρκεια της χρονικής περιόδου t_1 έως t_2 , η οποία καλείται νεκρός χρόνος (deadband) και δείχνεται ως db στο Σχήμα 5.3, και τα δύο SiC JFET είναι σε κατάσταση ανάστροφης αγωγής με $V_{GS} < V_{GS-TH}$, και προκαλείται μια γρήγορη μείωση του ρεύματος του πηνίου λόγω της υψηλής πτώσης τάσης πάνω στα JFET. Αυτό το φαινόμενο δεν εμφανίζεται στην περίπτωση που η αντιπαράλληλη δίοδος είναι συνδεδεμένη, λόγω της χαμηλής πτώσης τάσης

της διόδου SBD. Ο νεκρός χρόνος (deadband) εισάγεται για να αποφευχθεί η ταυτόχρονη αγωγή του διακόπτη $Q1$ και των JFET (shoot-through) και ρυθμίζεται σε 1 μ s. Από τη χρονική στιγμή t_2 και μετά, τα JFET άγουν το ανάστροφο ρεύμα ενώ η τάση στην πύλη τους είναι $V_{GS} > V_{GS-TH}$. Το ρεύμα, κατόπιν, διανέμεται μεταξύ των παράλληλα συνδεδεμένων JFET και της αντιπαράλληλης διόδου ($SW_I=ON$). Πρέπει να τονιστεί ότι οι διάφορες χρονικές στιγμές (t_0 , t_1 και t_2) που χωρίζουν τους διαφορετικούς τρόπους λειτουργίας σύμφωνα με το Σχήμα 5.3 συμπεριλαμβάνονται σε όλα τα σχήματα που ακολουθούν και παρουσιάζουν τα πειραματικά αποτελέσματα.



Σχήμα 5.3: Ακολουθία παλμών της τάσης ελέγχου και των ρευμάτων στο κύκλωμα ελέγχου.

5.4 Υπολογισμός των ρευμάτων στην ανάστροφη αγωγή

Η τιμή του ρεύματος αγωγής των JFET κατά τη διάρκεια της ανάστροφης αγωγής μπορεί να προσδιοριστεί με την τροποποίηση των γνωστών εξισώσεων της ορθής αγωγής.

$$I_D = I_{DSS-R} \cdot \left[2 \left(1 - \frac{V_{GD}}{V_{GD-TH}} \right) \left(\frac{V_{DS}}{V_{GD-TH}} \right) - \left(\frac{V_{DS}}{V_{GD-TH}} \right)^2 \right] \quad (5.1)$$

$$I_D = I_{DSS-R} \cdot (1 + \lambda_r \cdot V_{DS}) \left(1 - \frac{V_{GD}}{V_{GD-TH}} \right)^2 \quad (5.2)$$

Οι εξισώσεις (5.1) και (5.2) αναφέρονται στη γραμμική περιοχή και την περιοχή κορεσμού αντίστοιχα [98].

Το I_{DSS-R} είναι το ανάστροφο ρεύμα κόρου και λ_r είναι η παράμετρος διαμόρφωσης μήκους καναλιού, η οποία είναι ίση με την κλίση της κυματομορφής του ρεύματος στον κορεσμό.

Εντούτοις, σε όλες τις εφαρμογές ηλεκτρονικών ισχύος που χρησιμοποιούν SiC JFET, η τάση ελέγχου είναι η V_{GS} και συνεπώς η V_{GD} είναι μια εξαρτώμενη μεταβλητή, ίση με τη διαφορά μεταξύ των V_{GS} και V_{DS} .

5.5 Κατανομή των ρευμάτων στην ανάστροφη αγωγή

Όπως έχει ήδη αναφερθεί, τα JFET άγουν ανάστροφα όταν η αρνητική τάση V_{DS} στην υποδοχή τους γίνει μικρότερη από το αλγεβρικό άθροισμα $V_{GS} - V_{GS-TH}$. Αυτή η τιμή τάσης για τη V_{DS} είναι και η μικρότερη τιμή διαφοράς δυναμικού που αναπτύσσεται πάνω τους όταν το ρεύμα που άγουν ανάστροφα είναι σχεδόν μηδενικό. Γενικά, για οποιαδήποτε τιμή ρεύματος I_D , η πτώση τάσης V_{DS} πάνω σε ένα JFET, του οποίου η τάση στην πύλη του είναι μικρότερη από την τάση κατωφλίου, δίνεται από τον παρακάτω τύπο:

$$V_{DS} = V_{GS} - V_{GS-TH} + I_D \cdot R_{DS-ON(REV)} \quad (5.3)$$

Όπου $R_{DS-ON(REV)}$ είναι η αντίσταση αγωγής του JFET σε ανάστροφη αγωγή και η τιμή του I_D είναι αρνητική όταν το ρεύμα ρέει με κατεύθυνση από την πηγή προς την υποδοχή.

Εάν δυο JFET είναι συνδεδεμένα παράλληλα τότε έχουν ίδια τιμή τάσης V_{DS} οπότε ισχύει η παρακάτω σχέση:

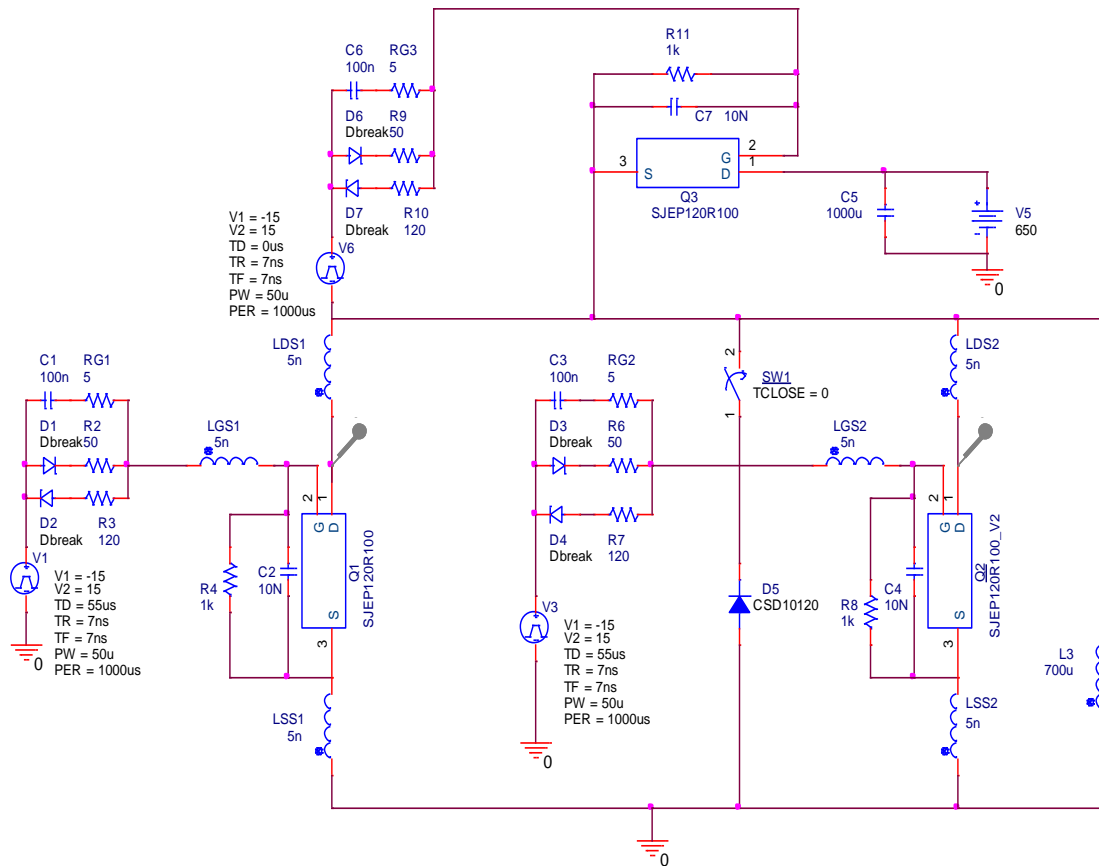
$$V_{GS1} - V_{GS-TH1} + I_{D1} \cdot R_{DS-ON(REV)1} = V_{GS2} - V_{GS-TH2} + I_{D2} \cdot R_{DS-ON(REV)2} \quad (5.4)$$

Από τη σχέση (5.4) προκύπτει το συμπέρασμα ότι εάν τα δύο παραλληλισμένα JFET έχουν παρόμοιες τιμές $R_{DS-ON(REV)}$, τότε στο JFET το οποίο έχει τη μεγαλύτερη κατ' απόλυτη τιμή τάση κατωφλίου ρέει το μεγαλύτερο κατ' απόλυτη τιμή ρεύμα. Επίσης η διαφορά των ρευμάτων των δύο JFET είναι αντιστρόφως ανάλογη με την τιμή της αντίστασης $R_{DS-ON(REV)}$. Επομένως, στα πειράματα που θα ακολουθήσουν αναμένεται ότι τα Normally-on JFET τα οποία έχουν μικρότερη τιμή $R_{DS-ON(REV)}$ θα αναπτύσσουν μεγαλύτερες διαφορές στην κατανομή των ρευμάτων τους.

Για την επαλήθευση των παραπάνω θεωρητικών συμπερασμάτων θα χρησιμοποιηθούν μελέτες προσομοιώσεων με το OrCAD PSpice για τα Normally-off JFET ενώ για τα Normally-on JFET θα χρησιμοποιηθούν κυρίως πειραματικά αποτελέσματα έτσι ώστε να υπάρχει μελέτη όλων των περιπτώσεων χωρίς περιττές επαναλήψεις.

5.6 Προσομοιώσεις παράλληλης σύνδεσης με ανάστροφη αγωγή

Η μελέτη της παράλληλης σύνδεσης των SiC JFET σε ανάστροφη αγωγή θα γίνει αρχικά μέσω του προγράμματος προσομοιώσεων OrCAD PSpice. Για την πραγματοποίηση των προσομοιώσεων σχεδιάστηκε στο OrCAD PSpice το κύκλωμα που φαίνεται στο Σχήμα 5.4 παρακάτω και είναι παρόμοιο κύκλωμα με το κύκλωμα ελέγχου διπλού παλμού που έχει ήδη παρουσιαστεί.



Σχήμα 5.4: Σχέδιο κυκλώματος προσομοιώσεων παράλληλης σύνδεσης σε ανάστροφη αγωγή.

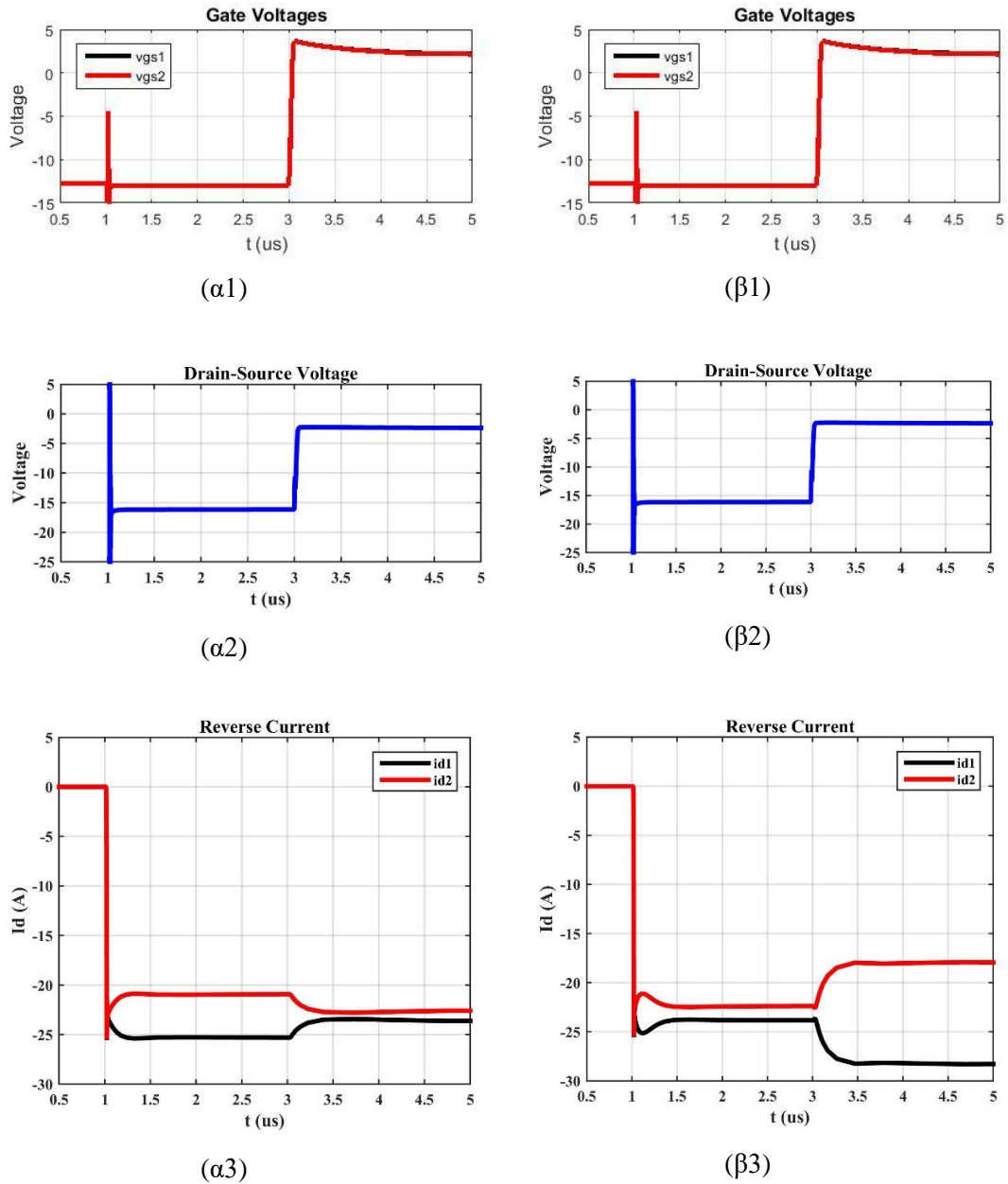
5.6.1 Επιρροή της ανοχής της τάσης κατωφλίου στον καταμερισμό των ρευμάτων.

Στην επόμενη προσομοίωση χρησιμοποιήθηκε το μοντέλο του Normally-off JFET, και δόθηκαν διαφορετικές τιμές για την τάση κατωφλίου πύλης στα δυο παράλληλα συνδεδεμένα JFET. Πιο συγκεκριμένα, οι τιμές που δόθηκαν ήταν $V_{TO1} = 0.9V$ για το $Q1$ και $V_{TO2} = 1.2V$ για το $Q2$. Ο διακόπτης $SW1$ ήταν σε κατάσταση OFF δηλ. η αντιπαράλληλη δίοδος ήταν ασύνδετη.

Κατά την προσομοίωση, τη χρονική στιγμή $t_1 = 1 \mu s$, ο διακόπτης $Q3$ γίνεται OFF οπότε το πηνίο $L3$ εκφορτίζεται δια μέσω των $Q1$ και $Q2$ τα οποία είναι συνδεδεμένα παράλληλα και τα οποία άγουν ανάστροφα, ενώ ταυτόχρονα η τάση στην πύλη τους είναι μικρότερη από την τάση κατωφλίου. Στη συνέχεια, κατά τη χρονική στιγμή $t_2 = 3 \mu s$, η τάση στις πύλες του $Q1$ και $Q2$ γίνεται μεγαλύτερη από την τάση κατωφλίου.

Η κυματομορφή της τάσης στις πύλες του $Q1$ και $Q2$ φαίνεται στο Σχήμα 5.5 (α1). Από την κυματομορφή αυτή προκύπτει ότι το χαμηλό όριο της τάσης οδήγησης, ακριβώς πάνω στους ακροδέκτες των πυλών, είναι $-13V$.

Οι κυματομορφές της τάσης στην υποδοχή του $Q1$ και $Q2$ και των ρευμάτων που τα διαρρέουν φαίνονται στο Σχήμα 5.5(α2) και στο Σχήμα 5.5(α3) αντίστοιχα.



Σχήμα 5.5: (α1),(α2),(α3) V_{GS} , V_{DS} , I_D αντίστοιχα για διαφορετικό V_{TO} , (β1),(β2),(β3) V_{GS} , V_{DS} , I_D αντίστοιχα για διαφορετικό $R_{DS-ON(REV)}$.

Η μελέτη αυτών των κυματομορφών θα χωριστεί σε δύο φάσεις:

A) Χρόνος μεταξύ t_1 και t_2 ($V_{GS} < V_{GS-TH}$)

Σύμφωνα με τη σχέση (5.3) το JFET1 αρχίζει να άγει όταν η τάση V_{DS1} γίνει μικρότερη από -13.9V ($= -13\text{V} - 0.9\text{V}$) ενώ το JFET3 άγει όταν η τάση V_{DS2} γίνει αποκτήσει τιμή μικρότερη από -14.2V ($= -13\text{V} - 1.2\text{V}$). Όταν μέσα από τα JFET ρέει ανάστροφο ρεύμα, τότε στις τάσεις αυτές προστίθεται και η τάση που αναπτύσσεται πάνω στην αντίσταση $R_{DS-ON(REV)}$ η τιμή της οποίας είναι $100\text{m}\Omega$ και για τα δύο JFET.

Όπως προκύπτει από το Σχήμα 5.5(α3), το ανάστροφο ρεύμα του JFET1 είναι 25A ενώ το ανάστροφο ρεύμα του JFET2 είναι 23A οπότε επαληθεύεται η σχέση (5.4) διότι:

$$V_{GS1} - V_{GS-TH1} + I_{D1} \cdot R_{DS-ON(REV)1} = -13V - 0.9V - 25 \cdot 0.1V = 16.4V,$$

$$V_{GS2} - V_{GS-TH2} + I_{D2} \cdot R_{DS-ON(REV)2} = -13V - 1.2V - 22 \cdot 0.1V = 16.4V.$$

Επίσης, από το Σχήμα 5.5(α2) προκύπτει ότι η ανάστροφη τάση που αναπτύσσεται πάνω στα παραλληλισμένα JFET είναι και αυτή ίση με 16.4V.

B) Χρόνος μεγαλύτερος από t_2 ($V_{GS} > V_{GS-TH}$)

Κατά τη διάρκεια του χρόνου που η τάση στην πύλη των δύο JFET είναι μεγαλύτερη από την τάση κατωφλίου, η απόκλιση των ρευμάτων ελαττώνεται σημαντικά και εξαρτάται κυρίως από την τιμή της αντίστασης αγωγής $R_{DS-ON(REV)}$. Ο επηρεασμός της κατανομής των ρευμάτων λόγω της διαφοράς της τιμής των τάσεων κατωφλίου είναι πολύ μικρός και σχετίζεται με τη μεταβολή της τιμής των αντιστάσεων αγωγής των JFET. Επίσης, επειδή η αντίσταση αγωγής έχει θετικό θερμοκρασιακό συντελεστή, στα πρακτικά κυκλώματα θα υπάρχει αυτόματη εξισορρόπηση των ρευμάτων των παράλληλων JFET.

5.6.2 Επιρροή της ανοχής της αντίστασης ανάστροφης αγωγής στον καταμερισμό των ρευμάτων.

Το ίδιο ακριβώς πείραμα επαναλαμβάνεται με τις τάσεις κατωφλίου των πυλών να έχουν την ίδια τιμή και να διαφέρουν οι αντιστάσεις ανάστροφης αγωγής. Πιο συγκεκριμένα, το JFET1 έχει $R_{DS-ON(REV)1}$ ίσο με 100 mΩ και το JFET2 έχει $R_{DS-ON(REV)2}$ ίσο με 130 mΩ.

Στην παρούσα περίπτωση, η κυματομορφή της τάσης στις πύλες του Q1 και Q2 φαίνεται στο Σχήμα 5.5(β1), ενώ οι κυματομορφές της τάσης στην υποδοχή τους και των ρευμάτων που τα διαρρέουν φαίνονται στο Σχήμα 5.5(β2) και στο Σχήμα 5.5(β3) αντίστοιχα.

Από τα σχήματα προκύπτει ότι κατά τη διάρκεια του χρόνου μεταξύ t_1 και t_2 τα ρεύματα διαφέρουν λίγο. Αυτό συμβαίνει διότι στη φάση αυτή, όπως έχει ήδη αναφερθεί, το χαρακτηριστικό που επηρεάζει κυρίως την κατανομή των ρευμάτων είναι η τιμή της τάσης κατωφλίου η οποία είναι ίδια και για το δυο JFET. Η τιμή της αντίστασης αγωγής, παρόλο που διαφέρει σημαντικά, έχει πολύ μικρή επιρροή την κατανομή των ρευμάτων σε αυτή τη φάση λειτουργίας.

Αντίθετα, όταν ο χρόνος είναι μεγαλύτερος από t_2 , τότε τα ρεύματα διαφέρουν σημαντικά, διότι το χαρακτηριστικό που επηρεάζει κυρίως την κατανομή των ρευμάτων είναι η τιμή της αντίστασης αγωγής.

Η κυματομορφή της τάσης V_{DS} είναι όμοια με την τάση που εμφανίζεται και στην προηγούμενη προσομοίωση.

5.6.3 Εξισορρόπηση των ρευμάτων

Όπως φάνηκε στις προσομοιώσεις, οι παράγοντες που καθορίζουν την κατανομή των ρευμάτων είναι διαφορετικοί ανάλογα με τον τρόπο αγωγής των JFET. Όταν ο χρόνος είναι μεγαλύτερος από t_2 , τότε η αντίσταση ανάστροφης αγωγής έχει τον καθοριστικό ρόλο. Όμως, βάσει των δεδομένων των κατασκευαστών, η απόκλιση των τιμών των αντιστάσεων ανάστροφης αγωγής είναι σχετικά μικρή και επομένως, η απόκλιση των ρευμάτων λόγω αυτού του συντελεστή θα είναι μικρή. Επίσης, λόγω του θετικού θερμοκρασιακού συντελεστή, η κατανομή των ρευμάτων τείνει να εξισορροπηθεί αυτόματα επειδή το JFET του άγει το

μεγαλύτερο ρεύμα θερμαίνεται περισσότερο και άρα η αντίσταση αγωγής του μεγαλώνει. Τέλος, άλλος ένας σημαντικός παράγοντας για τη λειτουργία των JFET σε παράλληλη σύνδεση και ανάστροφη αγωγή είναι ότι η πτώση τάσης πάνω στα JFET είναι πολύ μικρή όταν ο χρόνος είναι μεγαλύτερος από t_2 και επομένως, η διαφορά ισχύος που καταναλώνεται πάνω τους είναι επίσης πολύ μικρή. Ως εκ τούτου, η λειτουργία σε αυτή τη φάση κρίνεται απόλυτα ασφαλής και δεν απαιτείται κάποιος ιδιαίτερος χειρισμός των παραλληλισμένων JFET.

Όμως, κατά τη διάρκεια του χρόνου μεταξύ t_1 και t_2 , όπου η τάση στην πύλη είναι μικρότερη από την τάση κατωφλιού, η τάση που αναπτύσσεται πάνω στα δύο JFET είναι πολύ μεγάλη και κατά συνέπεια, η ισχύς που καταναλώνεται πάνω τους είναι πολύ μεγάλη. Οπότε, αν υπάρχει μεγάλη διαφορά στα ρεύματα που ρέουν στα JFET, τότε η ισχύς που καταναλώνεται πάνω τους είναι άνισα κατανεμημένη με αποτέλεσμα κάποιο από τα δύο JFET να διατρέχει τον κίνδυνο να βγει εκτός της περιοχής ασφαλούς λειτουργίας (Safe Operating Area - SOA) και για τον λόγο αυτόν, κρίνεται απαραίτητο να ληφθούν μέτρα για την εξισορρόπηση των ρευμάτων.

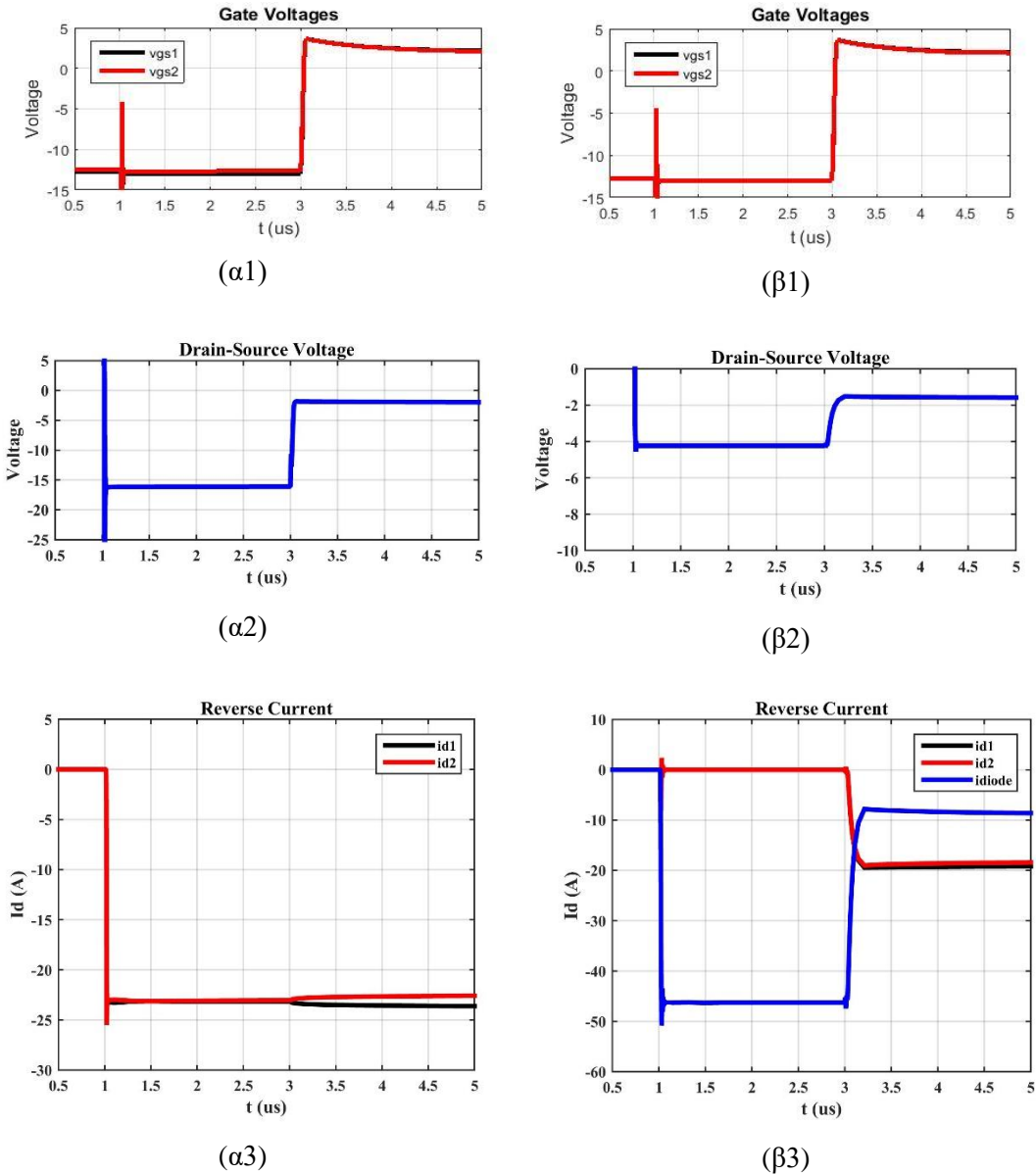
Στη συνέχεια, θα αναπτυχθούν δυο διαφορετικές μέθοδοι εξισορρόπησης των ρευμάτων κατά το χρονικό αυτό διάστημα. Στην πρώτη περίπτωση, η εξισορρόπηση των ρευμάτων γίνεται ελαττώνοντας κατ' απόλυτη τιμή την τάση στην πύλη του JFET που άγει το μικρότερο ρεύμα ενώ στη δεύτερη περίπτωση, το πρόβλημα λύνεται με την προσθήκη μιας αντιπαράλληλης διόδου. Ο έλεγχος της λειτουργικότητας των παραπάνω μεθόδων θα γίνει μέσω προσομοιώσεων των οποίων τα αποτελέσματα παρουσιάζονται παρακάτω.

A) Εξισορρόπηση των ρευμάτων με έλεγχο της τάσης στις πύλες των JFET

Στην επόμενη προσομοίωση, χρησιμοποιήθηκε το μοντέλο του Normally-off JFET, και δόθηκαν διαφορετικές τιμές στην τάση των κυκλωμάτων οδήγησης για τα δύο παράλληλα συνδεδεμένα JFET. Πιο συγκεκριμένα, οι τιμές που δόθηκαν ήταν -15V για το κύκλωμα οδήγησης του $Q1$ και -14.65V για το κύκλωμα οδήγησης του $Q2$. Επίσης, οι τιμές που δόθηκαν για την τάση κατωφλιού πύλης ήταν $V_{TO1} = 0.9\text{V}$ για το $Q1$ και $V_{TO2} = 1.2\text{V}$ για το $Q2$ δηλ. η διαφορά τους ήταν $1.2\text{V} - 0.9\text{V} = 0.3\text{V}$. Ο διακόπτης $SW1$ ήταν σε κατάσταση OFF δηλ. η αντιπαράλληλη διάδος ήταν ασύνδετη.

Η κυματομορφή της τάσης στις πύλες του $Q1$ και $Q2$ φαίνεται στο Σχήμα 5.6(a1). Από την κυματομορφή αυτή, προκύπτει ότι το χαμηλό όριο της τάσης οδήγησης, ακριβώς πάνω στον ακροδέκτη της πύλης είναι -13V για το JFET1 και -12.7V για το JFET2. Συνεπώς, η διαφορά της τάσης πόλωσης των πυλών είναι $-13\text{V} - (-12.7\text{V}) = 0.3\text{V}$ η οποία είναι ίση με τη διαφορά των τιμών της τάσης κατωφλιού των JFET.

Η κυματομορφή της τάσης στην υποδοχή των $Q1$ και $Q2$ φαίνεται στο Σχήμα 5.6(a2) και είναι σχεδόν όμοια με την κυματομορφή που δείχνει το Σχήμα 5.5(a2). Προκύπτει λοιπόν το συμπέρασμα ότι η εφαρμογή της συγκεκριμένης τεχνικής εξισορρόπησης των ρευμάτων δεν επηρεάζει την πτώση τάσης που αναπτύσσεται πάνω στα παραλληλισμένα JFET.



Σχήμα 5.6: (α1),(α2),(α3) V_{GS} , V_{DS} , I_D αντίστοιχα με την τεχνική της εξισορρόπησης, (β1),(β2),(β3) V_{GS} , V_{DS} , I_D αντίστοιχα με αντιπαράλληλη δίοδο.

Εντούτοις, οι κυματομορφές των ρευμάτων που διαρρέουν τα παραλληλισμένα JFET και οι οποίες παρουσιάζονται στο Σχήμα 5.6 (α3) δείχνουν ότι τα ρεύματα έχουν εξισορροπηθεί πλήρως στο χρονικό διάστημα μεταξύ t_1 και t_2 .

Β) Εξισορρόπηση των ρευμάτων με αντιπαράλληλη δίοδο

Στην επόμενη προσομοίωση χρησιμοποιήθηκε το μοντέλο του Normally-off JFET, και η τάση των κυκλωμάτων οδήγησης ήταν -15V για τα δύο παράλληλα συνδεδεμένα JFET. Επίσης, οι τιμές που δόθηκαν για την τάση κατωφλίου πύλης ήταν $V_{TO1} = 0.9V$ για το $Q1$ και $V_{TO2} = 1.2V$ για το $Q2$. Ο διακόπτης $SW1$ ήταν σε κατάσταση ON δηλ. η αντιπαράλληλη δίοδος ήταν συνδεδεμένη.

Η κυματομορφή της τάσης στις πύλες του $Q1$ και $Q2$ φαίνεται στο Σχήμα 5.6(β1). Όπως φαίνεται, το χαμηλό όριο της τάσης οδήγησης ακριβώς πάνω στους ακροδέκτες της πύλης είναι $-13V$ και για τα δύο JFET.

Η κυματομορφή της τάσης στην υποδοχή των $Q1$ και $Q2$ φαίνονται στο Σχήμα 5.6(β2) και δείχνει ότι η πτώση τάσης πάνω στα JFET κατά το χρονικό διάστημα μεταξύ t_1 και t_2 είναι $4V$ περίπου και είναι πολύ μικρότερη από την πτώση τάσης χωρίς αντιπαράλληλη δίοδο.

Οι κυματομορφές των ρευμάτων που διαρρέουν τα παραλληλισμένα JFET και την αντιπαράλληλη δίοδο παρουσιάζονται στο Σχήμα 5.6 (β3). Είναι φανερό ότι στο χρονικό διάστημα μεταξύ t_1 και t_2 το ανάστροφο ρεύμα ρέει όλο μέσα από την αντιπαράλληλη δίοδο ενώ για χρόνο μεγαλύτερο από t_2 , η πλειονότητα του ρεύματος ρέει μέσα από τα δύο παραλληλισμένα JFET. Μέσα από την αντιπαράλληλη δίοδο ρέει ένα πολύ μικρό τμήμα του ρεύματος. Αυτό δείχνει ότι, στη φάση αυτή, η αντίσταση ανάστροφης αγωγής των JFET είναι μικρότερη από τη δυναμική αντίσταση της διόδου. Επομένως, η τοποθέτηση της αντιπαράλληλης διόδου λύνει ταυτόχρονα το πρόβλημα της ανισοκατανομής των ρευμάτων και το πρόβλημα της μεγάλης πτώσης τάσης πάνω στα παραλληλισμένα JFET.

5.7 Πειραματικές μετρήσεις ανάστροφης αγωγής με $V_{GS} < V_{GS-TH}$.

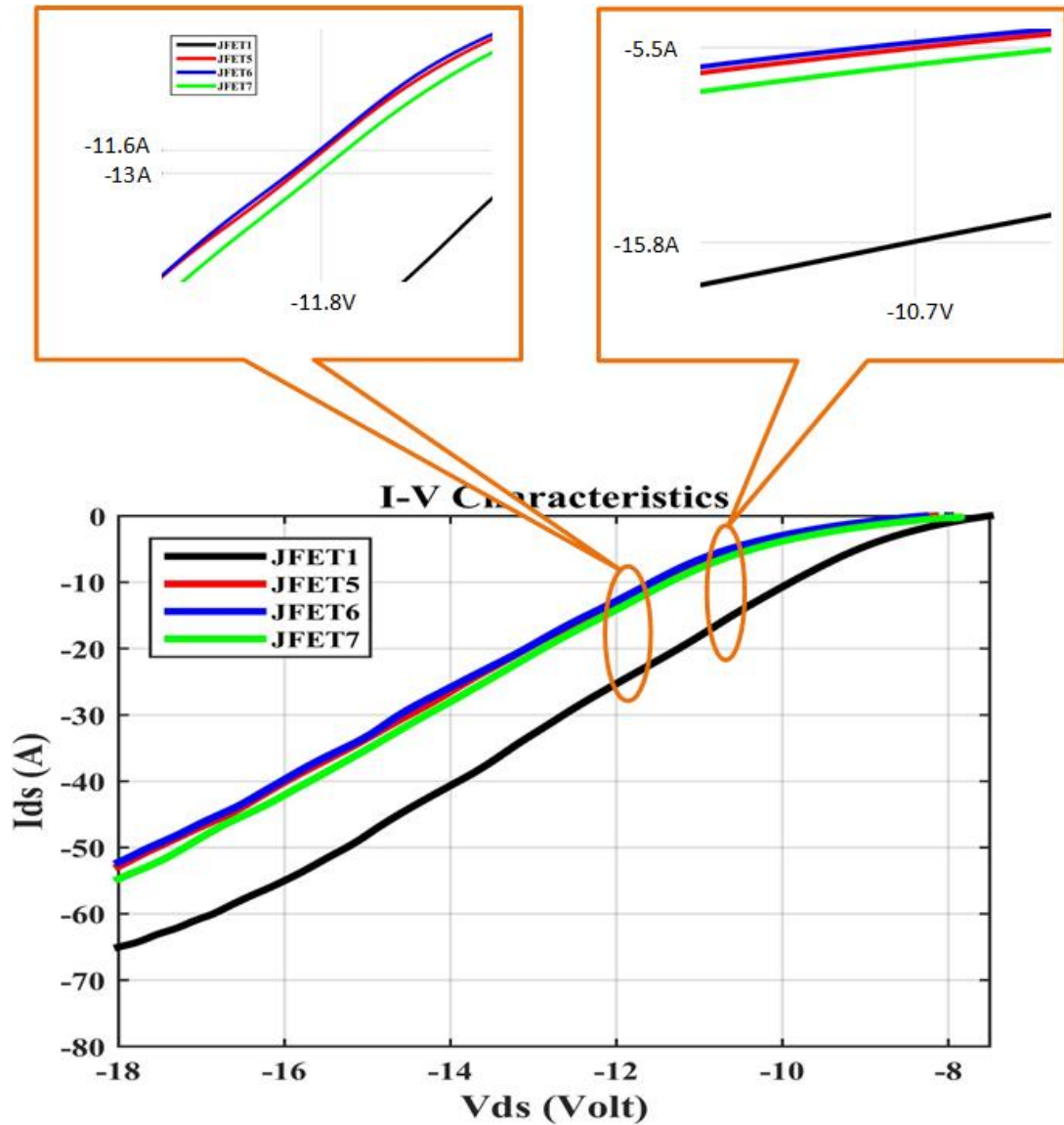
5.7.1 Πειραματική διάταξη

Το κύκλωμα ελέγχου διπλού παλμού στο Σχήμα 5.1 χρησιμοποιείται για την αξιολόγηση δύο παράλληλα συνδεδεμένων SiC JFET. Ένας παλμός $50 \mu s$ εφαρμόζεται αρχικά στον διακόπτη $Q1$ κατά τη διάρκεια της χρονικής περιόδου t_0 έως t_1 και το ρεύμα I_L του πηνίου, που παίζει το ρόλο φορτίου, αυξάνεται γραμμικά. Μόλις αφαιρεθεί ο παλμός ρεύματος, τότε το I_L συνεχίζει να ρέει δια μέσω των SiC JFET τα οποία τα εξαναγκάζει σε ανάστροφη αγωγή ενώ ταυτόχρονα, η τάση ελέγχου της πύλης V_{GS} είναι χαμηλότερη από το V_{GS-TH} . Η αντιπαράλληλη δίοδος είναι αποσυνδεδεμένη ($SW_1 = OFF$)[76].

5.7.2 Μελέτη των πειραματικών I-V χαρακτηριστικών

Όπως είχε φανεί στο κεφάλαιο 3 και, πιο συγκεκριμένα, όπως δείχνουν το Σχήμα 3.29 και ο Πίνακας 3.7, υπάρχει μια σημαντική απόκλιση των χαρακτηριστικών μεταφοράς και των τιμών των παραμέτρων των JFET που μετρήθηκαν πειραματικά.

Για τα επόμενα πειράματα θα επιλεγούν δύο ζεύγη JFET. Το πρώτο ζεύγος αποτελείται από το JFET No1 και το JFET No5 τα οποία έχουν μεγάλη διαφορά στις χαρακτηριστικές ανάστροφης μεταφοράς ενώ το δεύτερο ζεύγος αποτελείται από το JFET No6 και το JFET No7 τα οποία έχουν σχεδόν όμοιες χαρακτηριστικές ανάστροφης μεταφοράς. Τα JFET του κάθε ζεύγους συνδέονται παράλληλα σε λειτουργία ανάστροφης αγωγής και μελετάται ο καταμερισμός των ρευμάτων τους. Οι χαρακτηριστικές ανάστροφης μεταφοράς των τεσσάρων JFET μετρήθηκαν πειραματικά και εμφανίζονται στο Σχήμα 5.7 παρακάτω. Στο ίδιο σχήμα εμφανίζονται σε μεγέθυνση δύο περιοχές για μεγαλύτερη ανάλυση και ευκολότερη κατανόηση των παρατηρήσεων που θα ακολουθήσουν.



Σχήμα 5.7: Χαρακτηριστικές ανάστροφης αγωγής.

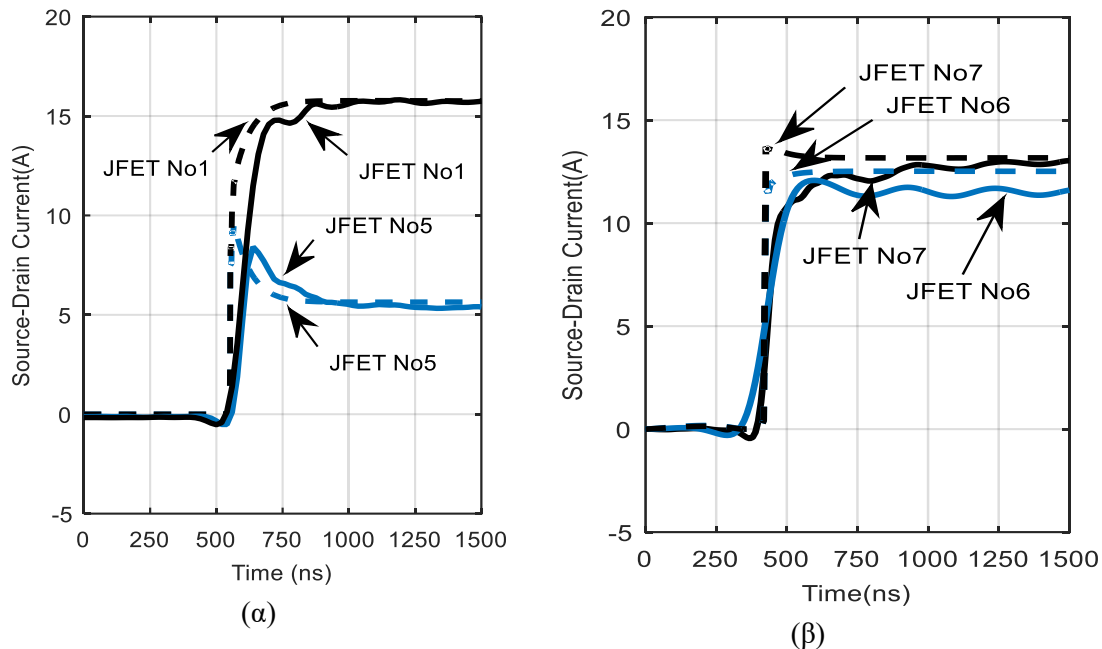
Όπως φαίνεται στο σχήμα αυτό, υπάρχει μια σημαντική απόκλιση των χαρακτηριστικών μεταφοράς μεταξύ των JFET No1 και No5 και συνάγεται το συμπέρασμα ότι εάν η ίδια τάση V_{DS} εφαρμοστεί και στα δύο τρανζίστορ, τότε το μεγαλύτερο μέρος του ρεύματος που θα αναπτυχθεί θα ρέει δια μέσω του JFET No1.

Από την άλλη πλευρά, τα JFET No6 και JFET No7 έχουν αρκετά παρόμοιες $I-V$ χαρακτηριστικές καμπύλες.

Για να φανεί καλύτερα η επίδραση της απόκλισης των παραμέτρων των JFET, γίνεται εστίαση στην περιοχή όπου η τάση V_{DS} έχει τιμή ίση με -10.7 V. Σε αυτήν την περίπτωση, στα JFETs No5, No6 και No7 αντιστοιχεί ρεύμα περίπου 5.5 A, ενώ στο JFET No1 αντιστοιχεί ρεύμα περίπου 15.8 A.

5.7.3 Μελέτη της κατανομής των ρευμάτων

Οι κυματομορφές των ρευμάτων, κατά τη μετάβαση από την κατάσταση αποκοπής στην κατάσταση ανάστροφης αγωγής των JFETs No1 και No5 τα οποία έχουν διαφορετικές στατικές χαρακτηριστικές μεταφοράς και το ίδιο κύκλωμα οδήγησης U_{IA} , φαίνονται στο Σχήμα 5.8(α).



Σχήμα 5.8: Πειραματικά αποτελέσματα (συμπαγείς γραμμές) και αποτελέσματα προσομοίωσης (διακεκομμένες γραμμές) της κατανομής των ρευμάτων σε ανάστροφη αγωγή με $V_{GS} < V_{GS-TH}$, (α) JFET No1 και No5, (β) JFET No6 και No7.

Τα πειραματικά αποτελέσματα επιβεβαιώνουν την άνιση κατανομή των ρευμάτων λόγω των διαφορών στις διαγωγιμότητές τους και στα διαφορετικά V_{GD-TH} . Είναι επίσης εμφανές ότι η απόκλιση μεταξύ των αντίστροφων ρευμάτων αναπτύσσεται ομαλά με το πέρασμα του χρόνου. Το Σχήμα 5.8(β) παρουσιάζει την κατανομή των ρευμάτων των παράλληλα συνδεδεμένων JFETs No6 και No7 με παρόμοιες στατικές χαρακτηριστικές μεταφοράς και με το ίδιο κύκλωμα οδήγησης, οπότε σε αυτή την περίπτωση, η κατανομή των ρευμάτων είναι σχεδόν παρόμοια.

Οι κατανομές των ρευμάτων συμφωνούν με αυτές που αναμενόταν από τις $I-V$ χαρακτηριστικές. Οι ελάχιστες διαφορές που παρατηρούνται αποδίδονται στις άνισες αντιστάσεις των αγώγιμων δρόμων του PCB.

Τα πειράματα που παρουσιάζονται στο Σχήμα 5.8 συνοδεύονται από τα αποτελέσματα προσομοίωσης από το OrCAD PSpice. Διαφορετικές τιμές για τη διαγωγιμότητα και για το V_{GD-TH} χρησιμοποιούνται για τα JFET No1 και No5 (Το g_m είναι ίσο με 16 και 48 και το V_{GD-TH} είναι ίσο με -7,6 V και -6,3 V αντίστοιχα). Παρόμοιες τιμές διαγωγιμότητας 16 και 18 εφαρμόζονται για τα JFET No6 και No7 αντίστοιχα.

5.7.4 Κατανομή των απωλειών αγωγής

A) Ζεύγος των JFET με ανόμοιες χαρακτηριστικές μεταφοράς

Από το Σχήμα 5.7 και το Σχήμα 5.8(α) θα υπολογιστούν οι απώλειες αγωγής για το ζεύγος των JFET που έχουν ανόμοιες χαρακτηριστικές μεταφοράς.

Οι απώλειες αγωγής του JFET No1 είναι:

$$P_{COND-JFET1} = (10.7 \cdot 15.8) \text{ Watt} = 169 \text{ Watt} \quad (5.5)$$

ενώ οι απώλειες αγωγής του JFET No5 είναι:

$$P_{COND-JFET5} = (10.7 \cdot 5.5) \text{ Watt} = 59 \text{ Watt} \quad (5.6)$$

Από τους παραπάνω υπολογισμούς προκύπτει ότι οι απώλειες του JFET No5 είναι περίπου τρεις φορές χαμηλότερες από τις απώλειες του JFET No1 και είναι ιδιαίτερα πιθανό ότι το τελευταίο θα λειτουργήσει έξω από την περιοχή ασφαλούς λειτουργίας (safe operating area - SOA) και θα καταστραφεί.

B) Ζεύγος των JFET με παρόμοιες χαρακτηριστικές μεταφοράς

Αντίστοιχα από το Σχήμα 5.7 και το Σχήμα 5.8(β) θα υπολογιστούν οι απώλειες αγωγής για το ζεύγος των JFET που έχουν παρόμοιες χαρακτηριστικές μεταφοράς.

Οι απώλειες αγωγής του JFET No6 είναι:

$$P_{COND-JFET6} = (11.6 \cdot 11.8) \text{ Watt} = 136 \text{ Watt} \quad (5.7)$$

ενώ οι απώλειες αγωγής του JFET No7 είναι:

$$P_{COND-JFET7} = (13 \cdot 11.8) \text{ Watt} = 153.4 \text{ Watt} \quad (5.8)$$

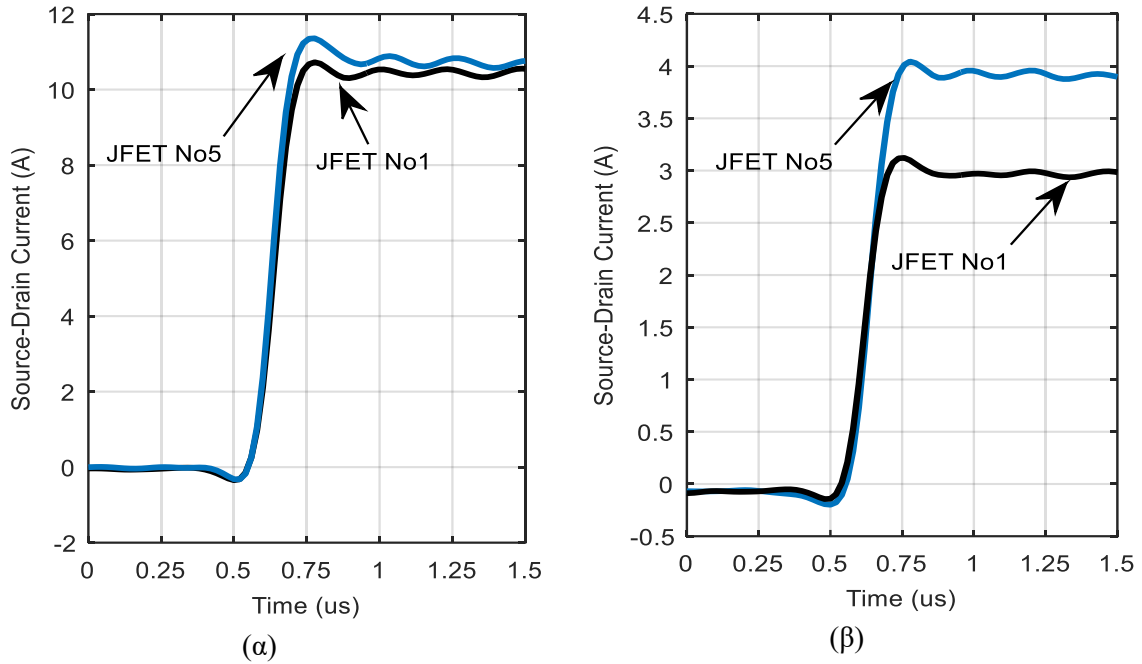
Από τους παραπάνω υπολογισμούς προκύπτει ότι οι απώλειες των δύο αυτών JFET δεν έχουν μεγάλη διαφορά μεταξύ τους.

5.7.5 Εξισορρόπηση των ρευμάτων

Από την προηγούμενη ανάλυση είναι προφανές ότι πρέπει να ληφθούν μέτρα προστασίας για τις συσκευές ισχύος, είτε με την ανάπτυξη ενός κυκλώματος εξισορρόπησης των ρευμάτων, είτε με την προσθήκη μιας εξωτερικής αντιπαράλληλης διόδου. Μια τεχνική για να επιτευχθεί η εξισορρόπηση των ρευμάτων είναι να ρυθμιστούν ανεξάρτητα οι τάσεις ελέγχου των πυλών τους, κατά τη διάρκεια της αντίστροφης αγωγής. Πιο συγκεκριμένα, μια μείωση της απόλυτης τιμής της τάσης που εφαρμόζεται στην πύλη του JFET που άγει το μικρότερο ρεύμα είναι απαραίτητη.

Το Σχήμα 5.9 παρουσιάζει την κατανομή των ρευμάτων μεταξύ των JFET No1 και No5, μετά από εφαρμογή τάσης $V_{SS1} = -15 \text{ V}$ και $V_{SS2} = -13.09 \text{ V}$ στην πύλη αυτών των δειγμάτων αντίστοιχα. Οι απώλειες αγωγής του κάθε JFET είναι:

$$P_{COND-JFET1} = P_{COND-JFET5} = 10.65 \cdot 11.6 \text{ Watt} = 123.5 \text{ Watt} \quad (5.9)$$



Σχήμα 5.9: Εξαναγκασμένη εξισορρόπηση των ρευμάτων σε ανάστροφη αγωγή με $V_{GS}<V_{GS-TH}$,
 (α) $V_{DS}=300V$, (β) $V_{DS}=100V$.

Πειραματικά διαπιστώθηκε ότι η αλλαγή της θερμοκρασίας του περιβλήματος των δύο τρανζίστορ από $25^{\circ}C$ σε $150^{\circ}C$ δεν έχει καμία επίδραση στην εξαναγκασμένη εξισορρόπηση των ρευμάτων. Επίσης η μεταβολή της DC τάσης εισόδου, δεν ασκεί σημαντική επίδραση στην εξαναγκασμένη εξισορρόπηση των ρευμάτων, όπως εμφανίζεται στο Σχήμα 5.9(β).

Επομένως, μπορεί να εξαχθεί το συμπέρασμα ότι οι τάσεις ελέγχου των πυλών μπορούν να ρυθμιστούν μια φορά κατά τη διάρκεια του πρώτου ελέγχου των προϊόντων και να αναμένεται ότι η εξισορρόπηση των ρευμάτων θα παραμείνει σε αποδεκτό επίπεδο υπό οποιεσδήποτε συνθήκες λειτουργίας. Όμως, το κύκλωμα εξαναγκασμένης εξισορρόπησης των ρευμάτων σε ανάστροφη αγωγή είναι αρκετά περίπλοκο και δαπανηρό, επειδή απαιτείται η δυνατότητα ρύθμισης των τάσεων V_{SS} για όλα τα κυκλώματα οδήγησης.

5.8 Πειραματικές μετρήσεις ανάστροφης αγωγής με $V_{GS} > V_{GS-TH}$.

5.8.1 Πειραματική διάταξη

Το κύκλωμα ελέγχου διπλού παλμού στο Σχήμα 5.1 χρησιμοποιείται για την αξιολόγηση δύο παράλληλα συνδεδεμένων SiC JFET. Ένας παλμός 50 μs εφαρμόζεται αρχικά στο διακόπτη Q_1 , κατά τη διάρκεια της χρονικής περιόδου t_0 έως t_1 και το ρεύμα I_L του πηνίου, που παίζει το ρόλο φορτίου, αυξάνεται γραμμικά. Μόλις αφαιρεθεί ο παλμός του ρεύματος τότε το I_L συνεχίζει να ρέει δια μέσω των SiC JFET μέχρι τη χρονική στιγμή t_2 οπότε και εφαρμόζεται ο παλμός ελέγχου στην πύλη των JFET. Κατά τη διάρκεια της χρονικής περιόδου t_1 έως t_2 , η οποία καλείται νεκρός χρόνος (deadband) και δείχνεται ως db στο Σχήμα 5.3, και τα δύο SiC JFET είναι σε κατάσταση ανάστροφης αγωγής με $V_{GS} < V_{GS-TH}$, και προκαλείται μια γρήγορη μείωση του ρεύματος του πηνίου λόγω της υψηλής πτώσης τάσης πάνω στα JFET. Αυτό το

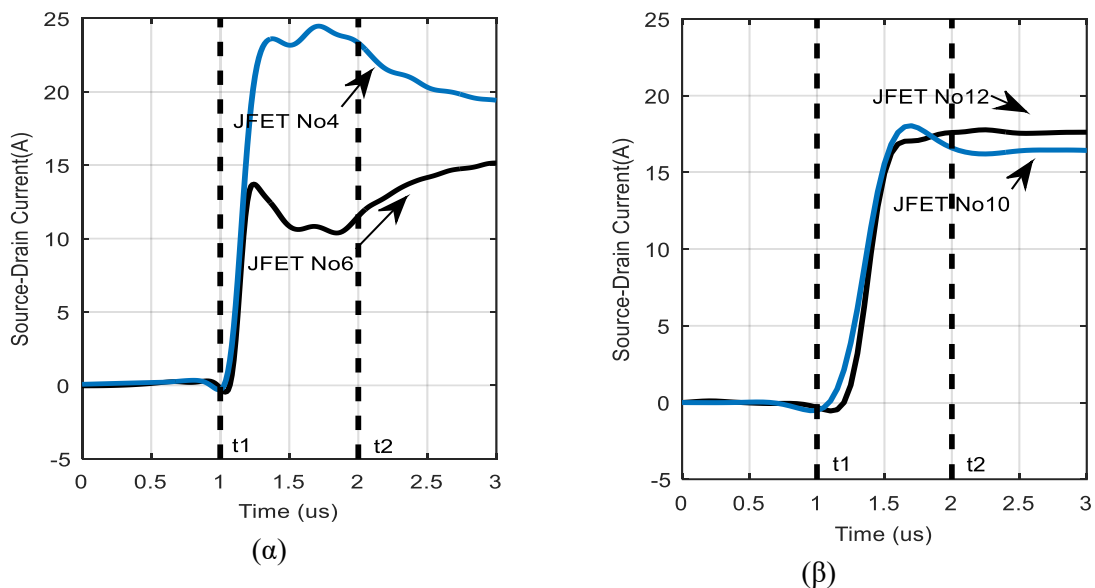
φαινόμενο δεν εμφανίζεται στην περίπτωση που η αντιπαράλληλη διάδος είναι συνδεδεμένη, λόγω της χαμηλής πτώσης τάσης της διόδου SBD. Ο νεκρός χρόνος (deadband) εισάγεται για να αποφευχθεί η ταυτόχρονη αγωγή του διακόπτη $Q1$ και των JFET (shoot-through) και ρυθμίζεται σε 1 μ s. Από τη χρονική στιγμή t_2 και μετά, τα JFET άγουν το ανάστροφο ρεύμα ενώ η τάση στην πύλη τους είναι $V_{GS} > V_{GS-TH}$. Το ρεύμα, κατόπιν, διανέμεται μεταξύ των παράλληλα συνδεδεμένων JFET και της αντιπαράλληλης διόδου ($SW_I=ON$). Πρέπει να τονιστεί ότι οι διάφορες χρονικές στιγμές (t_0 , t_1 and t_2) που χωρίζουν τους διαφορετικούς τρόπους λειτουργίας σύμφωνα με το Σχήμα 5.3 συμπεριλαμβάνονται σε όλα τα σχήματα που ακολουθούν και παρουσιάζουν τα πειραματικά αποτελέσματα.

5.8.2 Επιρροή της αντίστασης ανάστροφης αγωγής στον καταμερισμό των ρευμάτων

Στα ακόλουθα πειράματα, η επιλογή των JFET γίνεται βάσει της αντίστασης αγωγής σε ανάστροφη αγωγή, όπως δεικνύεται στο κεφάλαιο 3 (Πίνακας 3.7) [76]. Το πρώτο ζευγάρι των δειγμάτων αποτελείται από τα JFET No6 και No4 έχοντας μια διαφορά 14% στην αντίσταση ανάστροφης αγωγής. Το δεύτερο ζευγάρι αποτελείται από τα JFET No10 και No12, με τη χαμηλότερη διαφορά στην αντίσταση ανάστροφης αγωγής (8,2%).

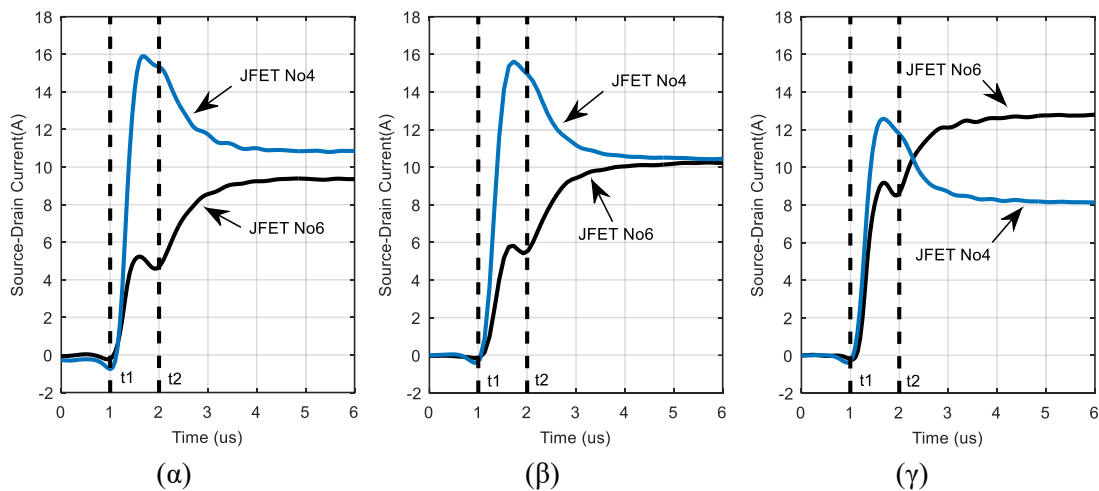
Τα αποτελέσματα αυτών των δύο πειραμάτων παρουσιάζονται στο Σχήμα 5.10(α) και στο Σχήμα 5.10(β) αντίστοιχα.

Όπως μπορεί να φανεί, η διαφορά των ρευμάτων κατά τη διάρκεια της μόνιμης κατάστασης αγωγής είναι 13,9% για το ζευγάρι των JFET No4 και No6 και 8,6% για το ζευγάρι των JFET No10 και No12. Και στις δύο περιπτώσεις η διαφορά των ρευμάτων είναι μικρή λόγω του γεγονότος ότι η διασπορά των τιμών της αντίστασης αγωγής σε ανάστροφη αγωγή αναμένεται να είναι μικρή. Επιπλέον, η αντίσταση ανάστροφης αγωγής έχει θετικό θερμοκρασιακό συντελεστή, με συνέπεια τον αποδεκτό παραλληλισμό των διακοπών ισχύος στη μόνιμη κατάσταση αγωγής.



Σχήμα 5.10: Ανάστροφα ρεύματα με $V_{GS} > V_{GS-TH}$, (α) JFETs No4 και No6, (β) JFETs No10 και No12.

Προκειμένου ναδειχθεί ότι η αντίσταση ανάστροφης αγωγής είναι ο κύριος παράγοντας που έχει επιπτώσεις στη διανομή των ρευμάτων, η θερμοκρασία του περιβλήματος (T_C) του JFET Νο6 κρατιέται σταθερά στους 25°C, ενώ η θερμοκρασία του περιβλήματος του JFET Νο4 μεταβάλλεται. Το Σχήμα 5.11(α) απεικονίζει τα αντίστροφα ρεύματα σε περίπτωση που το T_C του JFET Νο4 είναι 25°C. Η βαθμιαία αύξηση του T_C έχει ως αποτέλεσμα την αύξηση της αντίστασης ανάστροφης αγωγής του JFET Νο4, τη μείωση του ρεύματός του και την αύξηση του ρεύματος του JFET Νο6. Τα ρεύματα είναι ισορροπημένα όταν το T_C του JFET Νο4 γίνει 50 °C όπως απεικονίζεται στο Σχήμα 5.11(β). Υπερβαίνοντας αυτήν την κρίσιμη θερμοκρασία, το αποτέλεσμα είναι για άλλη μια φορά η ανισορροπία των ρευμάτων όπως παρουσιάζεται στο Σχήμα 5.11(γ) για $T_C=150$ °C.



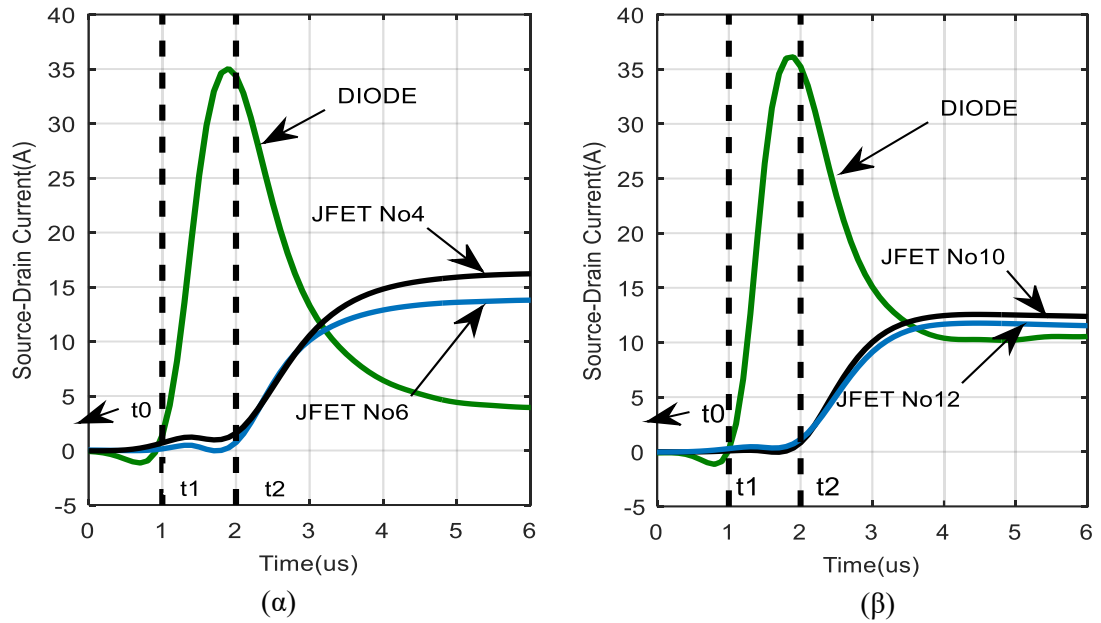
Σχήμα 5.11: Αντίστροφα ρεύματα των JFET Νο4 και Νο6, (α) $T_C=25^\circ\text{C}$, (β) $T_C=50^\circ\text{C}$, (γ) $T_C=150^\circ\text{C}$.

5.8.3 Προσθήκη αντιπαράλληλης διόδου

Από τα προηγούμενα πειράματα προκύπτει ότι απαιτείται χρονική διάρκεια περίπου 2 μs έως ότου αποκατασταθεί η σταθερή κατάσταση ανάστροφης αγωγής. Είναι, επομένως, πολύ σημαντικό να επιτευχθεί η εξισορρόπηση των ρευμάτων κατά τη διάρκεια της χρονικής περιόδου t_1 έως t_2 ακόμη και αν αυτή η περίοδος είναι πολύ μικρή. Μια απλή λύση για το πρόβλημα της εξισορρόπησης των ρευμάτων είναι η εισαγωγή μιας αντιπαράλληλης SiC-SBD διόδου όπως αυτή στο Σχήμα 5.1 όταν ο διακόπτης SW_1 είναι σε κατάσταση ON. Η διάδος άγει όλο το ρεύμα κατά τη διάρκεια της ανάστροφης αγωγής, έχει μικρές απώλειες αγωγής και εξαλείφει την ανάγκη για πρόσθετο κύκλωμα εξισορρόπησης των ρευμάτων. Το μόνο μειονέκτημα είναι η αύξηση του μήκους των βρόχων του κυκλώματος ισχύος και, κατά συνέπεια, των παρασιτικών στοιχείων του PCB, λόγω του ογκώδους περιβλήματος της διόδου (ή των διόδων).

Η βελτίωση της κατανομής των ρευμάτων, όταν μία διάδος SBD συνδέεται αντιπαράλληλα με τα τρανζίστορ ισχύος, φαίνεται στο Σχήμα 5.12(α) και στο Σχήμα 5.12(β), σε αντιδιαστολή με τα πειραματικά αποτελέσματα που παρουσιάζονται στο Σχήμα 5.10(α) και στο Σχήμα 5.10(β). Η προσθήκη της αντιπαράλληλης διόδου D , οδηγεί επίσης σε πολύ χαμηλότερες απώλειες αγωγής. Να σημειωθεί ότι στην περίπτωση των Normally-off SiC JFET, το ρεύμα της διόδου είναι του ίδιου μεγέθους με το ρεύμα κάθε μιας από τις συσκευές ισχύος. Όμως, όταν χρησιμοποιούνται τα Normally-on SiC JFET, η πλειονότητα του ρεύματος ρέει μέσα από

τους ημιαγωγικούς διακόπτες. Αυτό οφείλεται στη μικρότερη αντίσταση ανάστροφης αγωγής του Normally-on SiC JFET έναντι του Normally-off SiC JFET.



Σχήμα 5.12: Κατανομή των ρευμάτων σε ανάστροφη αγωγή με χρήση αντιπαράλληλης διόδου, (α) JFET No4 και No6, (β) JFET No10 και No12.

Κεφάλαιο 6. Λειτουργία των SiC JFET σε παράλληλη σύνδεση και ορθή αγωγή

6.1 Εισαγωγή

Κατά την παράλληλη λειτουργία των Normally-on SiC JFET η τιμή της αντίστασης αγωγής αυτών των συσκευών παρουσιάζει χαμηλή διασπορά και έχει θετικό θερμοκρασιακό συντελεστή, με συνέπεια την πολύ καλά ισορροπημένη κατανομή των ρευμάτων. Εντούτοις, η απόκλιση άλλων παραμέτρων, όπως η ανάστροφη τάση καταρροής της πύλης και τα παρασιτικά στοιχεία, μπορούν να προκαλέσουν μη ομοιόμορφα κατανεμημένα ρεύματα κατά τη διάρκεια της μεταγωγής με συνέπεια τις μη ομοιόμορφα κατανεμημένες διακοπτικές απώλειες. Αυτό το φαινόμενο είναι ήπιο κατά τη μεταγωγή από την κατάσταση αγωγής στην κατάσταση αποκοπής και μπορεί να παραμεληθεί. Όμως, το πρόβλημα είναι σοβαρό κατά τη διάρκεια μεταγωγής στην κατάσταση αγωγής και μπορεί να οδηγήσει ακόμη και στην καταστροφή των συσκευών ισχύος εάν δεν αντιμετωπιστεί κατάλληλα [4], [6], [9], [10], [75].

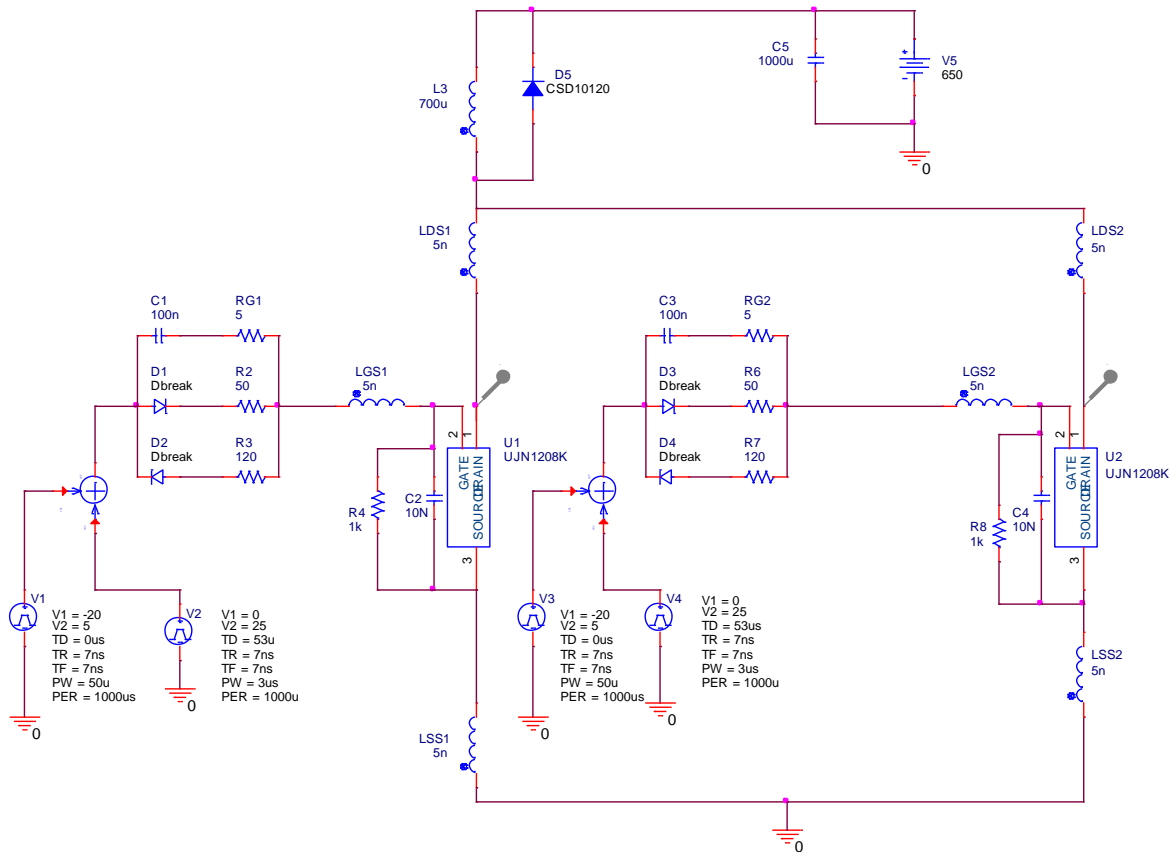
Λαμβάνοντας υπόψη τα ανωτέρω συμπεράσματα, στα πειράματα που ακολουθούν εξετάζεται κυρίως η λειτουργικότητα της παράλληλης σύνδεσης των JFET κατά τη διάρκεια της μεταγωγής σε αγωγή και λιγότερο κατά τη διάρκεια της μεταγωγής σε αποκοπή. Επίσης τα SiC JFET αποτρέπονται από το να μπουν σε κατάσταση καταρροής της πύλης. Ως εκ τούτου δε λαμβάνεται υπόψη η τιμή της τάσης ανάστροφης καταρροής της πύλης V_{BR-G} , για τα δείγματα των JFET που χρησιμοποιούνται.

Τα πειράματα που θα παρουσιαστούν στη συνέχεια αφορούν την παράλληλη σύνδεση σε ορθή αγωγή των SiC VT JFET. Εξετάζονται τόσο τα Normally-off SiC JFET, για τα οποία στην πρόσφατη βιβλιογραφία δεν υπάρχει καμία εκτεταμένη έρευνα στην παράλληλη λειτουργία τους, όσο και τα Normally-on SiC JFET. Θα φανεί ότι οι βασικοί κανόνες που αφορούν την παράλληλη λειτουργία ισχύουν σε οποιονδήποτε τύπο JFET.

Αρχικά θα παρουσιαστούν τα αποτελέσματα των προσομοιώσεων με χρήση του λογισμικού OrCAD PSpice και στη συνέχεια, τα πειραματικά αποτελέσματα μέσω της χρήσης ενός κατάλληλου κυκλώματος ελέγχου διπλού παλμού το οποίο κατασκευάστηκε στο εργαστήριο. Και από τις δυο παραπάνω μεθόδους έρευνας θα προκύψουν ταυτόσημα αποτελέσματα.

6.2 Αποτελέσματα προσομοιώσεων της παράλληλης σύνδεσης με ορθή αγωγή

Η μελέτη της παράλληλης σύνδεσης των SiC JFETs θα γίνει αρχικά μέσω του προγράμματος προσομοιώσεων OrCAD PSpice. Για τη πραγματοποίηση των προσομοιώσεων σχεδιάστηκε στο PSpice το ίδιο κύκλωμα που θα χρησιμοποιηθεί και στο κύκλωμα ελέγχου διπλού παλμού. Στο Σχήμα 6.1 παρακάτω φαίνεται το σχέδιο δύο παράλληλα συνδεδεμένων JFET με μία DC πηγή τάσης 650V, ενός πηνίου 700 μH και των κυκλωμάτων οδήγησης. Όλα τα υλικά έχουν ίδιες τιμές με αυτές της πειραματικής διάταξης διπλού παλμού που θα παρουσιαστεί στη συνέχεια. Επίσης στο ίδιο σχέδιο έχουν προστεθεί και οι παρασιτικές απεπαγωγές στην πύλη, στην πηγή και στην υποδοχή των JFET.



Σχήμα 6.1: Σχέδιο κυκλώματος προσομοιώσεων παράλληλης σύνδεσης σε ορθή αγωγή.

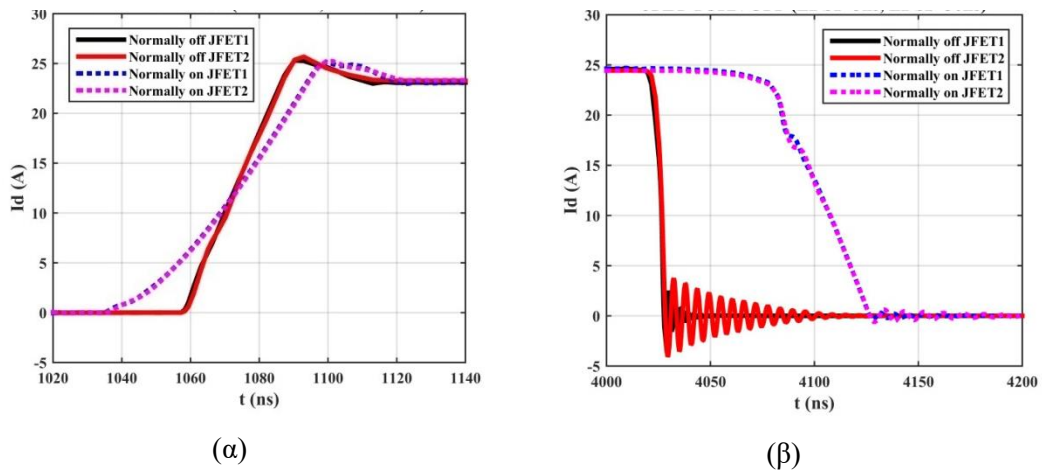
6.2.1 Επιρροή των παρασιτικών αυτεπαγωγών στην κατανομή των ρευμάτων

Στις προσομοιώσεις που ακολουθούν θα χρησιμοποιηθεί το μοντέλο του Normally-on JFET UJN1208K και του Normally-off JFET SJEP120R100. Θα μεταβάλλεται κάθε φορά η τιμή μίας από τις τρεις παρασιτικές αυτεπαγωγές για το JFET2 ενώ όλες οι υπόλοιπες παρασιτικές αυτεπαγωγές για τα δύο JFET θα έχουν τιμή 5 nH. Η τιμή αυτή των 5 nH προσεγγίζει την πραγματική τιμή που θα υπάρχει σε μία σωστά σχεδιασμένη υλοποίηση με τυπωμένο κύκλωμα (PCB). Όπως αναφέρθηκε πριν, εξετάζεται η συμπεριφορά των JFET κυρίως κατά τη διάρκεια των μεταβάσεων, διότι, κατά την διάρκεια της αγωγής, ο διαμοιρασμός των ρευμάτων τείνει να εξισορροπηθεί αυτόματα λόγω του θετικού θερμοκρασιακού συντελεστή της αντίστασης αγωγής. Οι προσομοιώσεις για το Normally-on JFET και για το Normally-off JFET θα εκτελούνται χωριστά με το OrCAD PSpice και στη συνέχεια, τα αποτελέσματα των προσομοιώσεων θα παρουσιάζονται ενιαία κάνοντας χρήση του λογισμικού MATLAB. Σε όλες τις προσομοιώσεις θα παρουσιάζονται με συμπαγείς γραμμές τα ρεύματα των Normally-off JFET και με διακεκομμένες γραμμές τα ρεύματα των Normally-on JFET. Επιπροσθέτως με μαύρο και μπλε χρώμα παρουσιάζονται τα ρεύματα των Normally-off JFET1 και των Normally-on JFET1 αντίστοιχα ενώ με κόκκινο και ιώδες χρώμα παρουσιάζονται τα ρεύματα των Normally-off JFET2 και των Normally-on JFET2 αντίστοιχα.

I. Επιρροή της παρασιτικής αυτεπαγωγής LDS στην κατανομή των ρευμάτων

Στην επόμενη προσομοίωση, το $LDS2$ για το JFET2 έχει τιμή 30nH ενώ όλες οι υπόλοιπες παρασιτικές αυτεπαγωγές για τα δύο JFET έχουν τιμή 5 nH. Τα αποτελέσματα για τη μετάβαση σε αγωγή φαίνονται στο Σχήμα 6.2(α) ενώ τα αποτελέσματα για τη μετάβαση σε αποκοπή φαίνονται στο Σχήμα 6.2(β) παρακάτω.

Είναι φανερό ότι και στις δυο μεταβάσεις τα ρεύματα των δύο JFET είναι σχεδόν ίδια, με μόνη διαφορά ότι το ρεύμα του Normally-off JFET2 παρουσιάζει μεγαλύτερες ταλαντώσεις στην μετάβαση σε αποκοπή. Προκύπτει λοιπόν το συμπέρασμα ότι οι παρασιτικές αυτεπαγωγές στη πηγή των JFET επηρεάζουν ελάχιστα την κατανομή των ρευμάτων τόσο για τα Normally-on όσο και για τα Normally-off JFET.



Σχήμα 6.2: Κυματομορφές ρευμάτων με $LDS2=30\text{nH}$, (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Στον πίνακα που ακολουθεί (Πίνακας 6.1) παρουσιάζεται η μεταβολή της κατανομής των ρευμάτων μεταξύ των παραλληλισμένων JFET1 και JFET2 ($I_{D1}-I_{D2}$) για διάφορες τιμές της διαφοράς των παρασιτικών αυτεπαγωγών LDS για τα JFET1 και JFET2 ($LDS2- LDS1$).

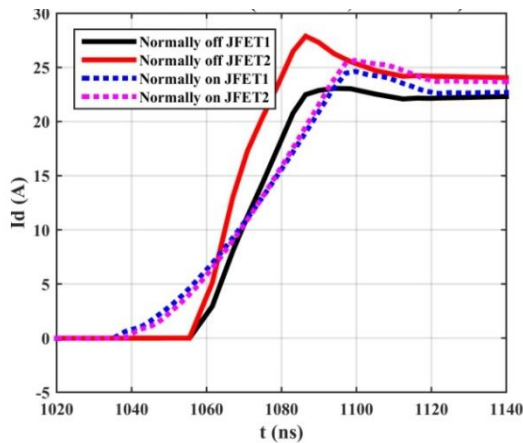
$LDS2-LDS1$ (nH)	Normally-on JFET		Normally-off JFET	
	Turn-ON	Turn-OFF	Turn-ON	Turn-OFF
	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)
5	0	0	0	0
10	0	0	0	0
20	0	0	-0,5	-0,2
30	0	0	-0,5	-0,2
40	0	0	-0,3	-0,7
50	0	0	-0,4	-1,1

Πίνακας 6.1: Μεταβολή της κατανομής των μέγιστων τιμών των ρευμάτων σε σχέση με τη μεταβολή του LDS .

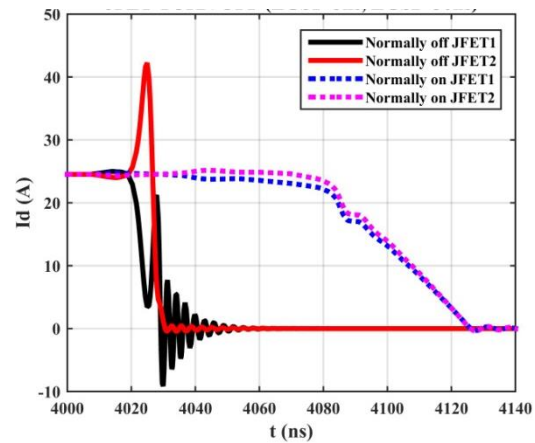
II. Επιρροή της παρασιτικής αυτεπαγωγής LGS στην κατανομή των ρευμάτων

Στην επόμενη προσομοίωση, το LGS2 για το JFET2 έχει τιμή 30nH ενώ όλες οι υπόλοιπες παρασιτικές αυτεπαγωγές για τα δύο JFET έχουν τιμή 5 nH. Τα αποτελέσματα για τη μετάβαση σε αγωγή φαίνονται στο Σχήμα 6.3(α) ενώ τα αποτελέσματα για τη μετάβαση σε αποκοπή φαίνονται στο Σχήμα 6.3(β) παρακάτω.

Από τα σχήματα προκύπτει ότι και στις δυο μεταβάσεις η ανισοκατανομή των ρευμάτων είναι μικρή για τα Normally-on JFET και σημαντική για τα Normally-off JFET. Οι διαφορές αυτές μεταξύ Normally-on και Normally-off JFET εξαρτώνται κυρίως από τη δομή των συγκεκριμένων υλικών.



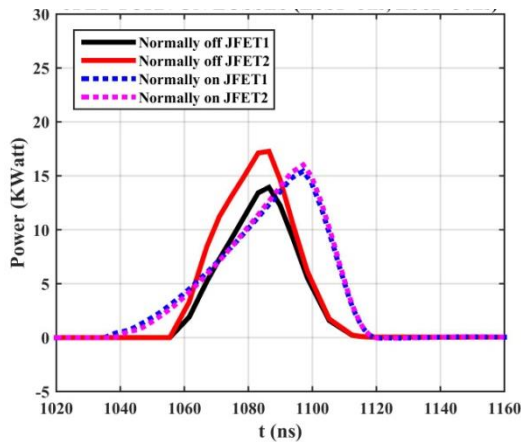
(α)



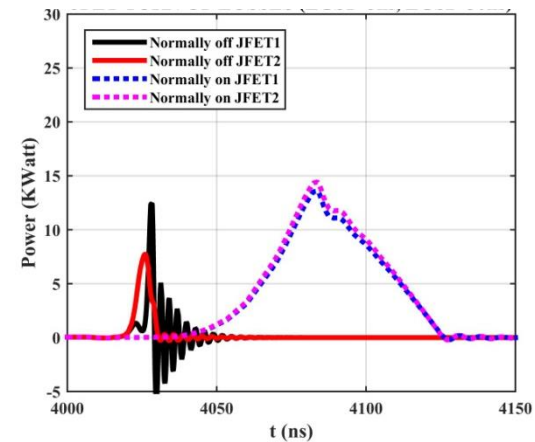
(β)

Σχήμα 6.3: Κυματομορφές ρευμάτων με $LGS2=30nH$, (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Οι διακοπτικές απώλειες κατά τη μετάβαση σε αγωγή φαίνονται στο Σχήμα 6.4(α) ενώ κατά τη μετάβαση σε αποκοπή φαίνονται στο Σχήμα 6.4 (β) παρακάτω. Όπως ήταν αναμενόμενο, υπάρχει κάποια διαφορά στις απώλειες μεταξύ των παραλληλισμένων Normally-off JFET η οποία όμως δεν είναι ιδιαίτερα μεγάλη.



(α)



(β)

Σχήμα 6.4: Κυματομορφές διακοπτικών απωλειών με $LGS2=30nH$, (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Στον πίνακα που ακολουθεί (Πίνακας 6.2) παρουσιάζεται η μεταβολή της κατανομής των μέγιστων τιμών των ρευμάτων μεταξύ των παραλληλισμένων JFET1 και JFET2 ($I_{D1}-I_{D2}$) για διάφορες τιμές της διαφοράς των παρασιτικών αυτεπαγωγών LGS για τα JFET1 και JFET2 ($LGS2-LGS1$).

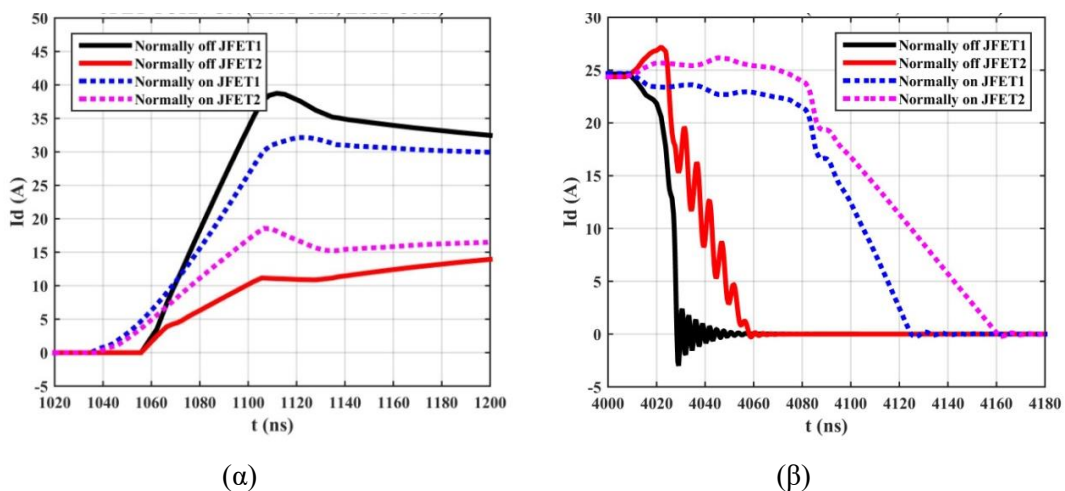
$LGS2-LGS1$ (nH)	Normally-on JFET		Normally-off JFET	
	Turn-ON	Turn-OFF	Turn-ON	Turn-OFF
	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)
	5	0	0	-0,9
10	0,5	-0,6	-1,9	-17,9
20	0,9	-1	-3,9	-32,1
30	1,1	-1,7	-6,3	-41,6
40	1,2	-2	-9,3	-49

Πίνακας 6.2: Μεταβολή της κατανομής των μέγιστων τιμών των ρευμάτων σε σχέση με τη μεταβολή της διαφοράς LGS.

Από τα αποτελέσματα των προσομοιώσεων προκύπτει λοιπόν το συμπέρασμα ότι οι παρασιτικές αυτεπαγωγές στη πύλη των JFET επηρεάζουν λίγο την κατανομή των ρευμάτων στην περίπτωση των Normally-on JFET και σημαντικά στην περίπτωση των Normally-off JFET. Ωστόσο, επειδή το χρονικό διάστημα της ανισοκατανομής των ρευμάτων είναι πολύ μικρό, η διαφορά στις διακοπτικές απώλειες δεν είναι σημαντική.

III. Επιρροή της παρασιτικής αυτεπαγωγής LSS στην κατανομή των ρευμάτων

Στην επόμενη προσομοίωση, το LSS2 έχει τιμή 30nH ενώ όλες οι υπόλοιπες παρασιτικές αυτεπαγωγές για τα δύο JFET έχουν τιμή 5 nH. Τα αποτελέσματα για τη μετάβαση σε αγωγή φαίνονται στο Σχήμα 6.5(α) ενώ για τη μετάβαση σε αποκοπή στο Σχήμα 6.5(β).

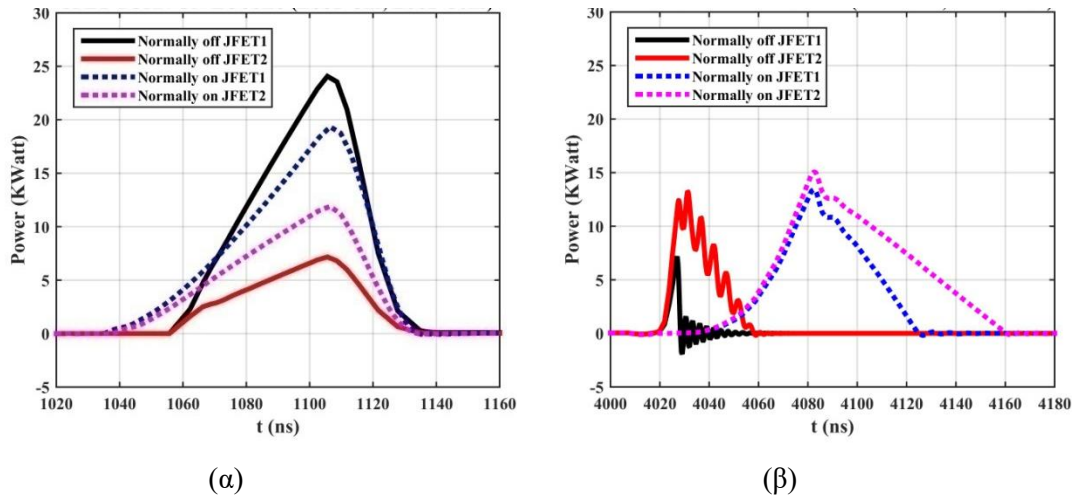


Σχήμα 6.5: Κυματομορφές ρευμάτων των Normally-on JFET1 και JFET2 με LSS2=30nH, (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Από τα παραπάνω σχήματα προκύπτει ότι στην μετάβαση σε αγωγή το ρεύμα του JFET2 καθυστερεί πάρα πολύ σε σχέση με το ρεύμα του JFET1, ιδιαίτερα στην περίπτωση του

Normally-off JFET. Στη μετάβαση σε αποκοπή, η διαφορά των ρευμάτων είναι λιγότερο σημαντική.

Προκύπτει λοιπόν το συμπέρασμα ότι οι παρασιτικές αυτεπαγωγές στη πηγή των JFET επηρεάζουν σημαντικά την κατανομή των ρευμάτων. Αυτό μπορεί να οδηγήσει σε μεγάλες διαφορές στις διακοπτικές απώλειες μεταξύ των παραλληλισμένων JFET κατά τη μετάβαση σε αγωγή, όπως φαίνεται και από το Σχήμα 6.6(α) που παρουσιάζει τις διακοπτικές απώλειες των δύο JFET. Οι διακοπτικές απώλειες μεταξύ των παραλληλισμένων JFET κατά τη μετάβαση σε αποκοπή διαφέρουν λιγότερο όπως προκύπτει από το Σχήμα 6.6(β).



Σχήμα 6.6: Κυματομορφές διακοπτικών απωλειών με $LSS2=30\text{nH}$, (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Στον πίνακα που ακολουθεί (Πίνακας 6.3) παρουσιάζεται η μεταβολή της κατανομής των μέγιστων τιμών των ρευμάτων μεταξύ των παραλληλισμένων JFET1 και JFET2 ($I_{D1}-I_{D2}$) για διάφορες τιμές της διαφοράς των παρασιτικών αυτεπαγωγών LSS για τα JFET1 και JFET2 ($LSS2-LSS1$).

$LSS2-LSS1$ (nH)	Normally-on JFET		Normally-off JFET	
	Turn-ON	Turn-OFF	Turn-ON	Turn-OFF
	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)
5	2,9	-1	12	-1,6
10	5,7	-1,9	17,7	-2,9
20	11	-3	25,4	-4,7
30	15,6	-4,1	29,4	-5,4
40	19	-4,4	32,5	-6,6

Πίνακας 6.3: Μεταβολή της κατανομής των μέγιστων τιμών των ρευμάτων σε σχέση με τη μεταβολή της διαφοράς LSS .

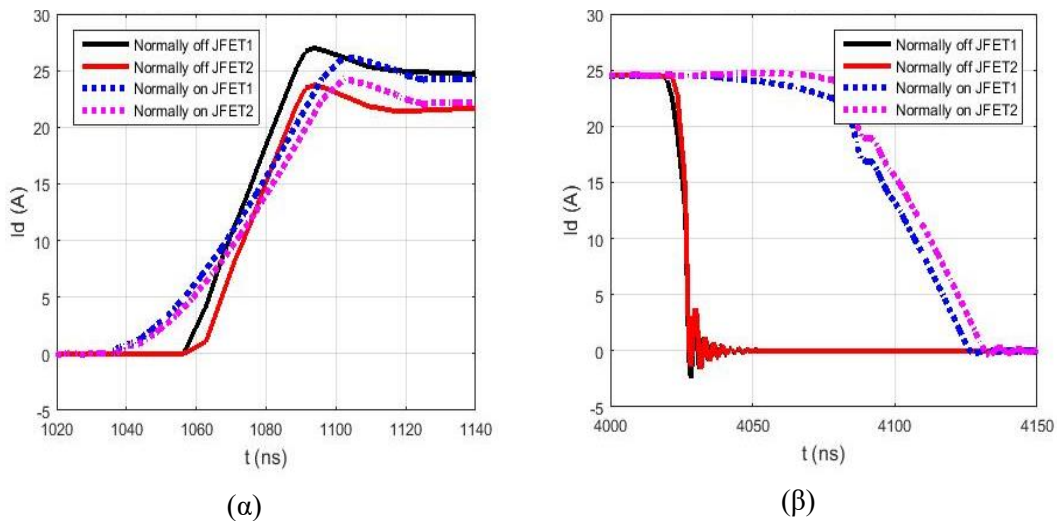
Από τα αποτελέσματα των προσομοιώσεων προκύπτει λοιπόν το συμπέρασμα ότι οι παρασιτικές αυτεπαγωγές στη πηγή των JFET επηρεάζουν σημαντικά την κατανομή των ρευμάτων και, επειδή το χρονικό διάστημα της ανισοκατανομής των ρευμάτων κατά τη

διάρκεια της μετάβασης σε αγωγή είναι πολύ μεγάλο, η διαφορά στις διακοπτικές απώλειες σε αυτή την περίπτωση είναι ιδιαίτερα σημαντική.

6.2.2 Επιρροή της αντίστασης πύλης στην κατανομή των ρευμάτων

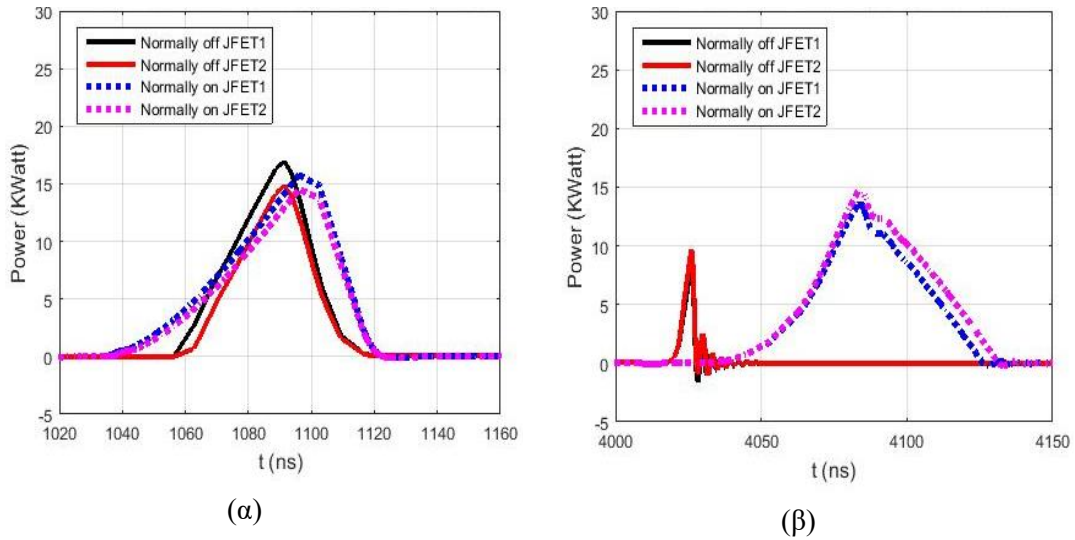
Στις προσομοιώσεις που ακολουθούν θα χρησιμοποιηθούν τα ίδια μοντέλα για τα Normally-on JFET και τα Normally-off JFET όπως αυτά που χρησιμοποιήθηκαν στις προσομοιώσεις για τις παρασιτικές αυτεπαγωγές. Επίσης, θα χρησιμοποιηθούν οι ίδιοι συμβολισμοί στα σχήματα που παρουσιάζουν την κατανομή των ρευμάτων. Οι παρασιτικές αυτεπαγωγές για τα δύο JFET θα έχουν τιμή 5 nH, ενώ θα διαφέρουν οι τιμές των αντιστάσεων στην πύλη των JFET. Όπως και προηγουμένως, εξετάζεται η συμπεριφορά των παραλληλισμένων JFET κατά τη διάρκεια των μεταβάσεων.

Στην επόμενη προσομοίωση το $RG1$ έχει τιμή 5m Ω ενώ το $RG2$ έχει τιμή 305m Ω . Τα αποτελέσματα για τη μετάβαση σε αγωγή φαίνονται στο Σχήμα 6.7(α) ενώ για τη μετάβαση σε αποκοπή στο Σχήμα 6.7 (β).



Σχήμα 6.7: Κυματομορφές ρευμάτων με $RG2=305m\Omega$, (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Προκύπτει λοιπόν το συμπέρασμα ότι η διαφορά στην τιμή των αντιστάσεων στην πύλη των JFET επηρεάζει λίγο την κατανομή των ρευμάτων τόσο για τα Normally-on όσο και για τα Normally-off JFET κατά τη διάρκεια της μετάβασης σε αγωγή. Εντούτοις, ο επηρεασμός κατά τη διάρκεια της μετάβασης σε αποκοπή για τα Normally-on JFET είναι αρκετά μικρότερος ενώ για τα Normally-off JFET είναι σχεδόν μηδενικός. Τα παραπάνω συμπεράσματα αντικατοπτρίζονται και στο Σχήμα 6.8 που εμφανίζει τις διακοπτικές απώλειες των παραλληλισμένων JFET.



Σχήμα 6.8: Κυματομορφές διακοπτικών απωλειών με $RG2=305m\Omega$, (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Στον πίνακα που ακολουθεί (Πίνακας 6.4) παρουσιάζεται η μεταβολή της κατανομής των μέγιστων τιμών των ρευμάτων μεταξύ των παραλληλισμένων JFET1 και JFET2 ($I_{D1}-I_{D2}$) για διάφορες τιμές της διαφοράς των αντιστάσεων στην πύλη των JFET1 και JFET2 ($RG2-RG1$).

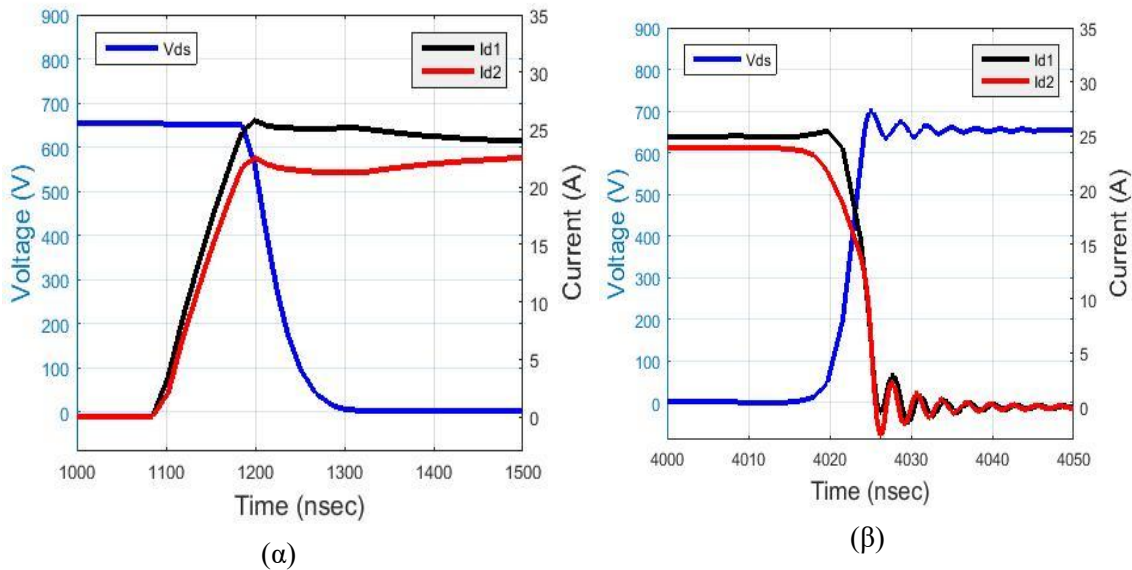
$RG2-RG1$ (mΩ)	Normally-on JFET		Normally-off JFET	
	Turn-ON	Turn-OFF	Turn-ON	Turn-OFF
	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)
100	0,7	-0,4	1,1	0
200	1,5	-0,6	2,3	0
300	2,1	-1,3	3,2	0
400	2,6	-2	4,4	0
500	3,4	-2,7	5,5	0

Πίνακας 6.4: Μεταβολή της κατανομής των μέγιστων τιμών των ρευμάτων σε σχέση με τη μεταβολή της διαφοράς RG .

6.2.3 Επιρροή της τάσης κατωφλίου στην κατανομή των ρευμάτων

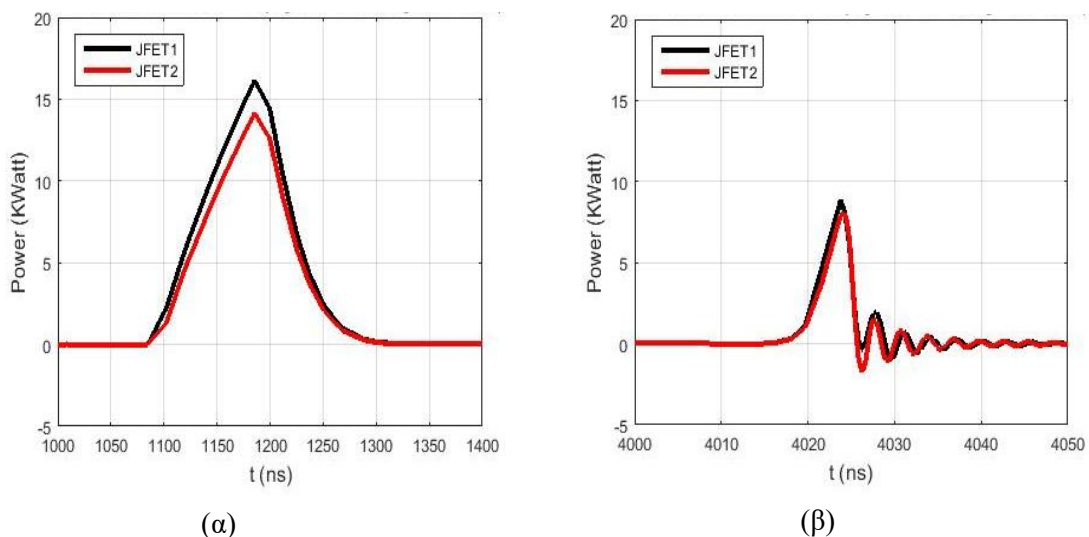
Στη συνέχεια, θα εξεταστεί η επιρροή της διαφοράς της τάσης κατωφλίου των δυο παραλληλισμένων JFET στον καταμερισμό των ρευμάτων τους. Η τάση κατωφλίου μεταβάλλεται ελαφρώς με τη μεταβολή της θερμοκρασίας, όμως επειδή η μεταβολή είναι μικρή και επειδή γίνεται με τον ίδιο ρυθμό σε όλα τα JFET που είναι παραλληλισμένα, ο παράγοντας της θερμοκρασίας δεν επηρεάζει ιδιαίτερα τον παραλληλισμό τους.

Στο Σχήμα 6.9 φαίνονται οι κυματομορφές μετάβασης για δύο Normally-off JFET συνδεδεμένα παράλληλα που έχουν τάσεις κατωφλίου $V_{TH1} = 0.9V$ και $V_{TH2} = 1.1V$.



Σχήμα 6.9: Κυματομορφές των ρευμάτων των Normally-off JFET με $V_{TH1}= 0.9V$ και $V_{TH2}= 1.1V$, (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Από τις κυματομορφές αυτές προκύπτει ότι το JFET1 με τη χαμηλότερη τάση κατωφλίου άγει πρώτο και παίρνει σημαντικά μεγαλύτερο ποσοστό ρεύματος σε σχέση με το JFET2. Στη μετάβαση σε αποκοπή, η διαφορά των ρευμάτων είναι αρκετά μικρότερη. Αυτό φαίνεται και στο Σχήμα 6.10(α) που δείχνει μεγάλη διαφορά στις διακοπτικές απώλειες μεταξύ των παραλληλισμένων JFET κατά τη μετάβαση σε αγωγή, ενώ το Σχήμα 6.10(β) δείχνει ότι οι διακοπτικές απώλειες μεταξύ των παραλληλισμένων JFET κατά τη μετάβαση σε αποκοπή διαφέρουν πολύ λίγο.



Σχήμα 6.10: Κυματομορφές διακοπτικών απωλειών των Normally-off JFET1 και JFET2 με $V_{TH1}= 0.9V$ και $V_{TH2}= 1.1V$ (α) μετάβαση σε αγωγή, (β) μετάβαση σε αποκοπή.

Στον πίνακα που ακολουθεί (Πίνακας 6.5) παρουσιάζεται η μεταβολή της κατανομής των μέγιστων τιμών των ρευμάτων μεταξύ των παραλληλισμένων JFET1 και JFET2 ($I_{D1}-I_{D2}$) για

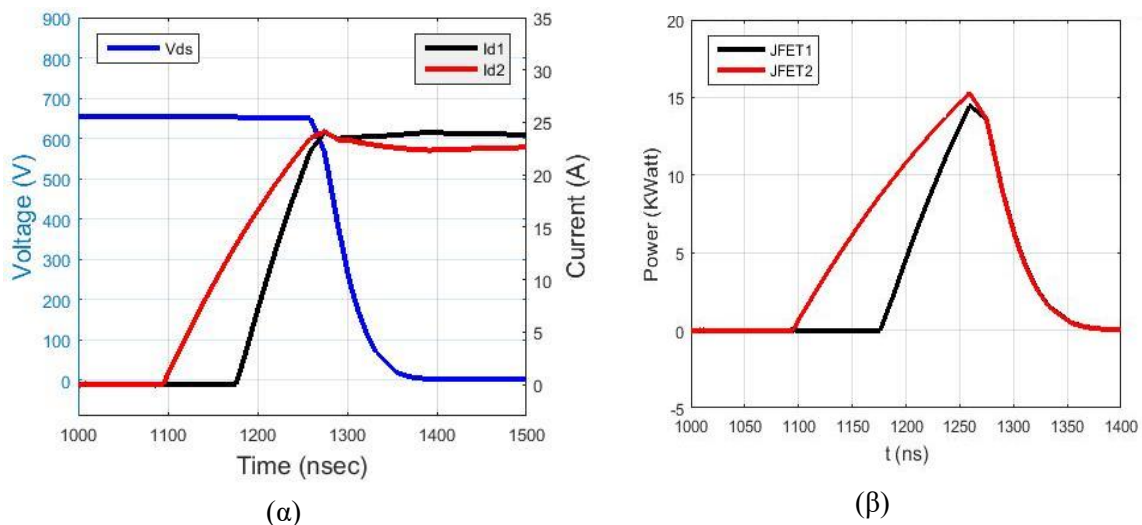
διάφορες τιμές της διαφοράς της τάσης κατωφλίου στην πύλη των JFET1 και JFET2 ($V_{GS-TH2} - V_{GS-TH1}$).

$V_{GS-TH2} - V_{GS-TH1}$ (mV)	Turn-ON	Turn-OFF
	$I_{D1}-I_{D2}$ (A)	$I_{D1}-I_{D2}$ (A)
50	0.8	0.5
100	1.7	1
150	2.5	2.6
200	3.4	3.5
250	4	4.3
300	4.6	5.4

Πίνακας 6.5: Μεταβολή της κατανομής των των μέγιστων τιμών των ρευμάτων σε σχέση με τη μεταβολή της διαφοράς V_{GS-TH} .

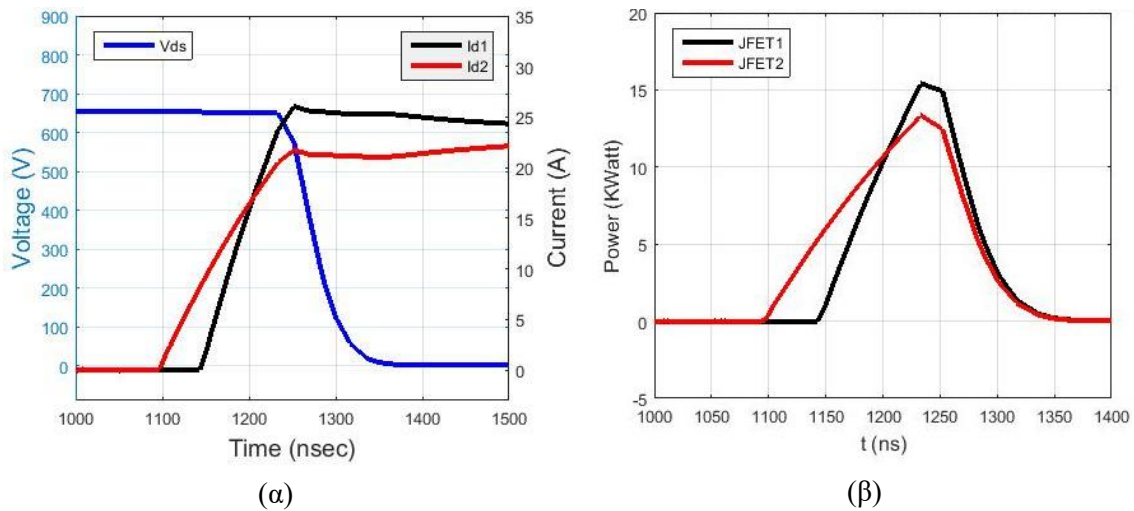
6.2.4 Εξισορρόπηση των ρευμάτων

Στην επόμενη προσομοίωση θα χρησιμοποιηθεί το μοντέλο του Normally-off JFET. Στο παρακάτω Σχήμα 6.11(α) φαίνεται η κατανομή των ρευμάτων μετά την εξισορρόπηση τους με την προσθήκη καθυστέρησης 85 ns στην πύλη του $Q1$ ενώ στο Σχήμα 6.11(β) φαίνεται η κατανομή των διακοπτικών απωλειών.



Σχήμα 6.11: Εξισορρόπηση των ρευμάτων των JFET1 και JFET2, (α) Κυματομορφές ρευμάτων, (β) Διακοπτικές απώλειες.

Όπως προκύπτει από το Σχήμα 6.11(β), η κατανομή των διακοπτικών απωλειών παραμένει άνιση μετά την εξισορρόπηση των ρευμάτων. Μπορεί να επιτευχθεί εξισορρόπηση στις διακοπτικές απώλειες εάν η καθυστέρηση στην πύλη του $Q1$ μειωθεί στα 50ns, με κόστος όμως τη χειροτέρευση της κατανομής των ρευμάτων όπως φαίνεται στο Σχήμα 6.12 παρακάτω.



Σχήμα 6.12: Εξισορρόπηση των διακοπτικών απωλειών των JFET1 και JFET2, (α) Κυματομορφές ρευμάτων, (β) Διακοπτικές απώλειες.

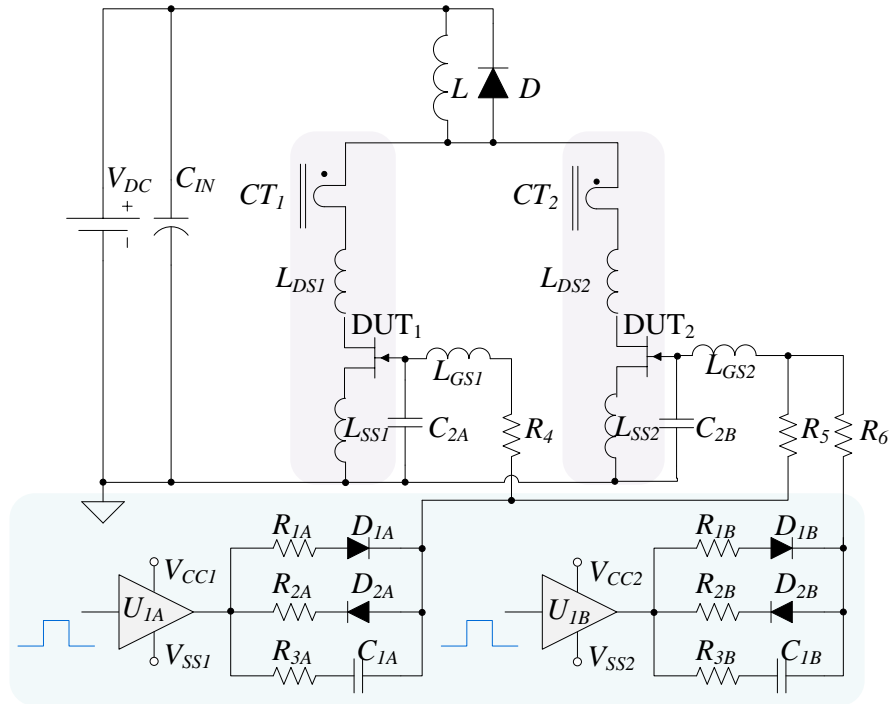
6.3 Συμπεράσματα προσομοιώσεων

Από τις παραπάνω προσομοιώσεις εξάγεται το συμπέρασμα ότι οι παράγοντες που επηρεάζουν σημαντικά την παράλληλη λειτουργία των JFET είναι η διαφορά στις παρασιτικές αυτεπαγωγές στην πηγή τους και η διαφορά της τάσης κατωφλίου τους. Τα συμπεράσματα ισχύουν τόσο για τα Normally-on JFET όσο και για τα Normally-off JFET. Επίσης έχει φανεί ότι ο επηρεασμός αυτός είναι αρκετά έντονος κατά τη μετάβαση σε αγωγή και θα πρέπει να αντιμετωπιστεί έτσι ώστε να προστατευτούν τα JFET που άγουν το μεγαλύτερο ποσοστό ρεύματος λόγω των υψηλών διακοπτικών απωλειών. Στην περίπτωση της μετάβασης σε αποκοπή, το φαινόμενο της άνισης κατανομής των ρευμάτων διαρκεί για πολύ πιο σύντομο χρονικό διάστημα.

6.4 Πειραματικές μετρήσεις σε παράλληλη σύνδεση και ορθή αγωγή

6.4.1 Κύκλωμα ελέγχου διπλού παλμού σε ορθή αγωγή

Τα παράλληλα συνδεδεμένα SiC JFET αξιολογούνται χρησιμοποιώντας το κύκλωμα ελέγχου διπλού παλμού που παρουσιάζεται στο Σχήμα 6.13.



Σχήμα 6.13: Κύκλωμα ελέγχου διπλού παλμού σε ορθή αγωγή.

Το ρεύμα ρέει δια μέσω των JFET όταν αυτά είναι σε κατάσταση αγωγής και ανακυκλώνεται δια μέσω της διόδου ελεύθερης ροής (freewheeling diode), D , όταν αυτά είναι σε κατάσταση αποκοπής.

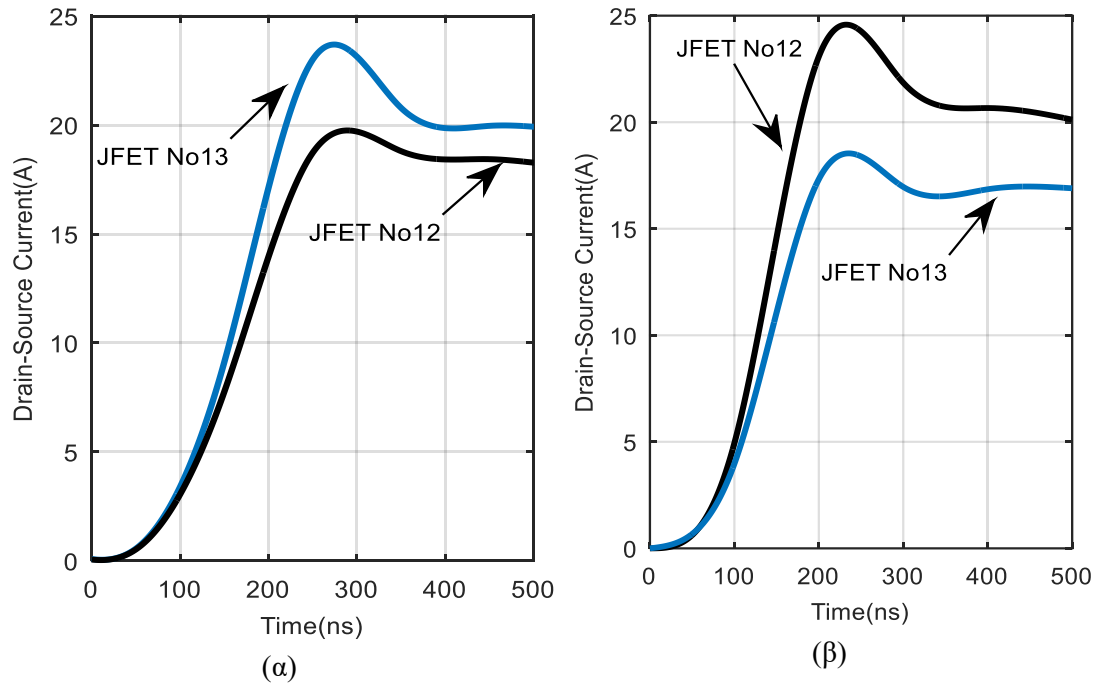
Τα SiC JFET τοποθετήθηκαν σκόπιμα όσο το δυνατόν πιο συμμετρικά εν σχέσει με τα άλλα υλικά του κυκλώματος, όπως τα υλικά του κυκλώματος οδήγησης των πυλών, το πηνίο φορτίου και τη διάοδο ελεύθερης ροής, σε μια προσπάθεια να ελαχιστοποιηθεί η διαφορά μεταξύ των παρασιτικών στοιχείων σε καθένα από τους αγωγίμους βρόχους του κυκλώματος ισχύος των δυο JFET.

6.4.2 Επηρεασμός της κατανομής των ρευμάτων από το τυπωμένο κύκλωμα

Παρότι έγινε προσπάθεια έτσι ώστε τα SiC JFET να τοποθετηθούν όσο το δυνατόν πιο συμμετρικά πάνω στο τυπωμένο κύκλωμα (PCB), στα πειράματα που θα ακολουθήσουν θα φανεί ότι η θέση των παραλληλισμένων JFET επηρεάζει την κατανομή των ρευμάτων.

A) Πειράματα με Normally-off SiC JFET

Θα εξεταστούν δύο δείγματα Normally-off JFET, το JFET No12 και το JFET No13 που έχουν V_{GS-TH} ίσο με 1.24 V και 1.33 V αντίστοιχα. Το JFET No12 τοποθετείται στη θέση DUT_1 του PCB ενώ το JFET No13 τοποθετείται στη θέση DUT_2 . Σύμφωνα με την προηγούμενη θεωρητική μελέτη, το JFET No12 αναμένεται να μεταβαίνει σε κατάσταση αγωγής γρηγορότερα με αποτέλεσμα το ρεύμα που ρέει μέσα του να αυξάνεται γρηγορότερα και να φθάνει σε μεγαλύτερη τιμή εν σχέσει με το ρεύμα του JFET No13. Εντούτοις, όπως φαίνεται στο Σχήμα 6.14(α) παρακάτω, το JFET No13 άγει το μεγαλύτερο ποσοστό του ρεύματος κατά τη διάρκεια της μεταγωγής.



Σχήμα 6.14: Κυματομορφές μετάβασης με ένα κύκλωμα οδήγησης των πυλών, (α) JFET No12 στη θέση DUT_1 και JFET No13 στη θέση DUT_2 , (β) JFET No13 στη θέση DUT_1 και JFET No12 στη θέση DUT_2 .

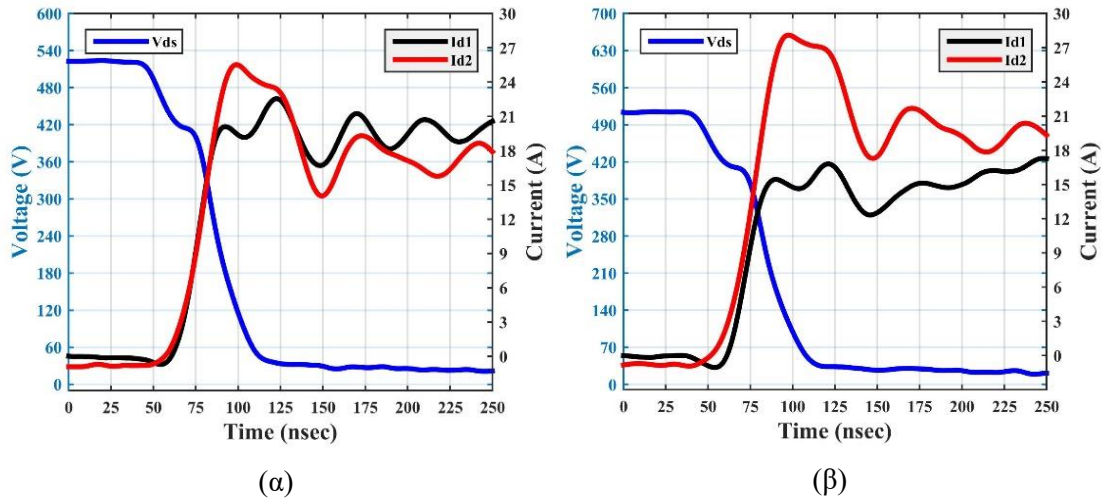
Στη συνέχεια γίνεται ανταλλαγή στις θέσεις του PCB για τα δύο τρανζίστορ ισχύος και το Σχήμα 6.14(β) παρουσιάζει τα αποτελέσματα αυτού του πειράματος. Φαίνεται λοιπόν ότι το JFET που τοποθετείται στη θέση DUT_2 έχει πάντα τη μεγαλύτερη τιμή ρεύματος. Αυτό οφείλεται στο γεγονός ότι η επίδραση των παρασιτικών στοιχείων του PCB είναι μεγαλύτερη από την επίδραση των ανοχών στις τιμές του V_{GS-TH} για τα παράλληλα συνδεδεμένα JFET.

B) Πειράματα με Normally-on SiC JFET

Το προηγούμενο πείραμα επαναλαμβάνεται με δύο δείγματα Normally-on JFET, το JFET No3 και το JFET No5 που έχουν V_{GS-TH} ίσο με -6.90 V και -6.31 V αντίστοιχα. Το JFET No3 τοποθετείται στη θέση DUT_1 του PCB ενώ το JFET No5 τοποθετείται στη θέση DUT_2 . Τα αποτελέσματα φαίνονται στο Σχήμα 6.15(α). Το ρεύμα του διακόπτη που βρίσκεται στη θέση DUT_1 συμβολίζεται με $Id1$ ενώ το ρεύμα του διακόπτη που βρίσκεται στη θέση DUT_2 συμβολίζεται με $Id2$.

Όπως στο προηγούμενο πείραμα, γίνεται ανταλλαγή στις θέσεις του PCB, για τα δύο τρανζίστορ ισχύος και στο Σχήμα 6.15(β) παρουσιάζονται τα αποτελέσματα μετά την ανταλλαγή.

Είναι προφανές ότι το JFET που τοποθετείται στη θέση DUT_2 έχει τη μεγαλύτερη τιμή ρεύματος κατά τη διάρκεια της μεταγωγής. Μπορεί επομένως να συναχθεί το συμπέρασμα ότι, στη δεδομένη πειραματική διάταξη και με τα συγκεκριμένα δείγματα JFET, η συμβολή της διαφοράς της τάσης κατωφλίου V_{GS-TH} είναι λιγότερο σημαντική συγκριτικά με τη συμβολή της διαφοράς της παρασιτικής αυτεπαγωγής, της παρασιτικής χωρητικότητας και της αντίστασης των αγωγίων δρόμων του τυπωμένου κυκλώματος.



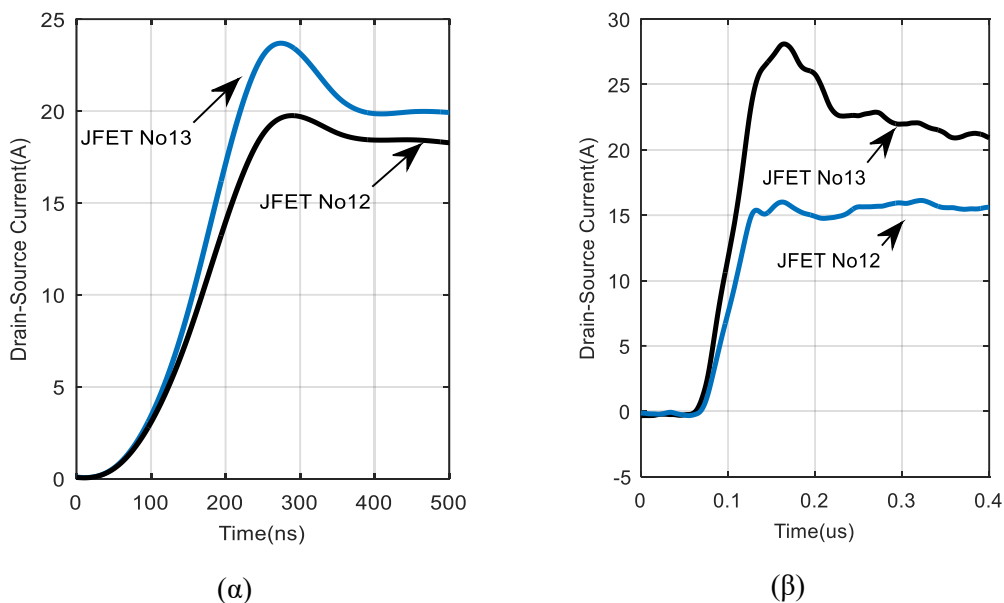
Σχήμα 6.15: Κυματομορφές μετάβασης σε αγωγή, (α) JFET No3 στη θέση DUT_1 και JFET No5 στη θέση DUT_2 , (β) JFET No5 στη θέση DUT_1 και JFET No3 στη θέση DUT_2 .

6.4.3 Επηρεασμός της κατανομής των ρευμάτων από το κύκλωμα οδήγησης

Στα επόμενα πειράματα θα μελετηθεί η επίδραση του κυκλώματος οδήγησης στην κατανομή των ρευμάτων. Πιο συγκεκριμένα, θα εκτελεστούν διαδοχικά δύο πειράματα με το ίδιο ζεύγος JFET και τις ίδιες θέσεις πάνω στο τυπωμένο κύκλωμα. Στο πρώτο πείραμα θα χρησιμοποιηθεί το ίδιο κύκλωμα οδήγησης και για τα δύο JFET, ενώ στο δεύτερο πείραμα θα χρησιμοποιηθεί διαφορετικό κύκλωμα οδήγησης για καθένα από τα δύο JFET

A) Πειράματα με Normally-off SiC JFET

Στο επόμενο πείραμα θα χρησιμοποιηθούν Normally-off JFET. Το JFET No12 τοποθετείται στη θέση DUT_1 του PCB ενώ το JFET No13 τοποθετείται στη θέση DUT_2 . Παράλληλα, στις θέσεις $R4$ και $R5$ τοποθετούνται μηδενικές αντιστάσεις ενώ η θέση $R6$ παραμένει κενή. Με τον τρόπο αυτόν, τα δύο JFET έχουν το ίδιο κύκλωμα οδήγησης. Τα αποτελέσματα εμφανίζονται στο Σχήμα 6.16(α) παρακάτω.

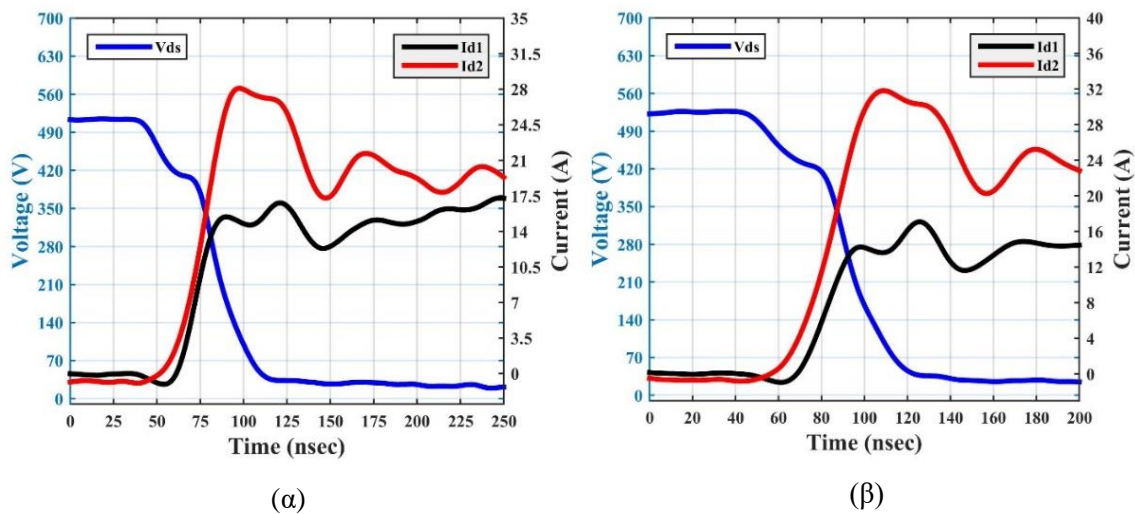


Σχήμα 6.16: Κυματομορφές μετάβασης σε κατάσταση αγωγής των JFET No12 και JFET No13, (α) Με ένα κύκλωμα οδήγησης, (β) Με δύο κυκλώματα οδήγησης.

Στη συνέχεια, το πείραμα επαναλαμβάνεται με τη διαφορά ότι στις θέσεις $R4$ και $R6$ τοποθετούνται μηδενικές αντιστάσεις ενώ η θέση $R5$ παραμένει κενή οπότε τα δύο JFET έχουν διαφορετικά κυκλώματα οδήγησης. Στην είσοδο των κυκλωμάτων οδήγησης εφαρμόζεται η ίδια ακριβώς κυματομορφή. Από τα αποτελέσματα που παρουσιάζονται στο Σχήμα 6.16(β) είναι εμφανές ότι η χρήση διαφορετικών κυκλωμάτων οδήγησης αυξάνει την ασυμμετρία της κατανομής των ρευμάτων καθώς επίσης και τις ανεπιθύμητες υψίσυχνες ταλαντώσεις.

B) Πειράματα με Normally-on SiC JFET

Στο επόμενο πείραμα θα χρησιμοποιηθούν Normally-on JFET. Το JFET No5 τοποθετείται στη θέση DUT_1 του PCB ενώ το JFET No3 τοποθετείται στη θέση DUT_2 . Τα αποτελέσματα με το ίδιο κύκλωμα οδήγησης και για τα δύο JFET εμφανίζονται στο Σχήμα 6.17(α), ενώ τα αποτελέσματα με διαφορετικά κυκλώματα οδήγησης εμφανίζονται στο Σχήμα 6.17(β).



Σχήμα 6.17: Κυματομορφές μετάβασης σε κατάσταση αγωγής των JFET No5 και JFET No3, (α) Με ένα κύκλωμα οδήγησης, (β) Με δύο κυκλώματα οδήγησης.

Από τα παραπάνω σχήματα είναι προφανές ότι, και στην περίπτωση των Normally-on JFET, η χρήση διαφορετικού κυκλώματος οδήγησης επιδρά αρνητικά στη συμμετρικότητα της κατανομής των ρευμάτων.

Γ) Συμπεράσματα

Όπως έχει ήδη αναφερθεί, η χρήση ενός μόνο κυκλώματος οδήγησης βελτιώνει σημαντικά την εξισορρόπηση των ρευμάτων των παράλληλα συνδεδεμένων διακοπών. Όμως, η χρήση ενός μόνο κυκλώματος οδήγησης δεν είναι πάντα εφικτή. Για να υπάρχουν μικρές απώλειες μετάβασης, πρέπει οι χρόνοι μετάβασης να είναι οι ελάχιστοι δυνατοί και αυτό απαιτεί ισχυρά ρεύματα οδήγησης των πυλών. Επομένως, όταν ο αριθμός των παραλληλισμένων JFET είναι μεγάλος, τότε είναι αδύνατον να επιτευχθούν ισχυρά ρεύματα από ένα μόνο κύκλωμα οδήγησης.

Όμως, στην περίπτωση που υπάρχουν περισσότερα από ένα κυκλώματα οδήγησης, τότε η ασυμμετρία των ρευμάτων των παραλληλισμένων διακοπών αυξάνεται και τα αίτια για αυτό είναι:

- Η ανοχή των εσωτερικών αντιστάσεων των ολοκληρωμένων κυκλωμάτων οδήγησης.
- Η ανοχή των υπολοίπων εξωτερικών αντιστάσεων και πυκνωτών.
- Οι παρασιτικές αυτεπαγωγές και οι παρασιτικές χωρητικότητες του τυπωμένου κυκλώματος.
- Η ανοχή της τάσης εξόδου του ολοκληρωμένου κυκλώματος οδήγησης.
- Η ανοχή στο χρόνο απόκρισης του ολοκληρωμένου κυκλώματος οδήγησης.

Στην περίπτωση που τα παραλληλισμένα JFET οδηγούνται στην κατάσταση αποκοπής εφαρμόζοντας τάση πόλωσης στα κυκλώματα οδήγησης μεγαλύτερη κατ' απόλυτη τιμή από την ανάστροφη τάση κατάρρευσης της πύλης, τότε η ανισορροπία των ρευμάτων γίνεται πολύ μεγαλύτερη. Αυτό επειδή οι τάσεις πάνω στα δικτυώματα των εξωτερικών υλικών των κυκλωμάτων οδήγησης μπορεί να διαφέρουν σημαντικά διότι οι τάσεις αυτές είναι ίσες με τη διαφορά μεταξύ της τάσης πόλωσης των κυκλωμάτων οδήγησης και των αντίστοιχων τάσεων ανάστροφης κατάρρευσης των πυλών, η ανοχή των οποίων είναι σημαντική.

Είναι επομένως σκόπιμο, στην περίπτωση των χωριστών κυκλωμάτων οδήγησης, η τάση πόλωσής τους να μην υπερβαίνει την ανάστροφη τάση κατάρρευσης των πυλών. Επιπροσθέτως, οι ανοχές των υλικών στα κυκλώματα οδήγησης πρέπει να είναι μικρές. Τέλος, τα κυκλώματα οδήγησης πρέπει να είναι συμμετρικά και με τα ελάχιστα δυνατά παρασιτικά στοιχεία.

6.5 Τεχνική εξισορρόπησης των ρευμάτων

6.5.1 Εξισορρόπηση των ρευμάτων δυο παράλληλων ημιαγωγικών διακοπών

Η ίση κατανομή των ρευμάτων μεταξύ των παράλληλα συνδεδεμένων JFET μπορεί να επιτευχθεί με την υιοθέτηση κατάλληλης τεχνικής. Τρεις διαφορετικές τεχνικές ελέγχου του σήματος οδήγησης των πυλών, με στόχο την εξισορρόπηση των ρευμάτων σε παράλληλα συνδεδεμένα IGBT, παρουσιάζονται στις εργασίες [102]-[104].

Αυτές οι τεχνικές δεν είναι κατάλληλες για παράλληλα συνδεδεμένα JFET λόγω της μεθόδου μέτρησης του ρεύματος, της διακριτότητας στη χρονική αντιστάθμιση του σήματος των πυλών ή τη μορφολογία του κυκλώματος οδήγησης των πυλών. Μία τεχνική εξισορρόπησης των ρευμάτων για παράλληλα συνδεδεμένα SiC MOSFET παρουσιάζεται στην εργασία [95] στην οποία χρησιμοποιείται ένας διαφορικός μετασχηματιστής ρεύματος για τη μέτρηση της διαφοράς των ρευμάτων ενώ στην εργασία [90], ένα επίπεδο τύλιγμα Rogowski, κατασκευασμένο πάνω σε PCB, προτείνεται ως αισθητήρας ρεύματος.

Ωστόσο, η τεχνική που προαναφέρθηκε, για εξισορρόπηση των ρευμάτων σε παράλληλα συνδεδεμένα SiC MOSFET δεν μπορεί να εφαρμοστεί άμεσα σε SiC JFET λόγω των ιδιαίτερων χαρακτηριστικών τους και απαιτείται να γίνουν οι απαραίτητες τροποποιήσεις. Πιο συγκεκριμένα, για την επίτευξη ταχείας μετάβασης σε ένα SiC JFET, απαιτείται υψηλό στιγμιαίο ρεύμα ενώ, ταυτόχρονα, ένα μικρό ρεύμα που προκαλείται από τις εγγενείς διόδους των πυλών ρέει σε όλη τη διάρκεια της αγωγής. Επιπλέον, επαρκές ρεύμα πρέπει να παρασχεθεί στην πύλη κατά τη διάρκεια της ανάστροφης αγωγής, προκειμένου να αποτραπεί ο κορεσμός

του ρεύματος της υποδοχής-πηγής, με την ύπαρξη όμως κατάλληλου περιοριστή αυτού του ρεύματος με στόχο την αποφυγή της καταστροφής των εσωτερικών διόδων των πυλών.

Λαμβάνοντας λοιπόν υπόψη τους προαναφερθέντες περιορισμούς, η παραπάνω τεχνική εξισορρόπησης των ρευμάτων τροποποιείται ως εξής:

α) Ένα απλό CT χρησιμοποιείται για κάθε τρανζίστορ ισχύος αντί ενός ενιαίου διαφορικού μετασχηματιστή ρεύματος. Η έξοδος αυτών των CT χρησιμοποιείται επίσης και από το κύκλωμα περιορισμού του ρεύματος και προστασίας από βραχυκυκλώματα, γεγονός που μειώνει το συνολικό κόστος του συστήματος.

β) Χρησιμοποιούνται ανεξάρτητα ολοκληρωμένα κυκλώματα (IC) οδήγησης των πυλών αντί ενός ενιαίου ολοκληρωμένου κυκλώματος οδήγησης και για τις δύο παράλληλα συνδεδεμένες συσκευές. Αυτό είναι ιδιαίτερα σημαντικό στην περίπτωση όπου πολλές συσκευές ισχύος πρόκειται να παραλληλιστούν, δεδομένου ότι ένα υψηλό ρεύμα πυλών απαιτείται για χαμηλούς χρόνους μετάβασης και, κατά συνέπεια, για χαμηλές απώλειες μεταγωγής.

γ) Χρησιμοποιείται ένας ελεγκτής ψηφιακών σημάτων (DSC) χαμηλού κόστους αντί των αναλογικών υλικών με συνέπεια τη μειωμένη πολυπλοκότητα του κυκλώματος. Η διακριτότητα της προτεινόμενης μεθόδου είναι εξαιρετικά μεγάλη, της τάξεως του 1ns, και επιτυγχάνει αποτελεσματική εξισορρόπηση των ρευμάτων.

Ένα άλλο πλεονέκτημα της προτεινόμενης τεχνικής είναι ότι οι τιμές καθυστέρησης των σημάτων στην πύλη μπορούν να υπολογιστούν μία φορά, κατά τη διάρκεια διαδικασίας ελέγχου στην παραγωγή του προϊόντος, και να αποθηκευτούν μόνιμα στο DSC. Σε αυτήν την περίπτωση, το κύκλωμα εξισορρόπησης των ρευμάτων μπορεί να απλοποιηθεί δεδομένου ότι δεν απαιτείται η συνεχής μέτρηση των ρευμάτων. Αυτή η προσέγγιση είναι η προτιμητέα λύση για τη μαζική παραγωγή, λόγω του χαμηλότερου κόστους και της χαμηλής πολυπλοκότητας των κυκλωμάτων, ενώ η εξισορρόπηση ρεύματος που επιτυγχάνεται είναι σχεδόν ανεξάρτητη από την αλλαγή της θερμοκρασίας των υλικών και παραμένει αποδεκτή όταν μεταβάλλεται το ρεύμα αγωγής όπως θα φανεί στην επόμενη ενότητα με τα πειραματικά αποτελέσματα.

6.5.2 Πειραματικά αποτελέσματα για δυο ημιαγωγικούς διακόπτες

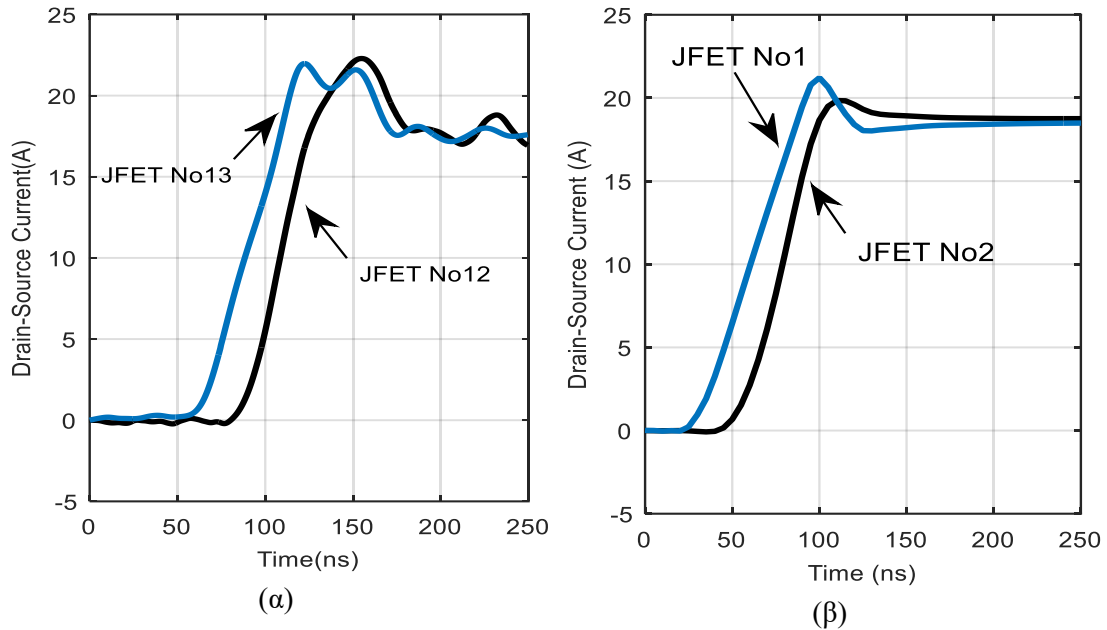
Στη συνέχεια θα εξεταστούν πειραματικά τα αποτελέσματα της εφαρμογής της τεχνικής εξισορρόπησης των ρευμάτων με κατάλληλη καθυστέρηση στα σήματα των πυλών.

A) Πειράματα με Normally-off SiC JFET

Θα εξεταστούν τα δύο δείγματα, JFET No12 και JFET No13 που έχουν V_{GS-TH} ίσο με 1.24 V και 1.33 V αντίστοιχα. Το JFET No13 τοποθετείται στη θέση DUT_1 και το JFET No12 τοποθετείται στη θέση DUT_2 με χωριστά κυκλώματα οδήγησης των πυλών. Όπως έχει αποδεχθεί παραπάνω, ο αγωγίμος δρόμος του κυκλώματος ισχύος για το DUT_2 έχει μικρότερη ωμική αντίσταση και μικρότερη επιρροή των παρασιτικών στοιχείων. Οπότε όλες οι παράμετροι ευνοούν την ανάπτυξη μεγαλύτερου ρεύματος στο JFET No12. Τα αποτελέσματα αυτού του πειράματος έχουν ήδη παρουσιαστεί στο Σχήμα 6.14(β).

Στη συνέχεια, εφαρμόζεται η τεχνική εξισορρόπησης των ρευμάτων με την προσθήκη κατάλληλης καθυστέρησης στο σήμα ελέγχου της πύλης του JFET της θέσης DUT_2 και το αποτέλεσμα φαίνεται στο Σχήμα 6.18(α) που παρουσιάζει τη μετάβαση σε αγωγή των δυο JFET. Είναι σαφές ότι η κατανομή των ρευμάτων βελτιώνεται σημαντικά παρά τις διαφορετικές τάσεις

κατωφλίου και τα διαφορετικά παρασιτικά στοιχεία του PCB. Να σημειωθεί ότι η καθυστέρηση είναι 25ns.



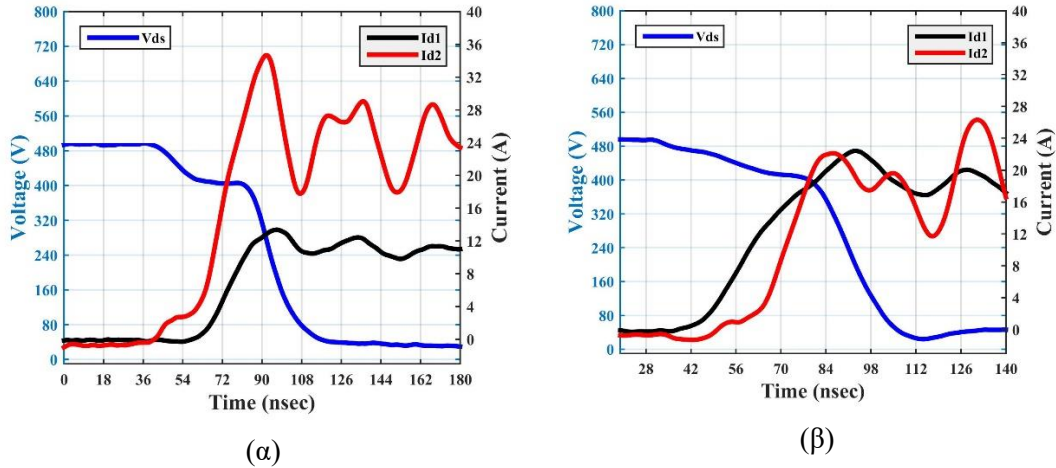
Σχήμα 6.18: (α) Κυματομορφές μετάβασης σε αγωγή των JFET No13 στη θέση DUT_1 και JFET No12 στη θέση DUT_2 με χρήση του κυκλώματος εξισορρόπησης των ρευμάτων, (β) αποτελέσματα της προσομοίωσης της λειτουργίας εξισορρόπησης των ρευμάτων.

Παρόμοια αποτελέσματα επιτυγχάνονται από την προσομοίωση στο PSpice, όπως φαίνεται στο Σχήμα 6.18(β). Στην προσομοίωση, το V_{GS-TH} τίθεται στο 1V για το JFET No1 και 2V για το JFET No2. Η τιμή της ισοδύναμης παρασιτικής αυτεπαγωγής του PCB είναι 5 nH για το JFET No1 και 15 nH για το JFET No2.

B) Πειράματα με Normally-on SiC JFET

Θα εξεταστούν τα δύο δείγματα, JFET No1 και JFET No6 που έχουν V_{GS-TH} ίσο με -7.43 V και -6.28 V αντίστοιχα. Το JFET No6 τοποθετείται στη θέση DUT_1 και το JFET No1 τοποθετείται στη θέση DUT_2 με χωριστά κυκλώματα οδήγησης των πυλών, έτσι ώστε όλες οι παράμετροι να ευνοούν την ανάπτυξη μεγαλύτερου ρεύματος στο DUT_2 . Τα αποτελέσματα αυτού του πειράματος φαίνονται στο Σχήμα 6.19(α) .

Στη συνέχεια, εφαρμόζεται η τεχνική εξισορρόπησης των ρευμάτων με την προσθήκη κατάλληλης καθυστέρησης στο σήμα ελέγχου της πύλης του JFET No1 και το αποτέλεσμα φαίνεται στο Σχήμα 6.19(β) που παρουσιάζει τη μετάβαση σε αγωγή των δυο JFET. Είναι σαφές ότι η κατανομή των ρευμάτων βελτιώνεται σημαντικά παρά τις διαφορετικές τάσεις κατωφλίου και τα διαφορετικά παρασιτικά στοιχεία του PCB. Η καθυστέρηση της πύλης του JFET No1 είναι 23ns.

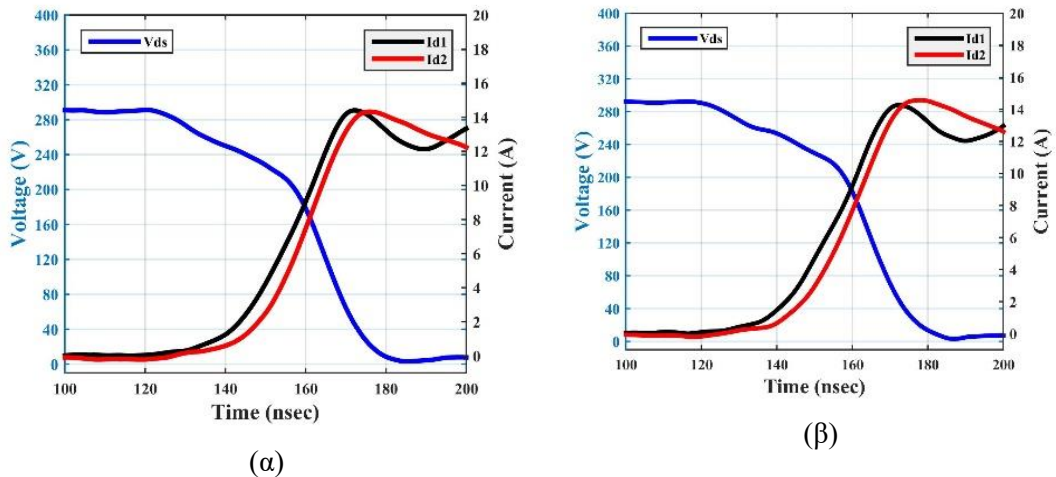


Σχήμα 6.19: Κυματομορφές μετάβασης σε αγωγή των JFET Νο6 στη θέση DUT_1 και JFET Νο1 στη θέση DUT_2 , (α) χωρίς εξισορρόπηση ρευμάτων, (β) με εξισορρόπηση των ρευμάτων.

6.5.3 Επίδραση της μεταβολής της θερμοκρασίας στην εξισορρόπηση των ρευμάτων

Στο επόμενο πείραμα, θα εξεταστούν τα δύο δείγματα, JFET Νο3 και JFET Νο5 που έχουν V_{GS-TH} ίσο με -6.90 V και -6.31 V αντίστοιχα. Το JFET Νο3 τοποθετείται στη θέση DUT_1 και το JFET Νο5 τοποθετείται στη θέση DUT_2 με χωριστά κυκλώματα οδήγησης των πυλών.

Η θερμοκρασία του περιβλήματος των JFET αυξάνεται σταδιακά από $25\text{ }^\circ\text{C}$ σε $150\text{ }^\circ\text{C}$, έχοντας προηγουμένως διασφαλίσει ίση κατανομή των ρευμάτων με τη χρησιμοποίηση του κυκλώματος εξισορρόπησης των ρευμάτων. Όπως φαίνεται στο Σχήμα 6.20 παρακάτω, η εξισορρόπηση των ρευμάτων είναι σχεδόν ανεξάρτητη από την αλλαγή στη θερμοκρασία του περιβλήματος των JFET.



Σχήμα 6.20: Εξισορρόπηση των ρευμάτων, (α) σε $25\text{ }^\circ\text{C}$, (β) σε $150\text{ }^\circ\text{C}$.

6.5.4 Επίδραση της μεταβολής του ολικού ρεύματος στην εξισορρόπηση των ρευμάτων

Στις επόμενες πειραματικές μετρήσεις θα εξεταστούν το JFET Νο13 που τοποθετείται στη θέση DUT_1 και το JFET Νο12 που τοποθετείται στη θέση DUT_2 με χωριστά κυκλώματα οδήγησης των πυλών. Επίσης εφαρμόζεται η τεχνική εξισορρόπησης των ρευμάτων με την προσθήκη κατάλληλης καθυστέρησης στο σήμα ελέγχου της πύλης του JFET της θέσης DUT_2 .

Η μεταβολή της κατανομής των ρευμάτων εν σχέσει με το εύρος του ρεύματος αγωγής παρατίθεται στον παρακάτω πίνακα (Πίνακας 6.6). Η καθυστέρηση των 25 ns στο σήμα της πύλης διατηρείται σταθερή σε όλη τη διάρκεια του πειράματος. Παρατηρείται ότι η μείωση του ρεύματος αγωγής έχει σημαντική επίδραση στην κατανομή των ρευμάτων. Ωστόσο, είναι εμφανές ότι η τιμή του ρεύματος που ρέει σε κάθε τρανζίστορ ισχύος είναι μειούμενη παρόλη την ανισοκατανομή των ρευμάτων αυτών.

I_{DUT1} (A)	I_{DUT2} (A)	$I_{DUT2} - I_{DUT1}$ (A)	I_{DUT1} (%)	I_{DUT2} (%)
22.1	22.1	0,0	50	50
20.1	18.5	-1.6	52	48
17.0	15.1	-1.9	53	47
14.1	10.9	-3.2	56	44
11.3	4.8	-6.4	70	30

Πίνακας 6.6: Μεταβολή του διαμοιρασμού των ρευμάτων, εν σχέσει με τη μεταβολή της τιμής του ρεύματος αγωγής των JFET.

6.5.5 Επίδραση της μεταβολής της καθυστέρησης στην εξισορρόπηση των ρευμάτων

Στις επόμενες πειραματικές μετρήσεις θα εξεταστούν ξανά το JFET Νο13 που τοποθετείται στη θέση DUT_1 και το JFET Νο12 που τοποθετείται στη θέση DUT_2 με χωριστά κυκλώματα οδήγησης των πυλών και με εφαρμογή της τεχνικής εξισορρόπησης των ρευμάτων. Η μεταβολή της κατανομής των ρευμάτων εν σχέσει με την τιμή της καθυστέρησης στα σήματα των πυλών παρουσιάζεται στον παρακάτω πίνακα (Πίνακας 6.7). Είναι σαφές ότι η εξισορρόπηση των ρευμάτων είναι ανεπηρέαστη από τις μικρές μεταβολές της καθυστέρησης των σημάτων των πυλών.

Καθυστέρηση στο σήμα των πυλών (ns)	I_{DUT1} (A)	I_{DUT2} (A)	$I_{DUT2} - I_{DUT1}$ (A)	I_{DUT1} (%)	I_{DUT2} (%)
25	22.1	22.1	0,0	50	50
14	19.3	24.9	5.6	44	56
3	17.7	26.5	8.8	40	60
0	16.1	28.1	12.1	36	64

Πίνακας 6.7: Μεταβολή του διαμοιρασμού των ρευμάτων, εν σχέσει με τη μεταβολή της τιμής της καθυστέρησης στα σήματα των πυλών.

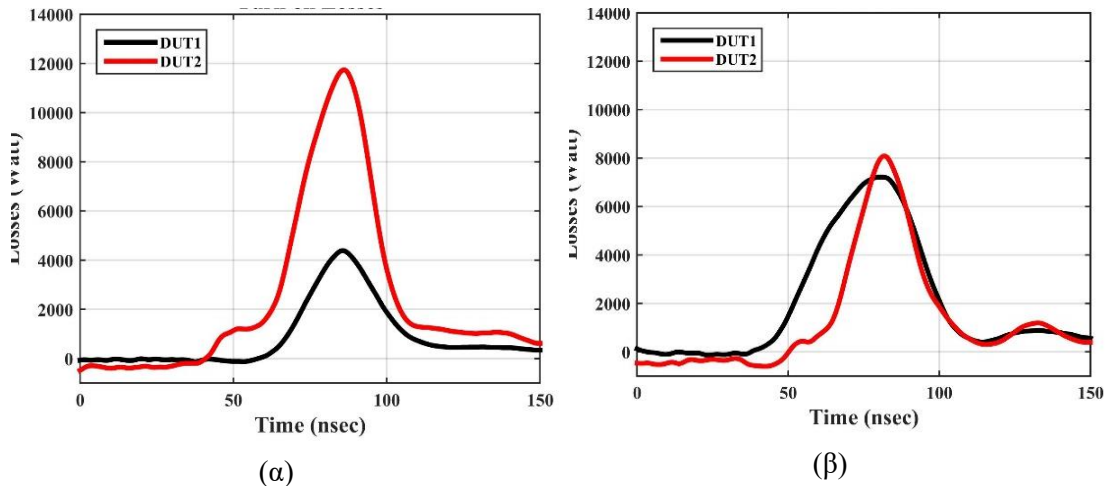
6.5.6 Διακοπτικές απώλειες

Οι διακοπτικές απώλειες, κατά τη διάρκεια της μεταγωγής σε κατάσταση αγωγής, υπολογίζονται χρησιμοποιώντας τη σχέση (6.1).

$$W_{on} = \int_0^{t_{on}} v(t) \cdot i(t) dt \quad (6.1)$$

Α) Πειράματα με Normally-on SiC JFET

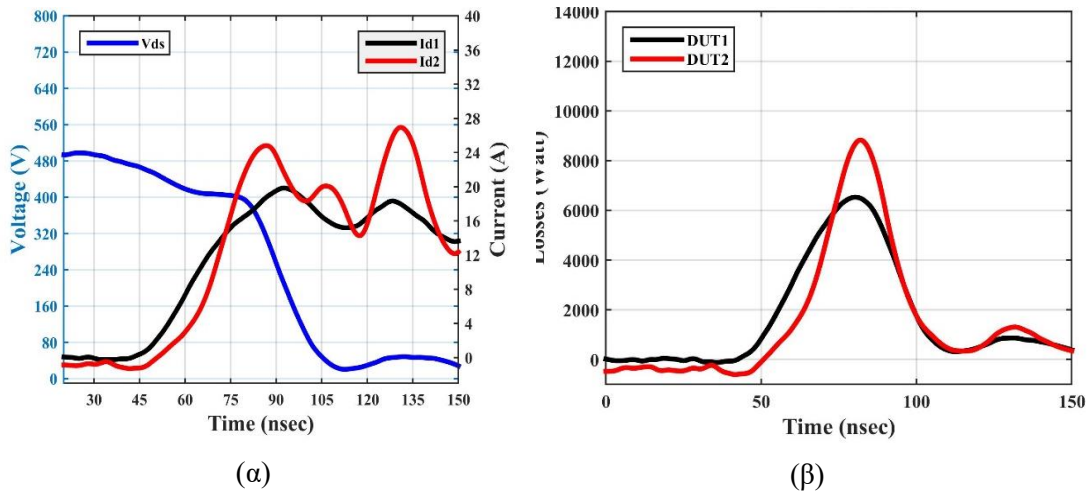
Στο Σχήμα 6.19 παραπάνω παρουσιάστηκαν τα αποτελέσματα της εφαρμογής της τεχνικής εξισορρόπησης των ρευμάτων για τα JFET Νο1 και JFET Νο6 που ήταν τοποθετημένα στις θέσεις DUT_2 και DUT_1 αντίστοιχα. Τα αποτελέσματα από τον υπολογισμό των διακοπτικών απωλειών κατά τη μετάβαση σε αγωγή, με χρήση του λογισμικού MATLAB, φαίνονται στο Σχήμα 6.21 παρακάτω.



Σχήμα 6.21: Διακοπτικές απώλειες μετάβασης σε αγωγή, α) χωρίς εξισορρόπηση ρευμάτων, β) με εξισορρόπηση ρευμάτων.

Από το παραπάνω σχήμα προκύπτει ότι η εξισορρόπηση της μέγιστης τιμής των ρευμάτων δεν επιφέρει εξισορρόπηση των διακοπτικών απωλειών. Επίσης είναι εμφανές ότι πριν την εξισορρόπηση της μέγιστης τιμής των ρευμάτων το JFET1 είχε τις μεγαλύτερες διακοπτικές απώλειες, ενώ η κατάσταση αντιστράφηκε και το JFET6 είχε τις μεγαλύτερες διακοπτικές απώλειες μετά την εξισορρόπηση των ρευμάτων.

Στη συνέχεια, επαναλαμβάνεται το παραπάνω πείραμα και η καθυστέρηση στην πύλη ρυθμίζεται έτσι ώστε να υπάρχει εξισορρόπηση στην κατανομή των διακοπτικών απωλειών. Τα αποτελέσματα αυτού του πειράματος εμφανίζονται στο Σχήμα 6.22 παρακάτω. Είναι εμφανές ότι η εξισορρόπηση των διακοπτικών απωλειών χειροτερεύει την κατανομή των ρευμάτων.



Σχήμα 6.22: Εξισορρόπηση απωλειών, α) κατανομή ρευμάτων, β) κατανομή απωλειών.

Ο Πίνακας 6.8 παρακάτω συνοψίζει τα αποτελέσματα από τον υπολογισμό των διακοπτικών απωλειών για μετάβαση σε αγωγή των JFET των προηγούμενων πειραμάτων.

ΣΥΝΘΗΚΗ	Απώλειες του JFET Νο6 στο DUT ₁ (μJ)	Απώλειες του JFET Νο1 στο DUT ₂ (μJ)	Συνολικές απώλειες (μJ)
Ενα κύκλωμα οδήγησης χωρίς εξισορρόπηση ρευμάτων	220	400	620
Δύο κυκλώματα οδήγησης χωρίς εξισορρόπηση ρευμάτων	160	430	590
Δύο κυκλώματα οδήγησης των πυλών με εξισορρόπηση ρευμάτων	350	250	600
Δύο κυκλώματα οδήγησης των πυλών με εξισορρόπηση απωλειών	285	285	570

Πίνακας 6.8: Διακοπτικές απώλειες κατά τη διάρκεια της μεταγωγής σε αγωγή.

Από τον πίνακα αυτόν προκύπτει ότι, στο συγκεκριμένο πείραμα, η τεχνική της εξισορρόπησης του πλάτους των ρευμάτων κατά τη μετάβαση σε αγωγή βελτιώνει ελάχιστα την κατανομή των διακοπτικών απωλειών. Ωστόσο, η τεχνική αυτή μπορεί να χρησιμοποιηθεί και για την επίτευξη της εξισορρόπησης των διακοπτικών απωλειών. Στη δεύτερη περίπτωση, χειροτερεύει η κατανομή των ρευμάτων όπως φαίνεται στο Σχήμα 6.22(α).

B) Πειράματα με Normally-off SiC JFET

Οι διακοπτικές απώλειες θα υπολογιστούν για τη μετάβαση σε αγωγή των παράλληλα συνδεδεμένων JFET Νο13 και JFET Νο12 που ήταν τοποθετημένα στις θέσεις DUT_1 και DUT_2 αντίστοιχα. Ο υπολογισμός θα γίνει με το λογισμικό MATLAB, για τρεις διαφορετικές καταστάσεις λειτουργίας. Τα αποτελέσματα εμφανίζονται στον παρακάτω πίνακα (Πίνακας 6.9).

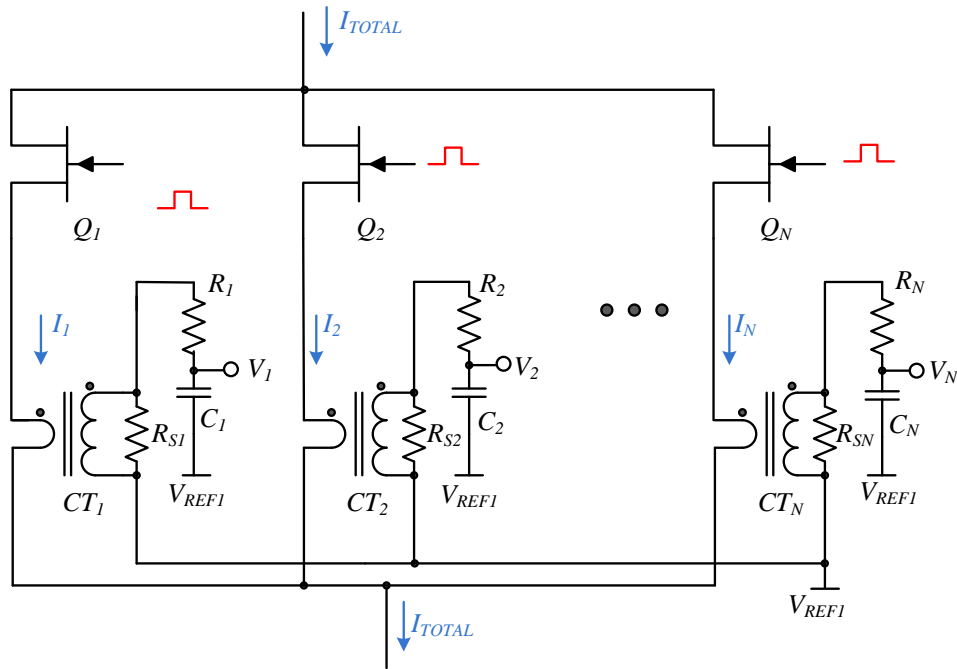
<i>ΣΥΝΘΗΚΗ</i>	<i>Απώλειες του JFET Νο13 στο DUT_1 (μJ)</i>	<i>Απώλειες του JFET Νο12 στο DUT_2 (μJ)</i>	<i>Συνολικές απώλειες (μJ)</i>
Ένα κύκλωμα οδήγησης χωρίς εξισορρόπηση ρευμάτων	350	415	765
Δύο κυκλώματα οδήγησης χωρίς εξισορρόπηση ρευμάτων	224	377	601
Δύο κυκλώματα οδήγησης των πυλών με εξισορρόπηση ρευμάτων	219	401	620

Πίνακας 6.9: Διακοπτικές απώλειες κατά τη διάρκεια της μεταγωγής σε κατάσταση αγωγής.

Όπως φαίνεται, οι διακοπτικές απώλειες δε διανέμονται εξίσου στην περίπτωση της λειτουργίας εξισορρόπησης των ρευμάτων. Ωστόσο, η τιμή της καθυστέρησης που προκύπτει από την εφαρμογή αυτής της τεχνικής μπορεί να αλλάξει προκειμένου να επιτευχθεί η ίση κατανομή των απωλειών. Από τα πειραματικά αποτελέσματα προέκυψε ότι, εάν η καθυστέρηση στο σήμα ελέγχου της πύλης του JFET της θέσης DUT_2 μεταβληθεί από 25ns σε 10ns, τότε θα υπάρξει ίση κατανομή των διακοπτικών απωλειών. Ωστόσο, στην περίπτωση αυτή, θα καταστραφεί η ισοκατανομή των ρευμάτων και η διαφορά των ρευμάτων θα φτάσει τα 6A.

6.5.7 Εξισορρόπηση των ρευμάτων N παράλληλων ημιαγωγικών διακοπών

Στην περίπτωση της ψηφιακής υλοποίησης του κυκλώματος εξισορρόπησης των ρευμάτων με N παράλληλους διακόπτες, θα χρησιμοποιηθεί το σχηματικό διάγραμμα που φαίνεται στο Σχήμα 6.23 παρακάτω ενώ το διάγραμμα ροής του αλγόριθμου εξισορρόπησης των ρευμάτων N παράλληλα συνδεδεμένων ημιαγωγικών διακοπών φαίνεται στο Σχήμα 6.24 παρακάτω.



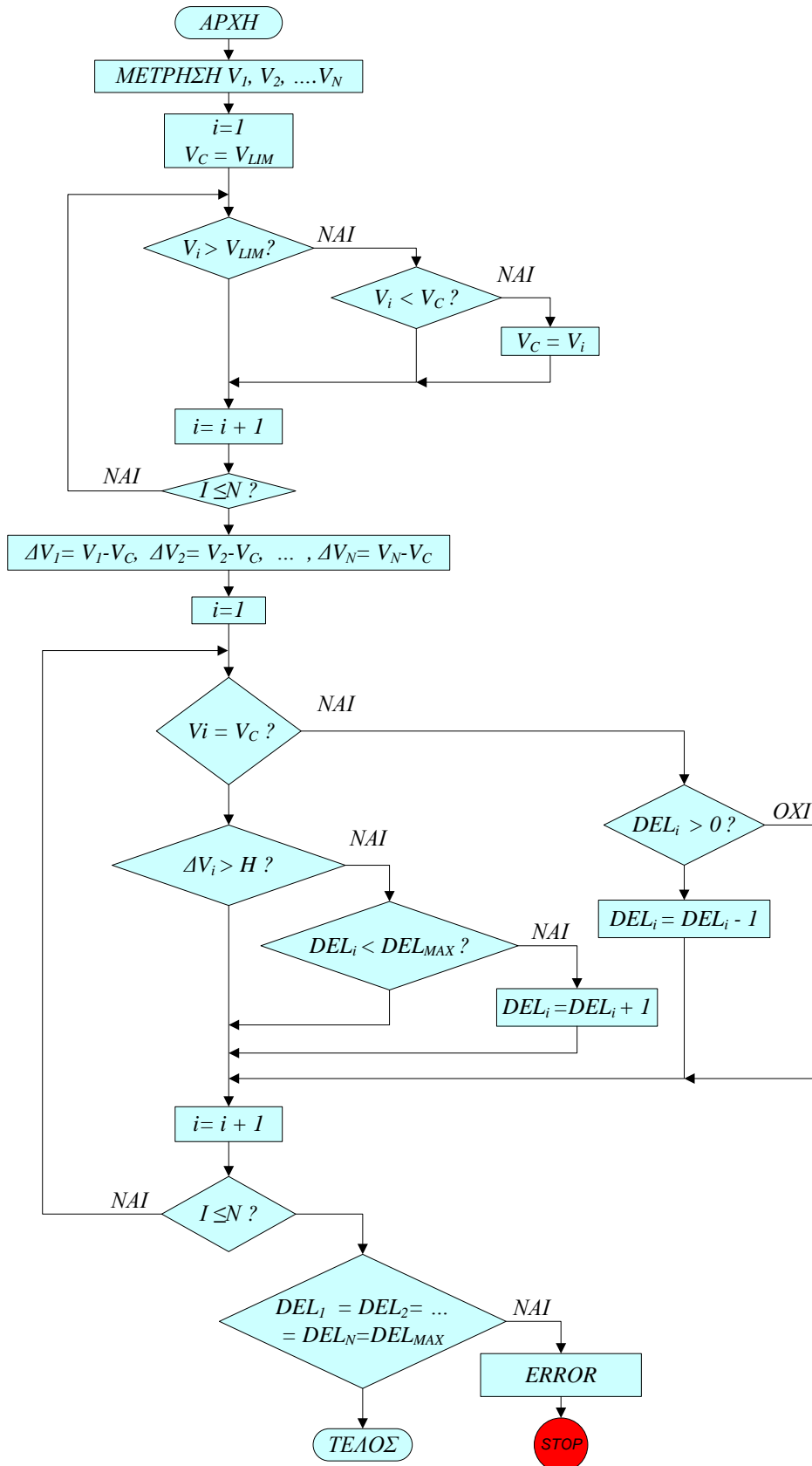
Σχήμα 6.23: Κύκλωμα μέτρησης των ρευμάτων σε N παράλληλα συνδεδεμένους διακόπτες.

Κατά τη διάρκεια του χρόνου μετάβασης σε αγωγή, ο DSC καταχωρεί τις τάσεις V_i ($i=1, 2, \dots, N$), οι οποίες είναι ανάλογες προς τα ρεύματα I_i που ρέουν μέσα από κάθε διακόπτη Q_i . Ακολούθως, τις συγκρίνει μεταξύ τους και θέτει ως τάση ελέγχου V_C την τάση V_i με τη μικρότερη τιμή δηλαδή την τιμή που αντιστοιχεί στον διακόπτη με το μικρότερο ρεύμα. Εάν κάποια τάση V_i έχει τιμή μικρότερη από ένα όριο V_{LIM} , τότε αυτή δε λαμβάνεται υπόψη στη σύγκριση, με στόχο να μη γίνει τάση ελέγχου η τάση κάποιου διακόπτη που έχει πολύ μικρό ρεύμα λόγω βλάβης. Έπειτα, υπολογίζεται από το DSC η διαφορά της τάσης $V_i - V_C$ για όλους τους διακόπτες ισχύος η οποία δείχνει εάν κάποιος διακόπτης έχει ρεύμα μεγαλύτερο από το ρεύμα που αντιστοιχεί στην τάση ελέγχου V_C .

Στη συνέχεια, ελέγχονται όλοι οι διακόπτες με τη σειρά. Εάν για κάποιον διακόπτη Q_i η τάση V_i είναι ίση με V_C (το ρεύμα του έχει την τιμή που αντιστοιχεί στο μικρότερο ρεύμα) και η καθυστέρηση αντιστάθμισης στην πύλη του είναι μεγαλύτερη από το μηδέν, τότε αυτή η καθυστέρηση μειώνεται για να αυξηθεί το ρεύμα του. Εάν όμως η τάση V_i είναι μεγαλύτερη από την τάση $V_C + H$, τότε αυξάνεται η καθυστέρηση αντιστάθμισης στην πύλη του JFET για να μειωθεί το ρεύμα του.

Το H είναι μία μικρή τιμή υστέρησης που εισάγεται για να αποφευχθούν ανεπιθύμητες ταλαντώσεις όταν η V_i είναι πολύ κοντά στη V_C . Η αύξηση της καθυστέρησης αντιστάθμισης έχει ένα άνω όριο το DEL_{MAX} και, εάν κατά την εκτέλεση του αλγόριθμου διαπιστωθεί ότι όλες οι καθυστερήσεις αντιστάθμισης έχουν φτάσει την τιμή του άνω ορίου, τότε αυτό σημαίνει ότι υπάρχει κάποιο σφάλμα και η λειτουργία όλης της διάταξης διακόπτεται.

Αυτή η διαδικασία επαναλαμβάνεται έως ότου το ρεύμα διανεμηθεί ομοιόμορφα μεταξύ όλων των διακοπών. Παρόμοια τεχνική μπορεί να εφαρμοστεί για να εξισορροπήσει τα ρεύματα κατά τη διάρκεια της μετάβασης σε αποκοπή.



Σχήμα 6.24: Διάγραμμα ροής του αλγόριθμου εξισορρόπησης των ρευμάτων N παράλληλα συνδεδεμένων ημιαγωγικών διακοπών.

6.5.8 Εναλλακτικές προσεγγίσεις της τεχνικής εξισορρόπησης

Μια εναλλακτική προσέγγιση της τεχνικής εξισορρόπησης των ρευμάτων απαιτεί οι μετρήσεις των μη ομοιόμορφα κατανεμημένων ρευμάτων να γίνεται μόνο μια φορά, κατά τη διάρκεια του ελέγχου της παραγωγής. Ο εργαστηριακός εξοπλισμός ελέγχου θα υπολογίζει αυτόματα τις απαραίτητες καθυστερήσεις για τα σήματα των πυλών μία μόνο φορά λαμβάνοντας υπόψη ότι η εξισορρόπηση των ρευμάτων θα διατηρηθεί σε αποδεκτά επίπεδα σε όλες τις καταστάσεις λειτουργίας. Αυτή η προσέγγιση παρέχει μικρότερη ασφάλεια και είναι λιγότερο αποδοτική, αλλά έχει χαμηλότερο κόστος εφαρμογής.

Και οι δύο προαναφερθείσες προσεγγίσεις της τεχνικής εξισορρόπησης των ρευμάτων μπορούν να εφαρμοστούν σε οποιαδήποτε συσκευή ισχύος όπως IGBT, MOSFET και BJT, τόσο κατά τη διάρκεια της μετάβασης σε αγωγή όσο και κατά τη διάρκεια της μετάβασης σε αποκοπή.

Κεφάλαιο 7. Σχεδιασμός του προτεινόμενου μετατροπέα ανύψωσης τάσης με SiC ημιαγωγικούς διακόπτες

7.1 Εισαγωγή

Στα φωτοβολταϊκά συστήματα, οι αντιστροφείς χωρίς μετασχηματιστή είναι η προτιμότερη επιλογή λόγω του μικρότερου μεγέθους και βάρους, του χαμηλότερου κόστους και της υψηλότερης συχνότητας λειτουργίας εν συγκρίσει με τους αντιστροφείς με μετασχηματιστή [105]. Για έναν τέτοιο τριφασικό αντιστροφέα, η DC τάση στην είσοδό του είναι τυπικά της τάξης των 800 V. Το επίπεδο αυτό της τάσης επιτυγχάνεται από μετατροπείς ανύψωσης τάσης οι οποίοι παίρνουν ενέργεια από τις φωτοβολταϊκές (ΦΒ) συστοιχίες και επίσης φροντίζουν για τη λειτουργία των ΦΒ συστοιχιών στο σημείο μέγιστης ισχύος. Εκτός από τους απλούς μετατροπείς ανύψωσης τάσης (Boost converter), έχουν μελετηθεί και οι μετατροπείς ανύψωσης τάσης με διαδοχική αγωγή παράλληλων κλάδων (Interleaved boost converter). Οι τελευταίοι έχουν πλεονεκτήματα, όπως η ελαττωμένη κυμάτωση ρεύματος και, κατά συνέπεια, η βελτίωση της ποιότητας ισχύος και της αποδοτικότητας της παρακολούθησης του σημείου μέγιστης ισχύος, με κόστος την αυξημένη πολυπλοκότητα των κυκλωμάτων [106].

Οι διακόπτες που χρησιμοποιούνται στους μετατροπείς ανύψωσης πρέπει να έχουν τάση λειτουργίας η οποία να είναι ίση ή μεγαλύτερη από 1200 V, γεγονός που αρχικά περιόριζε την επιλογή τους κυρίως στα IGBT από πυρίτιο. Η είσοδος όμως των διακοπτών από καρβίδιο του πυριτίου δίνει μία πολλά υποσχόμενη επιπλέον επιλογή, διότι οι απώλειες αγωγής και οι διακοπτικές απώλειες μπορεί να ελαττωθούν σε μεγάλο βαθμό. Το γεγονός αυτό επιτρέπει την ελάττωση του συνολικού όγκου της συσκευής, λόγω σημαντικής αύξησης της συχνότητας λειτουργίας η οποία μπορεί να υπερβεί τα 100 kHz, με ταυτόχρονη διατήρηση της υψηλής απόδοσης.

Εκτός των διακοπτών από καρβίδιο του πυριτίου, μεγάλη βελτίωση έχουν ήδη επιφέρει οι δίοδοι από καρβίδιο του πυριτίου, οι οποίοι έχουν μηδενικό ρεύμα ανάστροφης αποκατάστασης, με αποτέλεσμα οι συσκευές που να τους χρησιμοποιούν να έχουν χαμηλότερες απώλειες και μειωμένη ηλεκτρομαγνητική παρεμβολή [107], [108].

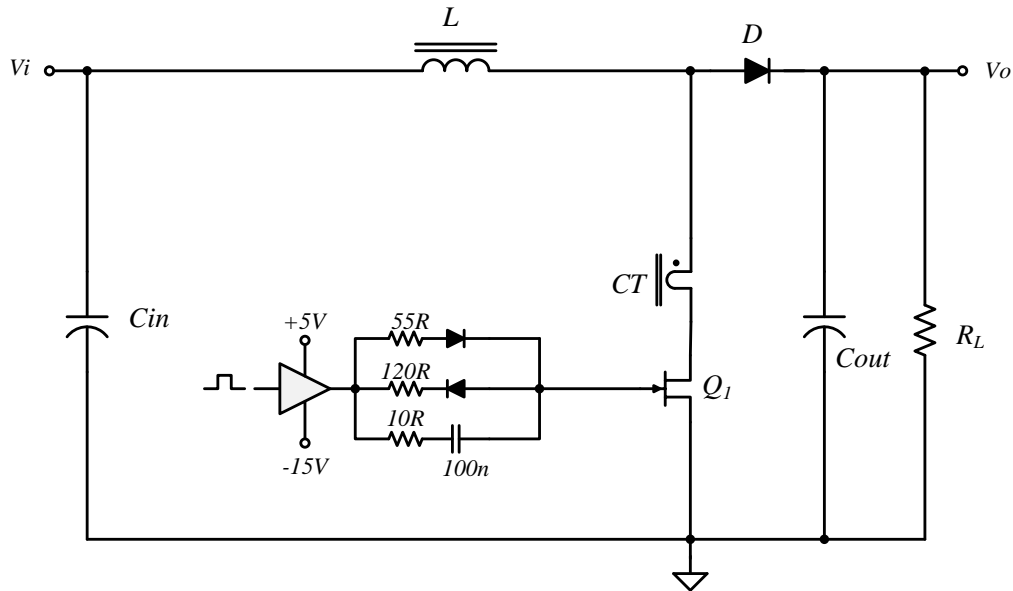
7.2 Βασικό κύκλωμα μετατροπέα ανύψωσης τάσης

Στη συνέχεια, θα μελετηθεί ο απλός μετατροπέας ανύψωσης τάσης (Boost converter). Το βασικό κύκλωμα ενός τέτοιου μετατροπέα φαίνεται στο Σχήμα 7.1 παρακάτω και αποτελείται από έναν ελεγχόμενο διακόπτη $Q1$, μια δίοδο D , ένα πηνίο L και έναν πυκνωτή C [11].

Ο διακόπτης $Q1$ ανοιγοκλείνει με διακοπτική συχνότητα $f_s = 1/T$. Ο βαθμός χρησιμοποίησης του διακόπτη (duty cycle) είναι $D = t_{on}/T$, όπου t_{on} είναι το χρονικό διάστημα όπου ο διακόπτης $Q1$ είναι σε κατάσταση αγωγής. Ο μετατροπέας ανύψωσης τάσης μπορεί να λειτουργεί με συνεχή αγωγή ρεύματος πηνίου (Continuous Conduction Mode– CCM) ή με ασυνεχή αγωγή ρεύματος πηνίου (Discontinuous Conduction Mode– DCM). Ο μετατροπέας αυτός δεν παρέχει

γαλβανική απομόνωση μεταξύ εισόδου και εξόδου και επιτρέπει τη ρύθμιση της τάσης εξόδου μεταβάλλοντας το D σύμφωνα με την παρακάτω εξίσωση:

$$V_o = V_i \frac{1}{1 - D} \quad (7.1)$$



Σχήμα 7.1: Βασικό κύκλωμα προτεινόμενου μετατροπέα ανύψωσης τάσης.

7.3 Λειτουργικά χαρακτηριστικά του υλοποιούμενου μετατροπέα τάσης

Θα σχεδιαστεί ένα κύκλωμα παρακολούθησης του σημείου μέγιστης ισχύος μιας διάταξης φωτοβολταϊκών πλαισίων συνδεδεμένων σε σειρά (maximum power point tracking system). Η υλοποίηση του κυκλώματος έγινε για το μετατροπέα ανύψωσης τάσεως (Boost regulator), όμως υπάρχει η δυνατότητα τροποποίησης του παραπάνω κυκλώματος με τη χρήση επιπλέον υλικών (οι θέσεις αυτών των υλικών υπάρχουν στο τυπωμένο κύκλωμα) για να μπορεί να εργαστεί και ως μετατροπέας υποβιβασμού τάσεως (Buck regulator). Στην περίπτωση αυτή, για να επιτευχθεί μέγιστη ενεργειακή απόδοση, οι δύο διαφορετικοί τρόποι λειτουργίας του μετατροπέα πρέπει να είναι διακριτοί και όχι ταυτόχρονοι σε όσο το δυνατόν μεγαλύτερη περιοχή της τάσεως εισόδου του. Όταν το κύκλωμα λειτουργεί μόνο ως ανυψωτής τάσεως, διατηρεί το ένα JFET μόνιμα σε κατάσταση αγωγής. Όταν το κύκλωμα λειτουργεί μόνο ως υποβιβαστής τάσεως, διατηρεί το άλλο JFET μόνιμα σε κατάσταση αποκοπής. Η μετάβαση από τον έναν τρόπο λειτουργίας στον άλλον μπορεί να επιτευχθεί εύκολα με τη χρήση ενός ψηφιακού μικροελεγκτή ο οποίος θα ελέγχει τη λειτουργία ολόκληρου του συστήματος. Τέλος, σε μια συγκεκριμένη περιοχή τάσεως εισόδου, ο μετατροπέας θα λειτουργεί ως ανυψωτής και υποβιβαστής ταυτόχρονα (Buck - Boost) ανοιγοκλείνοντας και τα δυο JFET με κατάλληλο χρονισμό.

Για να είναι δυνατή η λειτουργία του κυκλώματος παρακολούθησης της μέγιστης ισχύος, πρέπει στην έξοδό του να συνδεθεί κατάλληλο φορτίο το οποίο θα μπορεί να απορροφήσει όλη την ισχύ που παράγεται καθώς επίσης και να διατηρεί την τάση στην έξοδο του μετατροπέα σταθερή. Αυτό διότι ο συγκεκριμένος μετατροπέας δεν έχει τη δυνατότητα να διατηρεί μόνος

του την τάση εξόδου του σταθερή. Παράδειγμα τέτοιου φορτίου είναι οι μπαταρίες ή η είσοδος ενός αντιστροφέα μετατροπής της συνεχούς τάσεως σε εναλλασσόμενη.

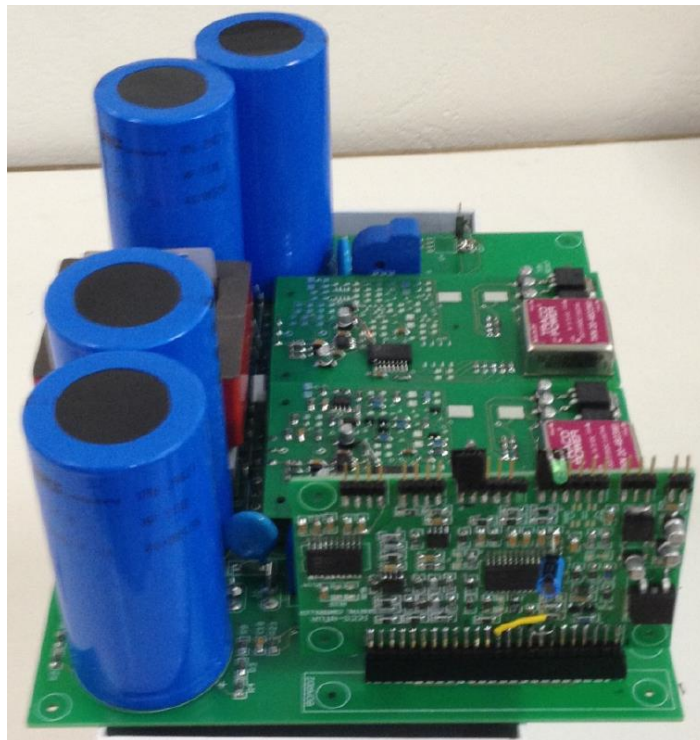
Οι προδιαγραφές ασφάλειας οι οποίες τηρήθηκαν είναι σύμφωνες με το πρότυπο UL60950.

Παρακάτω δίνονται τα χαρακτηριστικά λειτουργίας του μετατροπέα:

Μέγιστη ισχύς εξόδου:	5 KW
Περιοχή τάσεως εισόδου για παρακολούθηση του MPPT:	200-700Vdc
Μέγιστο ρεύμα εισόδου:	7.3 A
Συχνότητα λειτουργίας των διακοπτικών στοιχείων:	25 KHz
Τάση εξόδου:	800V
Μέγιστη κυμάτωση της τάσεως εξόδου:	1%
Βαθμός απόδοσης :	> 99%

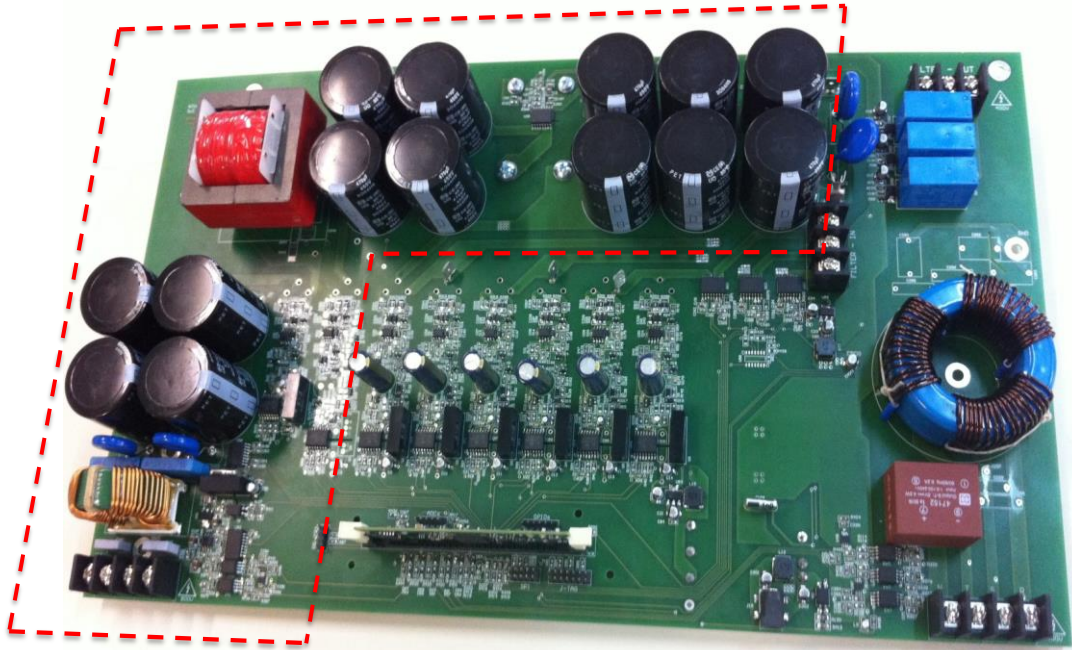
7.4 Υλοποίηση του μετατροπέα τάσης

Αρχικά κατασκευάστηκε μία αυτόνομη κάρτα για το μετατροπέα ανύψωσης τάσης η οποία φαίνεται στο Σχήμα 7.2 παρακάτω. Στη συνέχεια, ο μετατροπέας ανύψωσης τάσης και ένας τριφασικός αντιστροφέας χωρίς μετασχηματιστή ενσωματώθηκαν στην ίδια κάρτα και χρησιμοποιήθηκε κοινός ψηφιακός ελεγκτής και για τους δύο μετατροπείς.



Σχήμα 7.2: Κάρτα του προτεινόμενου μετατροπέα ανύψωσης τάσης.

Στο Σχήμα 7.3 παρακάτω φαίνεται η κάρτα τριφασικού αντιστροφέα πάνω στην οποία είναι ενσωματωμένος ο μετατροπέας ανύψωσης τάσης ο οποίος περικλείεται από τις κόκκινες διακεκομμένες γραμμές.



Σχήμα 7.3: Κάρτα του προτεινόμενου τριφασικού αντιστροφέα πάνω στην οποία είναι ενσωματωμένος ο μετατροπέας ανύψωσης τάσης.

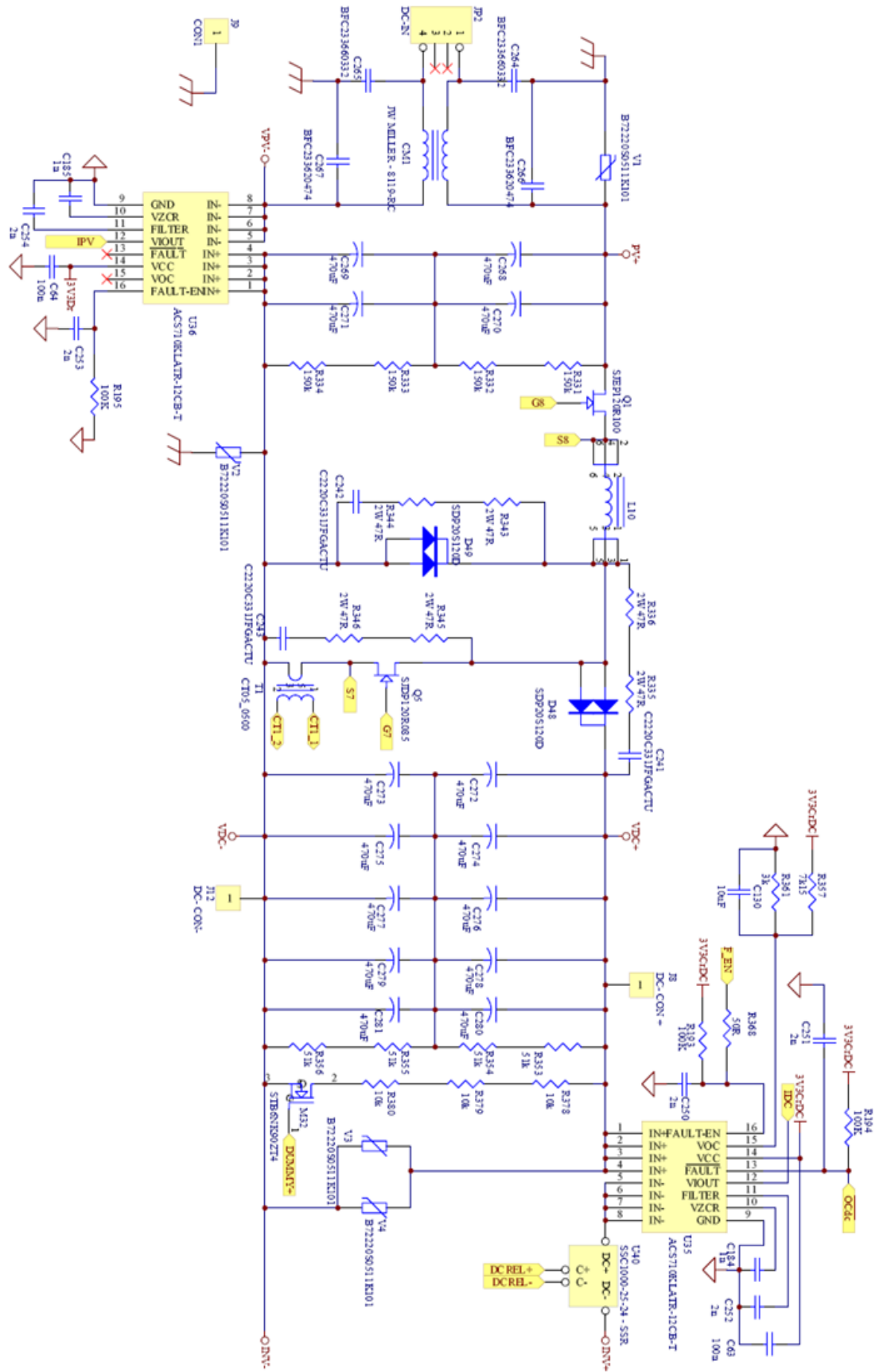
7.5 Περιγραφή του βασικού κυκλώματος του μετατροπέα ανύψωσης τάσης

Στο Σχήμα 7.4 παρακάτω φαίνεται το βασικό κύκλωμα του μετατροπέα ανύψωσης τάσης. Σε αυτό το κύκλωμα, τα $L10$, $Q5$ και $D48$ είναι τα βασικά υλικά του μετατροπέα ανύψωσης τάσης. Τα υλικά $Q1$ και $D49$ χρησιμεύουν μόνο στην περίπτωση που ο μετατροπέας θα χρησιμοποιηθεί και για υποβιβασμό της τάσης. Επίσης, ο διακόπτης $U40$ χρησιμεύει για να απομονώνει τους διακόπτες ισχύος του τριφασικού αντιστροφέα από το μπλοκ των πυκνωτών εξόδου του μετατροπέα ανύψωσης τάσης σε περίπτωση σφάλματος.

Υπάρχουν δύο κυκλώματα βασισμένα στα ολοκληρωμένα $U35$ και $U36$ για τη μέτρηση των DC ρευμάτων στην έξοδο και στην είσοδο του μετατροπέα αντίστοιχα. Τα $U35$ και $U36$ είναι ο αισθητήρας ρεύματος ACS710 με εύρος ζώνης 120 kHz. Το ACS710 αποτελείται από έναν αισθητήρα Hall μεγάλης ακρίβειας και υψηλής γραμμικότητας. Η εσωτερική αντίσταση του χάλκινου αγωγού που χρησιμοποιείται για να ρέει το ρεύμα μέτρησης είναι της τάξεως του 1 mΩ για χαμηλή απώλεια ισχύος. Επίσης, ο αγωγός του ρεύματος προς μέτρηση είναι ηλεκτρικά απομονωμένος από τις εισόδους και εξόδους χαμηλής τάσης του αισθητήρα.

Το $CM1$ είναι ένα πηνίο για τη μείωση του υψίσυχνου θορύβου (Common Mode Choke).

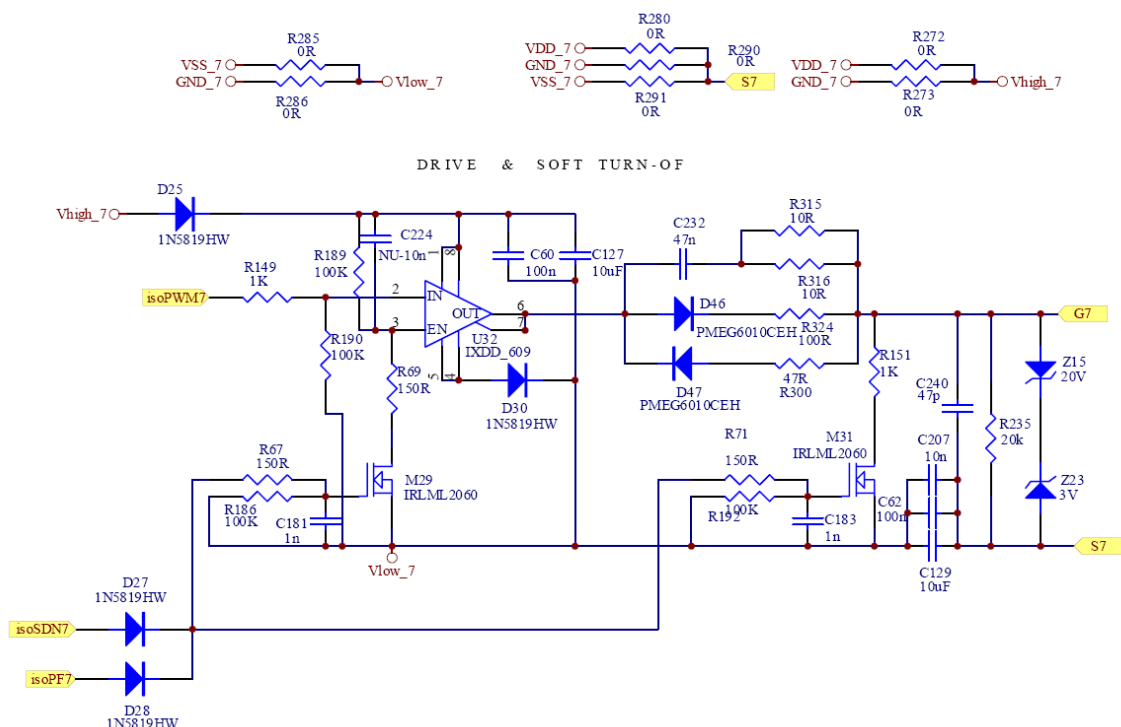
Τα υλικά $M32$, $R378$, $R379$ και $R380$ είναι ένα τεχνητό φορτίο το οποίο είναι συνδεδεμένο στην έξοδο του μετατροπέα ανύψωσης τάσης στην περίπτωση που ο αντιστροφέας είναι ανενεργός, με στόχο να παρεμποδίσει την ανεξέλεγκτη ανύψωση της τάσης εξόδου του μετατροπέα ανύψωσης.



Σχήμα 7.4: Βασικό κύκλωμα του προτεινόμενου μετατροπέα ανύψωσης τάσης.

7.6 Κύκλωμα οδήγησης των ημιαγωγικών διακοπών

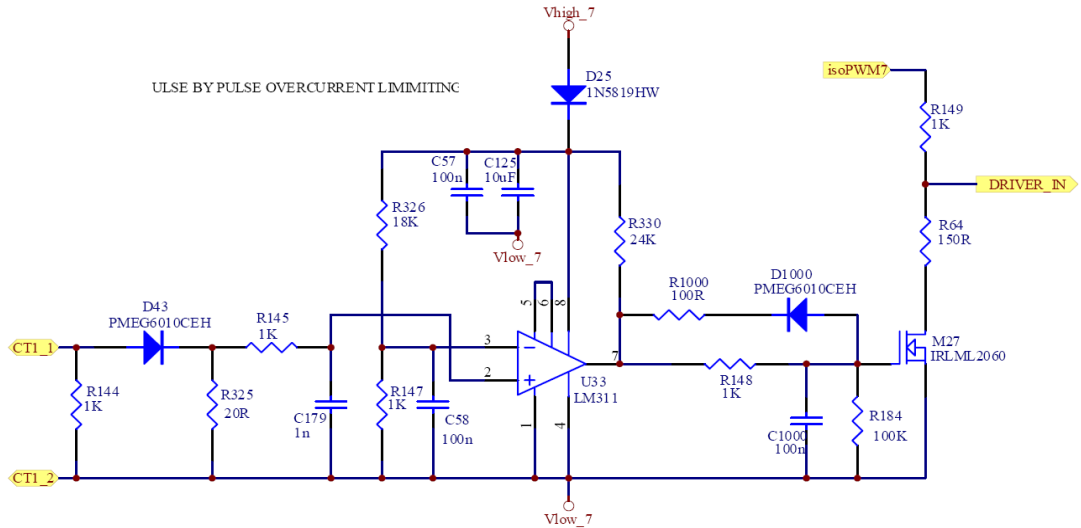
Στο Σχήμα 7.5 παρακάτω φαίνεται το κύκλωμα οδήγησης των ημιαγωγικών διακοπών του μετατροπέα το οποίο είναι προσαρμόσιμο για να μπορεί να οδηγεί οποιονδήποτε τύπο Normally-on και Normally-off JFET, τοποθετώντας τις κατάλληλες μηδενικές αντιστάσεις και μεταβάλλοντας τις τιμές ελάχιστων υλικών. Πιο συγκεκριμένα, δια μέσω των αντιστάσεων $R285$ και $R286$, γίνεται επιλογή της τάσης που θα εφαρμοστεί στην πύλη των ημιαγωγικών διακοπών μεταξύ των τιμών μηδέν και V_{SS} . Αντίστοιχα, δια μέσω των αντιστάσεων $R280$, $R290$ και $R291$, επιλέγεται το σημείο σύνδεσης του ακροδέκτη της πηγής των ημιαγωγικών διακοπών μεταξύ της γης, της πηγής τάσης V_{SS} ή της πηγής τάσης V_{DD} . Τέλος, δια μέσω των αντιστάσεων $R272$ και $R273$, γίνεται επιλογή της τάσης οδήγησης στη μετάβαση σε αγωγή μεταξύ των τιμών μηδέν και V_{DD} . Η πηγή τάσης V_{SS} ρυθμίστηκε στα -15 V ενώ η πηγή τάσης V_{DD} ρυθμίστηκε στα $+5\text{ V}$ για τα Normally-on JFET και στα $+14\text{ V}$ για τα Normally-off JFET.



Σχήμα 7.5: Κύκλωμα οδήγησης των ημιαγωγικών διακοπών του μετατροπέα.

7.7 Κύκλωμα περιορισμού ρεύματος

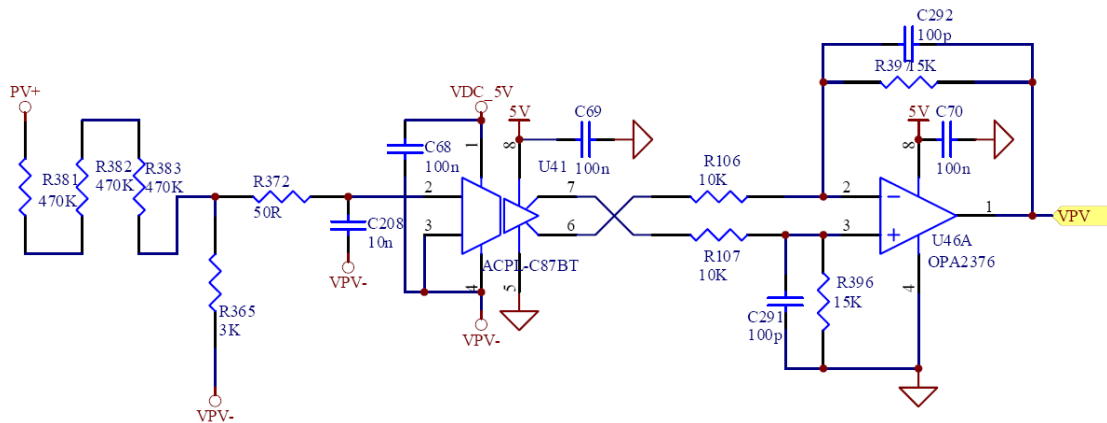
Στο Σχήμα 7.6 φαίνεται το κύκλωμα περιορισμού του ρεύματος από το διακόπτη του μετατροπέα. Το κύκλωμα περιορισμού του ρεύματος χρησιμοποιεί ένα μετασχηματιστή ρεύματος ο οποίος μπορεί επίσης να χρησιμοποιηθεί και από το κύκλωμα εξισορρόπησης των ρευμάτων σε παράλληλα συνδεδεμένους διακόπτες ισχύος όπως αναφέρθηκε παραπάνω. Με τον τρόπο αυτόν επιτυγχάνεται αποδοτική σχεδίαση τόσο από την άποψη του κόστους όσο και από την άποψη του μεγέθους της κατασκευής.



Σχήμα 7.6: Κύκλωμα περιορισμού του ρεύματος.

7.8 Κύκλωμα μέτρησης της τάσης εισόδου

Το κύκλωμα μέτρησης της τάσης εισόδου είναι αυτό που εμφανίζεται στο Σχήμα 7.7 παρακάτω.



Σχήμα 7.7: Κύκλωμα μέτρησης της τάσης εισόδου.

Τα κυκλώματα αυτά βασίζονται στο ACPL-C87B της AvagoTechnologies το οποίο είναι ένας αισθητήρας τάσης ακριβείας με ηλεκτρικά απομονωμένη έξοδο. Έχει εύρος ζώνης 100KHz, μοναδιαίο κέρδος με ακρίβεια 0.5% και 1GΩ αντίσταση εισόδου. Ο αισθητήρας τάσης ACPL-C87B έχει διαφορική έξοδο οπότε χρησιμοποιείται ένας διαφορικός τελεστικός ενισχυτής για να τη μετατρέψει σε μια ανάλογη τάση με σημείο αναφοράς τη γη.

Να σημειωθεί ότι για τη μέτρηση της τάσης εξόδου χρησιμοποιείται ένα πανομοιότυπο κύκλωμα.

7.9 Υπολογισμοί των στοιχείων του μετατροπέα ανύψωσης της τάσεως

Επειδή στην είσοδο του μετατροπέα ανύψωσης συνδέεται μια ΦΒ συστοιχία, όλοι οι υπολογισμοί θα γίνουν στη μέγιστη τάση εισόδου του διότι στη ΦΒ συστοιχία, όταν ή τάση του σημείου λειτουργίας μέγιστης ισχύος μειώνεται, τότε μειώνεται και το ρεύμα λειτουργίας.

Το Duty Cycle (D) στη μέγιστη τάση εισόδου είναι:

$$D_{MIN} = 1 - \frac{V_{IN(MAX)} \cdot n}{V_{OUT}} = 0.13 \quad (7.2)$$

Όπου,

$V_{IN(MAX)}$ είναι η μέγιστη τάση εισόδου, 700V

V_{OUT} είναι η τάση εξόδου, 800V

n είναι η απόδοση του συστήματος, 99%

Η ελάχιστη τιμή της αυτεπαγωγής L η οποία θα διασφαλίζει τη λειτουργία του μετατροπέα ανύψωσης στη λειτουργία συνεχούς αγωγής ρεύματος για όλες τις τιμές του βαθμού χρησιμοποίησης του διακόπτη D είναι:

$$L_{min} = \frac{2 \cdot R_{L,max}}{27 \cdot f_S} \quad (7.3)$$

$R_{L,max}$ είναι η μέγιστη αντίσταση φορτίου.

Επειδή όμως στο μετατροπέα αυτόν δεν υπάρχει μέγιστη αντίσταση φορτίου, διότι στην έξοδο του συνδέεται ο αντιστροφέας ο οποίος απορροφά όλη τη διαθέσιμη ισχύ, η τιμή του πηνίου καθορίζεται μόνο από την απαιτούμενη μέγιστη κυμάτωση του ρεύματος που μπορούν να ανεχτούν οι πυκνωτές εισόδου και εξόδου, οι οποίοι θα καθορίσουν τελικά την κυμάτωση της τάσης στην είσοδο και στην έξοδο του μετατροπέα. Η τιμή του πηνίου μεταβάλλεται ανάλογα με το ρεύμα του και για ρεύμα 10A είναι 684 μ H, όπως θα φανεί στους υπολογισμούς που ακολουθούν.

Η κυμάτωση του ρεύματος για μέγιστη τάση εισόδου είναι:

$$\Delta I_{L(p-p)} = \frac{V_{IN(MAX)} \cdot D_{MIN}}{f_S \cdot L} = 5.3A \quad (7.4)$$

Όπου,

D_{MIN} είναι το Duty Cycle στη μέγιστη τάση εισόδου

$V_{IN(MAX)}$ είναι η μέγιστη τάση εισόδου

f_S είναι η διακοπτική συχνότητα

L είναι η αυτεπαγωγή του πηνίου

Το ρεύμα που διαρρέει τον ημιαγωγικό διακόπτη υπολογίζεται από την σχέση:

$$I_D = \begin{cases} \frac{I_{OUT}}{1-D}, & 0 < t \leq D \cdot T \\ 0, & D \cdot T < t \leq T \end{cases} \quad (7.5)$$

Το μέγιστο ρεύμα του διακόπτη ισχύος είναι:

$$I_{D_MAX} = \frac{\Delta I_{L(p-p)}}{2} + \frac{I_{OUT(MAX)}}{1-D} = 9.9 A \quad (7.6)$$

Η RMS τιμή του ρεύματος του ημιαγωγικού διακόπτη είναι:

$$I_{D_RMS} = \sqrt{\frac{1}{T} \int_0^T i_{SW}^2 dt} = \frac{I_{OUT} \sqrt{D}}{1-D} = 2.6 A \quad (7.7)$$

7.10 Πηνίο του κυκλώματος ανύψωσης της τάσεως

Για το πηνίο του κυκλώματος παρακολούθησης του σημείου μέγιστης ισχύος θα χρησιμοποιηθεί ένα σετ πυρήνων 00K5530E(DIN 55/25)-60μ της MAGNETICS και θα τυλιχτούν 64 σπείρες σύρματος χαλκού 3 x 1mm. Τα χαρακτηριστικά του πυρήνα 00K5530E είναι:

$$A_L = 261 \text{ nH/Turns} \pm 8\%$$

$$L_e = 12.3 \text{ cm}$$

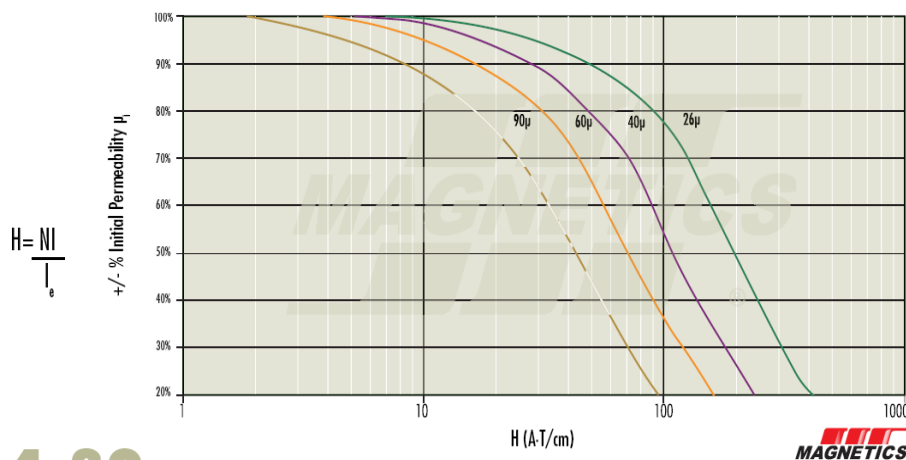
$$A_e = 4.17 \text{ cm}^2$$

$$V_e = 51.4 \text{ cm}^3$$

Το ρεύμα του πηνίου έχει μέση τιμή 6,3A και κυμάτωση $\pm 2,7A$. Η ένταση του μαγνητικού πεδίου είναι ανάλογη με την ένταση του ρεύματος και υπολογίζεται από τον παρακάτω τύπο:

$$H = \frac{N \cdot I}{L_e} = \frac{64 \cdot 9.5}{12.3} = 51.5 \text{ AT/cm} \quad (7.8)$$

Η διαπερατότητα του πυρήνα μειώνεται με την αύξηση της έντασης του μαγνητικού πεδίου σύμφωνα με το παρακάτω διάγραμμα:



Σχήμα 7.8: Μεταβολή της διαπερατότητας του πυρήνα σε σχέση με την ένταση του μαγνητικού πεδίου[109].

Για ρεύμα 9,9Α, η διαπερατότητα και ο συντελεστής A_L είναι σύμφωνα με το παραπάνω διάγραμμα στο 64% των τιμών που έχουν όταν το πηνίο είναι αφόρτιστο.

Επομένως η αυτεπαγωγή του πηνίου είναι:

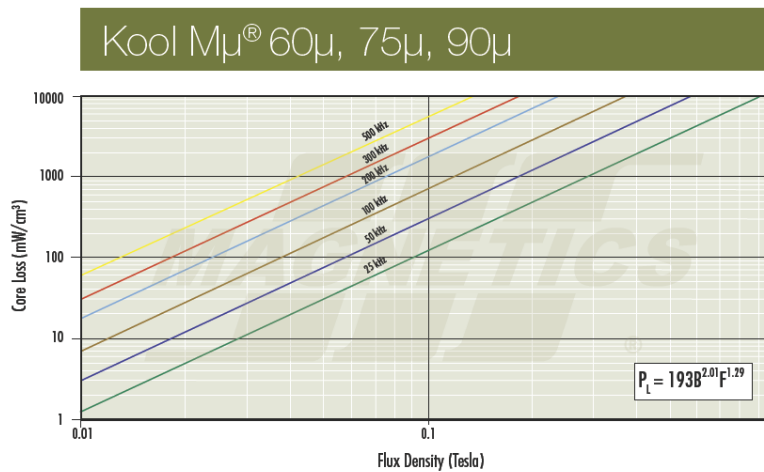
$$L = A_L \cdot N^2 = 261 \cdot 64^2 \text{ nH} = 1070 \text{ } \mu\text{H}, \quad \text{για αφόρτιστο πηνίο.}$$

$$L = 1070 \text{ } \mu\text{H} \cdot 64\% = 684 \text{ } \mu\text{H}, \quad \text{για ρεύμα πηνίου ίσο με 9,9Α.}$$

Επίσης ισχύει

$$\Delta B = \frac{L \cdot \Delta I}{N \cdot Ae} = 136 \text{ mT} \quad (7.9)$$

Το διάγραμμα στο Σχήμα 7.9 παρακάτω δείχνει την πυκνότητα των απωλειών του πυρήνα συναρτήσει του $B_{peak} = \Delta B/2$ και της συχνότητας f_s .



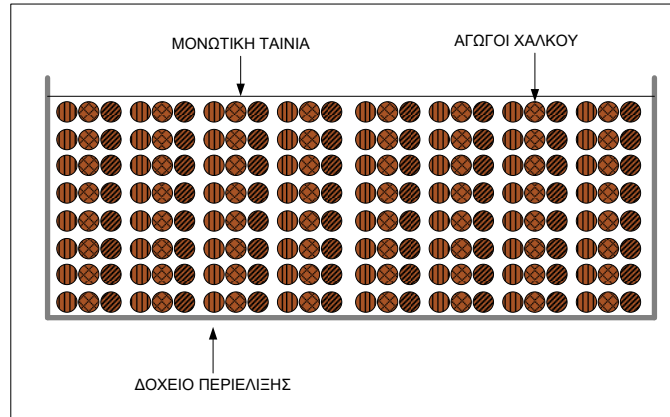
Σχήμα 7.9: Πυκνότητα των απωλειών του πυρήνα συναρτήσει του B_{peak} [109].

Από το παραπάνω διάγραμμα με $B_{peak} = 68 \text{ mT}$ και $f_s = 25 \text{ KHz}$ έχουμε:

$$\text{Core Loss density} = 50 \text{ mW/cm}^3,$$

$$\text{Core Loss} = \text{Core Loss density} \cdot V_e = 50 \text{ mW/cm}^3 \cdot 51,4 \text{ cm}^3 = 2,6 \text{ Watt}$$

Στο Σχήμα 7.10 παρακάτω φαίνεται ο τρόπος με τον οποίον τυλίγονται τα σύρματα του πηνίου πάνω στο δοχείο περιέλιξης.



Σχήμα 7.10: Τύλιγμα του πηνίου.

Το τύλιγμα αποτελείται από 64 σπείρες σύρματος χαλκού με μονωτικό βερνίκι υψηλής θερμοκρασίας. Το τύλιγμα αρχίζει από τους ακροδέκτες 1,2,3 του δοχείου περιέλιξης και καταλήγει στους ακροδέκτες 12,13,14. Τρία σύρματα χαλκού διαμέτρου 1mm τυλίγονται παράλληλα όπως φαίνεται στο παραπάνω σχήμα. Οι σπείρες όλων των τυλιγμάτων τυλίγονται ομοιόμορφα και σφιχτά γύρω από το καρούλι σε οκτώ στρώσεις. Πάνω από την τελευταία στρώση χαλκού τυλίγονται δυο στρώσεις μονωτικής ταινίας. Το πηνίο εμβαπτίζεται σε μονωτικό βερνίκι. Η ωμική αντίσταση του τυλιγματος είναι 82mΩ και οι ωμικές απώλειες είναι 5 Watt. Οι συνολικές απώλειες του πηνίου είναι $P_L = 5\text{Watt} + 2.6\text{Watt} = 7.6\text{ Watt}$ και η αύξηση της θερμοκρασίας του χωρίς ροή αέρα είναι περίπου 80°C. Στην τελική κατασκευή, υπάρχει ένας ανεμιστήρας ο οποίος βοηθάει στην ψύξη του πηνίου.

7.11 Θεωρητικός Υπολογισμός των απωλειών του JFET SJDP120R085

Τα χαρακτηριστικά λειτουργίας του JFET είναι:

$$R_{DS-ON}(120^{\circ}C) = 140\text{ m}\Omega$$

$$V_{TH} = -5\text{ V}$$

$$V_{GS-ON} = 5\text{ V}$$

$$V_{GS-OFF} = -15\text{ V}$$

$$V_{OFF-MAX} = 1000\text{ V}$$

$$Q_G = 32\text{ nC}$$

$$Q_{GD} = 27\text{ nC}$$

$$C_{OSS} = 80\text{ pF}$$

$$R_G \approx 6\Omega$$

Στην πόλη του JFET έχει συνδεθεί ένας πυκνωτής 3.2nF.

Οι απώλειες λόγω της χωρητικότητας της πόλης του JFET είναι:

$$P_G = Q_G \cdot V_{GS(p-p)} \cdot f_s = 0.018\text{ Watt.} \quad (7.10)$$

Οι απώλειες της ισοδύναμης χωρητικότητας C_{OSS} είναι:

$$P_{COSS} = C_{OSS} \cdot V_{OUT}^2 \cdot f_S / 2 = 1 \text{ Watt} \quad (7.11)$$

Ο χρόνος μετάβασης σε αγωγή είναι:

$$t_{SW_ON} \approx Q_{GD} \cdot R_G / (V_{G_ON} - V_{TH}) = 20 \text{ ns} \quad (7.12)$$

Οι απώλειες μετάβασης σε αγωγή είναι:

$$P_{SW_ON} = t_{SW_ON} \cdot V_{OFF_MAX} \cdot I_{D_MAX} \cdot f_S / 2 = 2.5 \text{ Watt} \quad (7.13)$$

Ο χρόνος μετάβασης σε αποκοπή είναι:

$$t_{SW_OFF} \approx Q_{GD} \cdot R_G / (V_{G_OFF} - V_{TH}) = 20 \text{ ns} \quad (7.14)$$

Οι απώλειες μετάβασης σε αποκοπή είναι:

$$P_{SW_OFF} = t_{SW_OFF} \cdot V_{OFF_MAX} \cdot I_{D_MAX} \cdot f_S / 2 = 2.5 \text{ Watt} \quad (7.15)$$

Οι απώλειες αγωγής είναι:

$$P_{COD} = R_{DS-ON} \cdot I_{SW_RMS}^2 = 1 \text{ Watt} \quad (7.16)$$

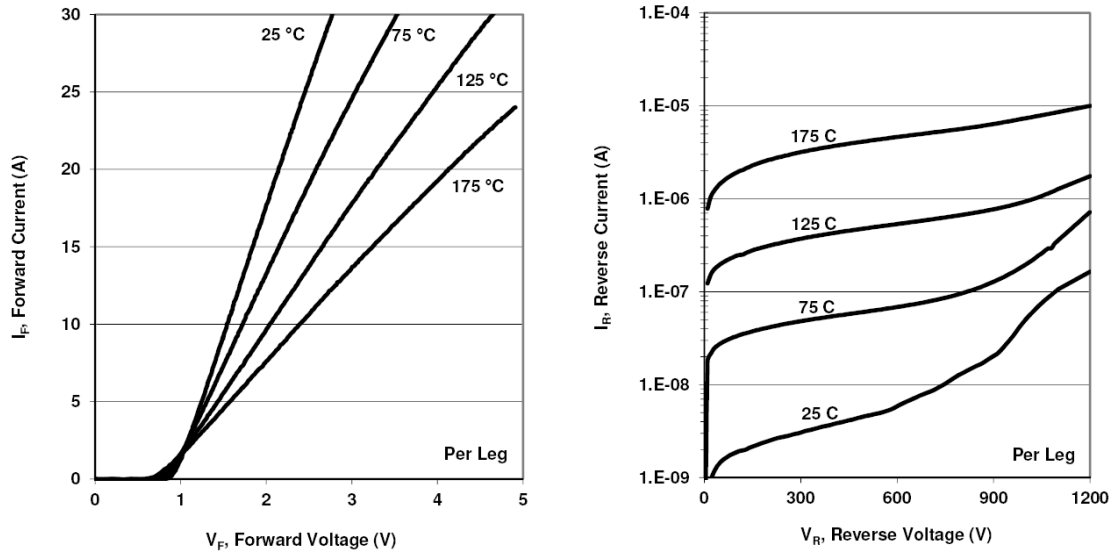
Οι συνολικές απώλειες του JFET είναι:

$$P_Q = P_G + P_{COSS} + P_{SW_ON} + P_{SW_OFF} + P_{COD} = 7 \text{ Watt} \quad (7.17)$$

7.12 Θεωρητικός Υπολογισμός των απωλειών της διόδου SDP20S120D

Η δίοδος εξόδου που θα χρησιμοποιηθεί είναι η SDP20S120D SiC SchottkyDIODE της Semisouth, όπου για την ακρίβεια αποτελείται από δύο όμοιες διόδους σε ένα περίβλημα.

Τα χαρακτηριστικά λειτουργίας για κάθε μία από τις δύο διόδους φαίνονται στο Σχήμα 7.11 παρακάτω.



Σχήμα 7.11: Χαρακτηριστικά λειτουργίας της διόδου SDP20S120D [110].

Οπότε εάν θεωρήσουμε ότι η θερμοκρασία λειτουργίας είναι 125 °C, τότε οι απώλειες της διόδου είναι:

$$P_D = V_F \cdot I_F (1-D) + V_R \cdot I_R \cdot D = 8.8 \text{ Watt} \quad (7.18)$$

7.13 Θεωρητικός Υπολογισμός των απωλειών των πυκνωτών εισόδου - εξόδου

Για τον υπολογισμό των RMS ρευμάτων των πυκνωτών θα χρησιμοποιηθούν οι παρακάτω τύποι [111]:

$$I_{CIN_RMS} = \frac{(V_{OUT} - V_{IN}) \frac{V_{IN}}{V_{OUT}}}{2 \cdot L \cdot f_s \cdot \sqrt{3}} = 1.48 \text{ A} \quad (7.19)$$

$$I_{COUT_RMS} = \sqrt{\left[I_{OUT} \left(1 - \frac{V_{IN}}{V_{OUT}} \right) \sqrt{\frac{V_{OUT}}{V_{IN}}} \right]^2 + \left[I_{OUT} \sqrt{\frac{V_{IN}}{V_{OUT}}} \right]^2} = 5.8 \text{ A} \quad (7.20)$$

Στην είσοδο συνδέονται δύο πυκνωτές εν σειρά για να επιτευχθεί το επιθυμητό επίπεδο τάσης και ο καθένας από αυτούς έχει αντίσταση ESR ίση με 230 mΩ.

Οι απώλειες των πυκνωτών εισόδου είναι:

$$P_{C-IN} = I_{CIN_RMS}^2 \cdot ESR_{CIN} = 1 \text{ Watt} \quad (7.21)$$

Στην έξοδο συνδέονται δύο πυκνωτές εν σειρά για να επιτευχθεί το επιθυμητό επίπεδο τάσης και ο καθένας από αυτούς έχει αντίσταση ESR ίση με 230 mΩ.

Οι απώλειες για ένα ζεύγος πυκνωτών εξόδου είναι:

$$P_{C-OUT} = I_{COUT_RMS}^2 \cdot ESR_{COUT} = 15.5 \text{ Watt} \quad (7.22)$$

Οι απώλειες για δύο ζεύγη πυκνωτών εξόδου είναι:

$$P_{C-OUT} = I_{COUT_RMS}^2 \cdot ESR_{COUT} = 7.8 \text{ Watt} \quad (7.23)$$

7.14 Θεωρητικός Υπολογισμός της απόδοσης του μετατροπέα

Οι συνολικές απώλειες του μετατροπέα είναι:

$$P_{CONV} = P_L + P_Q + P_D + P_{C_IN} + P_{C_OUT} + P_{PCB} = (7.6+7+8.8+1+15.5+2) \text{ Watt} = 41.9 \text{ Watt} \quad (7.24)$$

Η απόδοση του μετατροπέα με ένα ζεύγος πυκνωτών στην έξοδο είναι:

$$n = \frac{100 \cdot P_{OUT}}{P_{OUT} + P_{CONV}} = \frac{500000}{5000 + 41.9} = 99.17\% \quad (7.25)$$

Η απόδοση του μετατροπέα με δύο ζεύγη πυκνωτών στην έξοδο είναι:

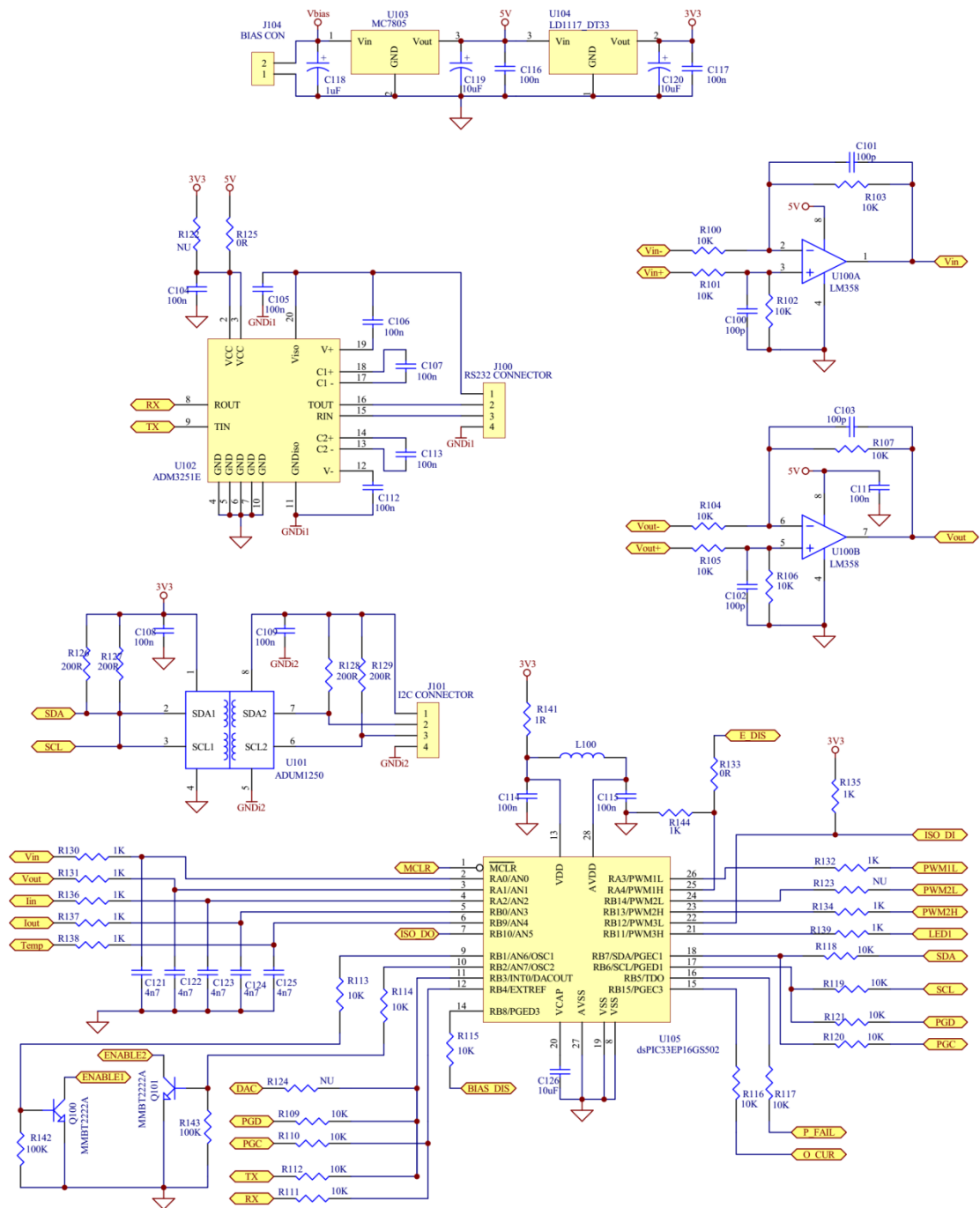
$$n = \frac{100 \cdot P_{OUT}}{P_{OUT} + P_{CONV}} = \frac{500000}{5000 + 34.3} = 99.32\% \quad (7.26)$$

7.15 Περιγραφή των κυκλωμάτων του ψηφιακού μικροελεγκτή

Το κύκλωμα ελέγχου υλοποιείται με έναν ψηφιακό μικροελεγκτή ο οποίος ενσωματώνει μία διάταξη γρήγορης ψηφιακής επεξεργασίας και μία διάταξη παραγωγής PWM σημάτων με τις εξής δυνατότητες:

- ✓ Ανάγνωση των αναλογικών σημάτων με ταχύτητα μέχρι και 4 εκατομμύρια δείγματα ανά δευτερόλεπτο (4 Msps).
- ✓ Ταυτόχρονη δειγματοληψία μέχρι και 6 αναλογικών σημάτων.
- ✓ Διαθέτει 4 PWM γεννήτριες με δύο εξόδους η κάθε μία για οδήγηση των διακοπών σε παλμοτροφοδοτικά, αντιστροφείς κλπ.
- ✓ Η μέγιστη ανάλυση των PWM σημάτων είναι 1,04 nSec.
- ✓ Διαθέτει ενσωματωμένους δυο συγκριτές για άμεση απόκριση χωρίς την παρέμβαση των εντολών του κώδικα.

Το βασικό κύκλωμα του ψηφιακού μικροελεγκτή φαίνεται στο παρακάτω σχήμα.



Σχήμα 7.12: Το βασικό κύκλωμα του ψηφιακού μικροελεγκτή.

Το κύκλωμα του μικροελεγκτή διαβάζει τα σήματα ελέγχου δηλ. την τάση και το ρεύμα εισόδου του μετατροπέα καθώς και την τάση και το ρεύμα εξόδου του και στέλνει τα σήματα ελέγχου για να παράγει τους διαμορφωμένους κατά πλάτος παλμούς οι οποίοι προορίζονται για τον διακόπτη ισχύος δια μέσω των κυκλωμάτων οδήγησης.

Επίσης εμπεριέχει δύο τελεστικούς ενισχυτές οι οποίοι χρησιμοποιούνται στη μέτρηση του ρεύματος εισόδου και εξόδου, ένα κύκλωμα οδήγησης για σύνδεση ενός ηλεκτρονικού υπολογιστή δια μέσω της Θύρας RS232, παρέχοντας ταυτόχρονα απομόνωση μεταξύ των

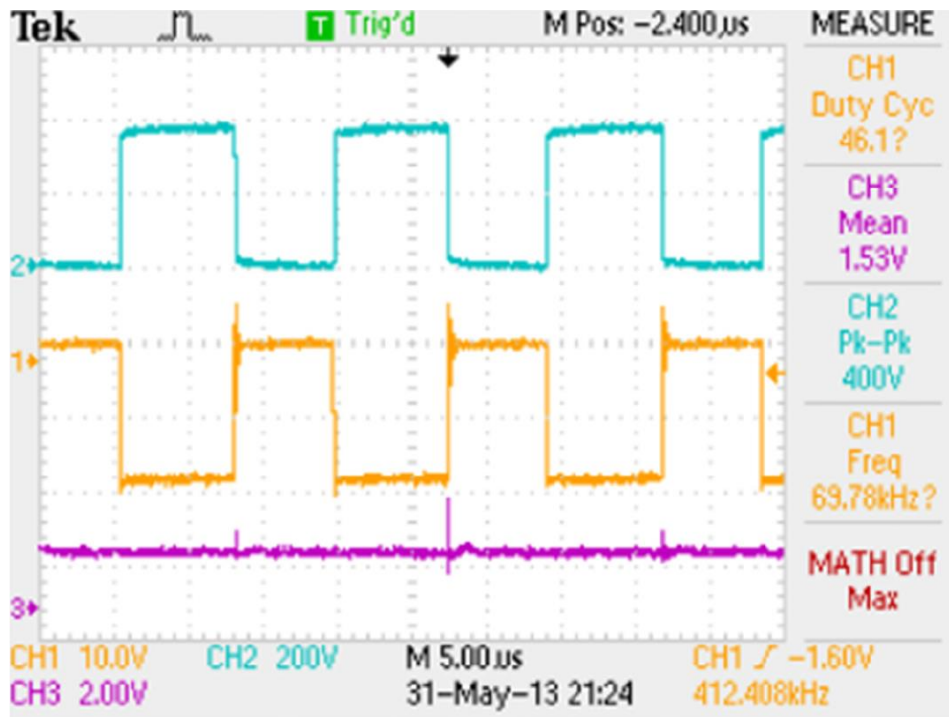
κυκλωμάτων καθώς επίσης και τις απαραίτητες τάσεις για τη λειτουργία της Θύρας RS232, και έναν δίαυλο επικοινωνίας με άλλες ψηφιακές συσκευές που βασίζεται στις αρχές του I²C. Ο δίαυλος αυτός μπορεί να υλοποιήσει το πρωτόκολλο PMBUS (Power management Bus).

Για προστασία του κυκλώματος ισχύος από υπερθέρμανση υπάρχει ένας αισθητήρας θερμοκρασίας ο οποίος μπορεί να είναι ένα κατάλληλο ολοκληρωμένο κύκλωμα (MICROCHIP, MCP9700-E/TO) ή ένα θερμίστορ (AVX, NI24MA0502H).

Ο ένας από τους δύο ενσωματωμένους συγκριτές του μικροελεγκτή χρησιμοποιείται για προστασία του κυκλώματος ισχύος από υπέρταση.

7.16 Πειραματικές μετρήσεις

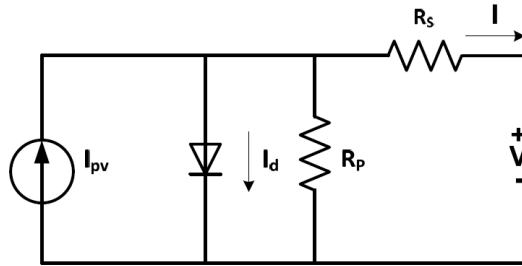
Στο Σχήμα 7.13 φαίνονται οι κυματομορφές στην πύλη (CH1) και στην υποδοχή (CH2) του διακόπτη ισχύος με είσοδο 200V και έξοδο 400V. Να σημειωθεί ότι δεν εμφανίζεται σημαντική ταλάντωση κατά τη διάρκεια των μεταβάσεων παρόλο που στα περάματα αυτά δεν έχει χρησιμοποιηθεί κύκλωμα snubber.



Σχήμα 7.13: Κυματομορφές στην πύλη (CH1) και στην υποδοχή (CH2) του διακόπτη ισχύος με είσοδο 200V και έξοδο 400V.

7.17 Φωτοβολταϊκά Συστήματα

Το ισοδύναμο ηλεκτρικό κύκλωμα ενός φωτοβολταϊκού πλαισίου που περιλαμβάνει τις αντιστάσεις σειράς R_S και διαρροής R_P , φαίνεται στο Σχήμα 7.14 παρακάτω.



Σχήμα 7.14: Ισοδύναμο ηλεκτρικό κύκλωμα ενός ΦΒ πλαισίου.

Η βασική εξίσωση από τη θεωρία των ημιαγωγών που περιγράφει μαθηματικά τη χαρακτηριστική τάσης – ρεύματος ενός ιδανικού φωτοβολταϊκού κυττάρου είναι:

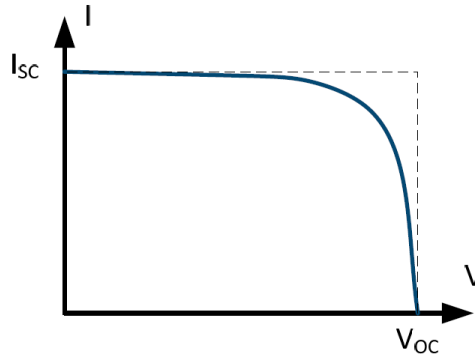
$$I_L = I_{PH} - I_o \left[\exp \left(\frac{V + I \cdot R_S}{a \cdot V_T} \right) - 1 \right] - \frac{V + I \cdot R_S}{R_P} \quad (7.27)$$

Όπου:

- I_{PH} είναι το φωτορεύμα που δημιουργείται από το προσπίπτον φως σε A , και είναι ευθέως ανάλογο με την ηλιακή ακτινοβολία.
- I_o είναι το ανάστροφο ρεύμα κορεσμού ή διαρροής της διόδου σε A .
- $V_T = \frac{N_S \cdot k \cdot T}{q}$ είναι η θερμική τάση του πλαισίου με N_S ΦΒ κύτταρα συνδεδεμένα σε σειρά.
- $q = 1.6 \cdot 10^{-19} C$ είναι το φορτίο του ηλεκτρονίου.
- $k = 1.38 \cdot 10^{-23} J/K$ είναι η σταθερά του Boltzman.
- T είναι η θερμοκρασία της PN ένωσης σε βαθμούς K .
- a είναι ο συντελεστής ποιότητας της διόδου, $1 \leq a \leq 1.5$.

- *Τ είναι η θερμοκρασία του ΦΒ στοιχείου σε βαθμούς Κ.*

Αν, στο παραπάνω ισοδύναμο ηλεκτρικό κύκλωμα, τα άκρα της επαφής συνδεθούν μεταξύ τους, τότε ρέει το ρεύμα βραχυκύκλωσης I_{SC} του φωτοβολταϊκού πλαισίου. Αντίστοιχα, αν τα άκρα της επαφής μείνουν ασύνδετα, τότε η τάση στα άκρα του φωτοβολταϊκού πλαισίου είναι η τάση ανοιχτού κυκλώματος V_{OC} . Στο Σχήμα 7.15 παρακάτω φαίνεται η χαρακτηριστική τάσης – ρεύματος του ΦΒ στοιχείου.



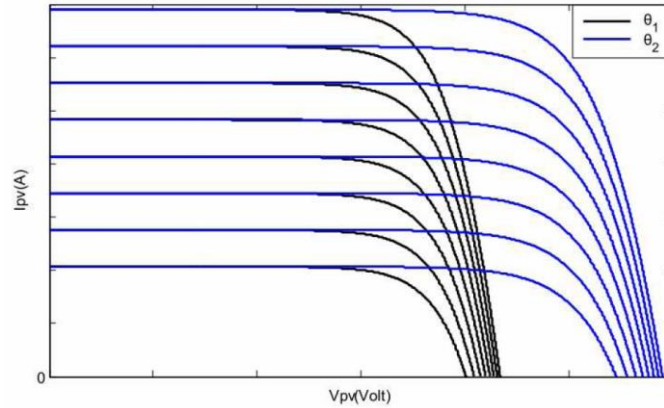
Σχήμα 7.15: I-V χαρακτηριστική ενός ΦΒ στοιχείου.

Με βάση το Σχήμα 7.15, μπορούμε να ορίσουμε τον συντελεστή πλήρωσης (Fill Factor - FF) ενός φωτοβολταϊκού πλαισίου ως εξής:

$$FF = \frac{P_{MPP}}{I_{SC} \cdot V_{OC}} \quad (7.28)$$

Όπου P_{MPP} είναι η μέγιστη ηλεκτρική ισχύς του φωτοβολταϊκού πλαισίου.

Οι παράγοντες που επηρεάζουν τη χαρακτηριστική τάσης – ρεύματος ενός ΦΒ πλαισίου είναι η πυκνότητα ισχύος της ακτινοβολίας, η θερμοκρασία του φωτοβολταϊκού πλαισίου, η αντίσταση σειράς R_s και η αντίσταση διαρροής R_p . Στο Σχήμα 7.16 παρακάτω φαίνονται οι χαρακτηριστικές ενός ΦΒ πλαισίου σε οκτώ διαφορετικές πυκνότητες ισχύος της ακτινοβολίας και σε δυο τιμές θερμοκρασίας. Η θερμοκρασία θ_2 είναι μικρότερη από τη θερμοκρασία θ_1 .



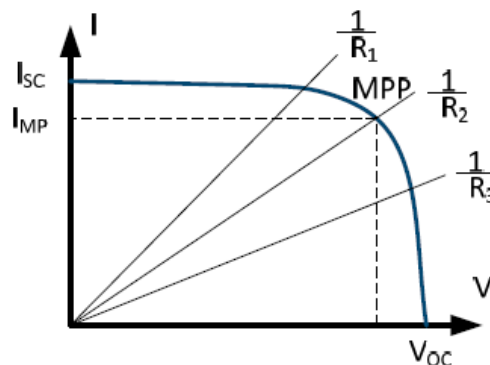
Σχήμα 7.16: I-V χαρακτηριστικές ενός ΦΒ πλαισίου σε οκτώ διαφορετικές πυκνότητες ισχύος της ακτινοβολίας και σε δυο τιμές θερμοκρασίας.

Στην τιμή θερμοκρασίας θ_2 , οι χαρακτηριστικές απεικονίζονται με μπλε χρώμα και, όπως προκύπτει από αυτές, η απόδοση του ΦΒ πλαισίου είναι μεγαλύτερη. Αν ο συντελεστής απόδοσης ενός φωτοβολταϊκού στοιχείου με μια συμβατική θερμοκρασία είναι n , η τιμή του σε διαφορετική θερμοκρασία θ θα είναι $n_{\theta} = n \cdot \sigma_{\theta}$, όπου σ_{θ} είναι ο συντελεστής της θερμοκρασιακής διόρθωσης.

Για τα συνηθισμένα φωτοβολταϊκά στοιχεία πυριτίου του εμπορίου σ_{θ} είναι ίσος με τη μονάδα σε κανονική θερμοκρασία και μειώνεται κατά περίπου 0,005 ανά $^{\circ}\text{C}$ αύξησης της θερμοκρασίας.

7.18 Παρακολούθηση του Σημείου Μέγιστης Ισχύος

Όταν συνδέσουμε στα άκρα ενός φωτοβολταϊκού πλαισίου ένα φορτίο, τότε, χαράζοντας την I-V χαρακτηριστική του ΦΒ πλαισίου και την ευθεία καμπύλη φορτίου, προκύπτει το σημείο λειτουργίας του φωτοβολταϊκού πλαισίου από το σημείο τομής των δύο καμπυλών όπως φαίνεται στο Σχήμα 7.17 παρακάτω. Το ΦΒ πλαίσιο πρέπει να τροφοδοτεί φορτίο συγκεκριμένης τιμής για να λειτουργεί στο σημείο μέγιστης ισχύος.



Σχήμα 7.17: Τομές της χαρακτηριστικής του ΦΒ πλαισίου και την ευθείες καμπύλες των φορτίων.

Η προσαρμογή της λειτουργίας της ΦΒ συστοιχίας ώστε να λειτουργεί στο σημείο μέγιστης ισχύος, για οποιοδήποτε φορτίο ικανό να απορροφήσει τη μέγιστη παραγόμενη ενέργεια,

μπορεί να γίνει με την παρεμβολή ενός DC/DC μετατροπέα μεταξύ της φωτοβολταϊκής συστοιχίας και του φορτίου.

Υπάρχει ένας μεγάλος αριθμός αλγορίθμων οι οποίοι είναι σε θέση να ακολουθούν το σημείο μέγιστης ισχύος ενός φωτοβολταϊκού συστήματος (Maximum Power Point Tracking – MPPT). Οι αλγόριθμοι αυτοί ποικίλλουν ανάλογα με την πολυπλοκότητα, τον αριθμό των αισθητήρων που απαιτούν, την ταχύτητα της σύγκλισής τους, το κόστος, το εύρος λειτουργίας, και την ύπαρξη ικανότητας ανίχνευσης των πολλαπλών τοπικών μέγιστων [112].

Οι πιο απλές μέθοδοι παρακολούθησης του σημείου μέγιστης ισχύος είναι αυτές που χρησιμοποιούν τη μέτρηση μιας μόνο παραμέτρου κατά τη λειτουργία της φωτοβολταϊκής γεννήτριας όπως π.χ. η μέτρηση της τάσης ανοιχτού κυκλώματος (open-voltage PV generator) ή του ρεύματος βραχυκύκλωσης (short circuit PV generator) [113]-[116]. Ο υπολογισμός του σημείου μέγιστης ισχύος γίνεται βάσει των παρακάτω σχέσεων:

$$I_{MPP} \approx K_{SC} \cdot I_{SC} \quad (7.29)$$

$$V_{MPP} \approx K_{OC} \cdot V_{OC} \quad (7.30)$$

όπου I_{MPP} είναι το ρεύμα λειτουργίας στο σημείο μέγιστης ισχύος,
 V_{MPP} είναι η τάση λειτουργίας στο σημείο μέγιστης ισχύος,
 I_{SC} είναι το ρεύμα βραχυκύκλωσης της φ/β γεννήτριας,
 V_{OC} είναι η τάση ανοικτοκύκλωσης της φ/β γεννήτριας.

Οι σταθεροί συντελεστές στις παραπάνω σχέσεις έχουν υπολογιστεί εμπειρικά και οι τιμές τους κυμαίνονται από 0.64 έως 0.85 για τον συντελεστή K_{SC} και από 0.78 έως 0.92 για τον συντελεστή K_{OC} .

Υπάρχουν πιο σύνθετες μέθοδοι όπως αυτές που παράγουν μια συνεχή διαταραχή στο Duty Cycle του DC/DC μετατροπέα, παρακολουθούν την τάση και το ρεύμα της φωτοβολταϊκής γεννήτριας και, λαμβάνοντας υπόψη τις διακυμάνσεις του σημείου λειτουργίας της, εντοπίζεται το σημείο μέγιστης ισχύος (MPP). Αυτοί οι αλγόριθμοι έχουν το πλεονέκτημα ότι δεν απαιτούν τη γνώση των χαρακτηριστικών της φωτοβολταϊκής γεννήτριας και η λειτουργία τους είναι ανεξάρτητη από την ηλιακή ακτινοβολία, τη θερμοκρασία ή τα επίπεδα της υποβάθμισης της απόδοσης του πλαισίου. Το πρόβλημα είναι τα ανεπιθύμητα σφάλματα μετρήσεων τα οποία επηρεάζουν σημαντικά την ακρίβεια στην αναζήτηση του σημείου μέγιστης ισχύος καθώς επίσης και η ύπαρξη μικρής ταλάντωσης γύρω από αυτό. Κλασικά παραδείγματα αυτών των μεθόδων είναι οι αλγόριθμοι της Διαταραχής και Παρατήρησης (P&O) [117]-[119], της Αυξητικής Αγωγιμότητας (IncCond) [120]-[121] και της Ασαφούς Λογικής (fuzzy logic) [122]-[124].

Άλλες πιο περίπλοκες τεχνικές MPPT δεν διαταράσσουν το Duty Cycle και αξιοποιούν την ενδογενή κυμάτωση λόγω της διακοπτικής λειτουργίας ή της διακύμανσης της στιγμιαίας ισχύος που απορροφά το δίκτυο [125]-[127]. Επίσης, υπάρχουν μέθοδοι που εφαρμόζουν μαθηματικά μοντέλα στις μετρήσεις της τάσης και του ρεύματος και εντοπίζουν απευθείας την τάση λειτουργίας του σημείου μέγιστης ισχύος [128]-[131].

Ο αλγόριθμος Διαταραχής και Παρατήρησης (P&O) χρησιμοποιείται στην πλειοψηφία των εμπορικών εφαρμογών. Μια επίσης πολύ διαδεδομένη τεχνική είναι ο αλγόριθμος της αυξητικής αγωγιμότητας, για τον οποίο υπάρχουν αναφορές στη βιβλιογραφία ότι πλεονεκτεί σε σχέση με τον αλγόριθμο διαταραχής και παρατήρησης στο γεγονός ότι το φωτοβολταϊκό σύστημα έχει μικρότερη ταλάντωση στο σημείο μέγιστης ισχύος λειτουργίας. Όμως, υπάρχει και η εκδοχή ότι οι δύο αυτές μέθοδοι έχουν σχεδόν παρόμοια αποτελέσματα [132].

7.19 Αλγόριθμος Αυξητικής Αγωγιμότητας (Incremental Conductance - IC)

Η μέγιστη τιμή της ισχύος βρίσκεται στο σημείο που η παράγωγός της ως προς την τάση ή ως προς το ρεύμα είναι μηδέν. Στο σημείο μέγιστης ισχύος (Maximum PowerPoint- MPP) θα ισχύει:

$$\frac{dP}{dV} = 0 \rightarrow \frac{d(V.I)}{dV} = 0 \rightarrow \frac{dI}{dV} = -\frac{I}{V} \quad (7.31)$$

Ο πρώτος όρος της παραπάνω σχέσης εκφράζει την αυξητική αγωγιμότητα και ο δεύτερος είναι η αρνητική στιγμιαία αγωγιμότητα της φωτοβολταϊκής συστοιχίας.

Αν η τάση λειτουργίας είναι μικρότερη από την τάση στο σημείο μέγιστης ισχύος, θα ισχύει:

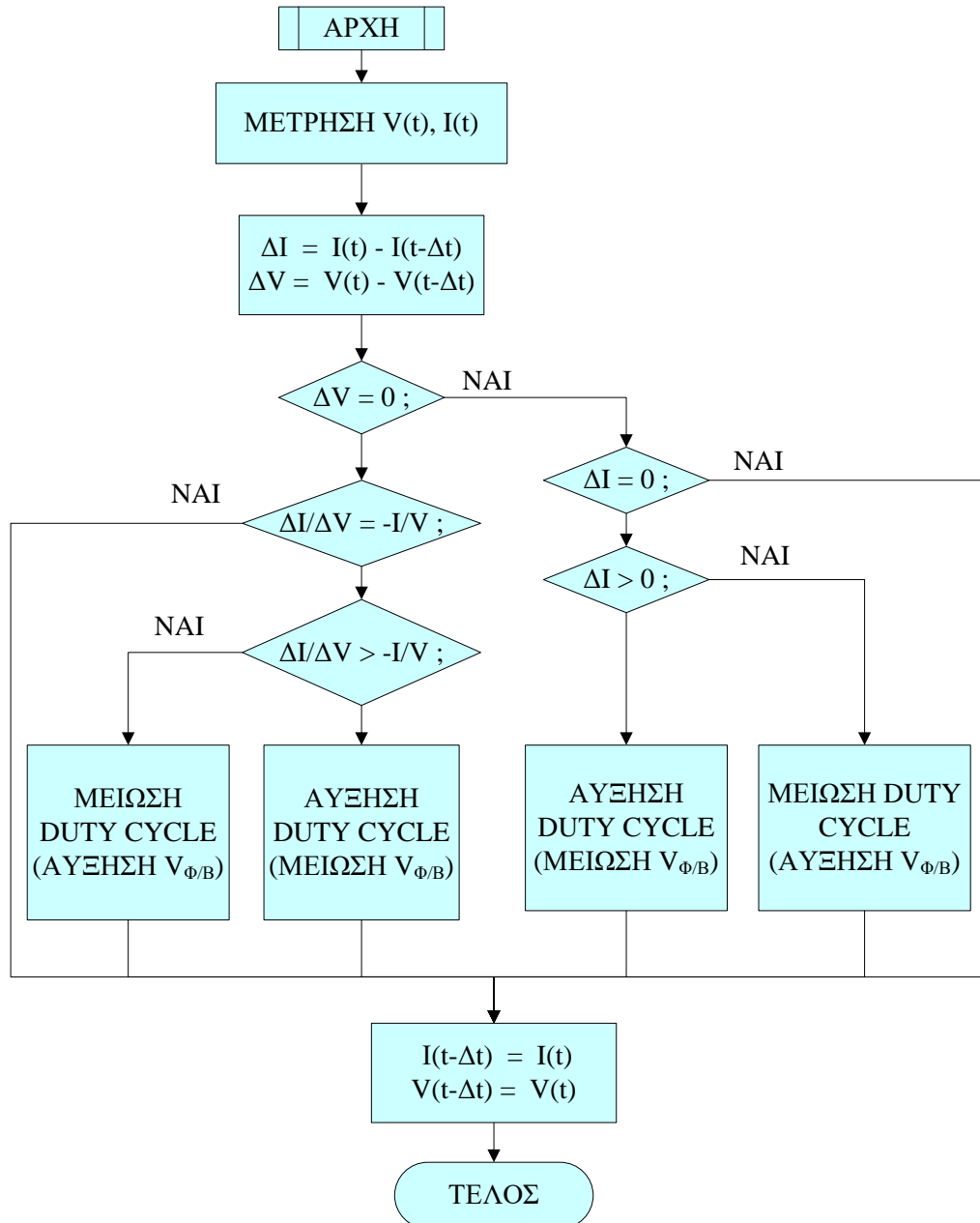
$$\frac{dP}{dV} > 0 \rightarrow \frac{dI}{dV} > -\frac{I}{V} \rightarrow \frac{dI}{dV} + \frac{I}{V} > 0 \quad (7.32)$$

Αν η τάση λειτουργίας είναι μεγαλύτερη από την τάση στο σημείο μέγιστης ισχύος, θα ισχύει:

$$\frac{dP}{dV} < 0 \rightarrow \frac{dI}{dV} < -\frac{I}{V} \rightarrow \frac{dI}{dV} + \frac{I}{V} < 0 \quad (7.33)$$

Σε περίπτωση λειτουργίας σε σημείο διαφορετικό από το MPP, η τάση μεταβάλλεται έτσι όπως ορίζεται από την ανίσωση που ισχύει κάθε φορά, μέχρι να ικανοποιηθεί η πρώτη σχέση. Σε περίπτωση που ισχύει η πρώτη σχέση, τότε έχει επιτευχθεί η προσέγγιση του MPP και η λειτουργία των φωτοβολταϊκών στοιχείων διατηρείται σε αυτό το σημείο μέχρι να παρατηρηθεί κάποια αλλαγή στο ρεύμα, πράγμα που σημαίνει την αλλαγή του MPP. Θεωρητικά λοιπόν, ο αλγόριθμος Αυξητικής Αγωγιμότητας έχει την ικανότητα να ανταποκρίνεται γρήγορα σε περιπτώσεις απότομης αλλαγής της ηλιακής ακτινοβολίας και επιπλέον επιτυγχάνει σταθερή λειτουργία στο MPP. Στην πράξη, αναμένεται μία πολύ μικρή ταλάντωση γύρω από το MPP λόγω του σφάλματος των μετρήσεων και του θορύβου.

Ο αλγόριθμος χρησιμοποιεί δύο διαδοχικές μετρήσεις της τάσης και του ρεύματος και ελέγχει τη μεταβολή τους. Παρακάτω, στο Σχήμα 7.18, παρουσιάζεται το λογικό διάγραμμα του αλγορίθμου Αυξητικής Αγωγιμότητας.



Σχήμα 7.18: Διάγραμμα του αλγορίθμου Αυξητικής Αγωγιμότητας.

7.19.1 Πειραματικές μετρήσεις

Κατά τη διάρκεια των δοκιμών για την επίτευξη της λειτουργίας της φωτοβολταϊκής συστοιχίας στο σημείο μέγιστης ισχύος με χρήση του αλγορίθμου Αυξητικής Αγωγιμότητας, παρατηρήθηκε ότι, για τη λειτουργία γύρω από το σημείο μέγιστης ισχύος, ήταν απαραίτητη η ύπαρξη μιας σχετικά μεγάλης ταλάντωσης λόγω του σφάλματος των μετρήσεων από τον υψηλό θόρυβο που δημιουργούνται από τους παλμούς ρεύματος μέσα από τους διακόπτες ισχύος. Αυτό είναι αναπόφευκτο όταν τα συστήματα που εξετάζονται είναι πολύ υψηλής ισχύος.

Το ίδιο ακριβώς πρόβλημα προέκυψε από τη χρήση και άλλων διαφορετικών αλγορίθμων όπως αυτός της Διαταραχής και Παρατήρησης.

Μία λύση για το πρόβλημα αυτό είναι η χρήση αναλογικών ή ψηφιακών φίλτρων τα οποία εφαρμόζονται στις εξόδους των μετρητών τάσης και ρεύματος. Τα φίλτρα μειώνουν την επίδραση του θορύβου έχοντας όμως σαν συνέπεια τη δημιουργία καθυστερήσεων στο κύκλωμα ελέγχου.

Μια δεύτερη λύση είναι η χρήση στατιστικής ανάλυσης των σημάτων με στόχο την επίλυση του προβλήματος του θορύβου και ταυτόχρονα τη μείωση των ανεπιθύμητων καθυστερήσεων στο κύκλωμα ελέγχου.

Στην επόμενη παράγραφο θα αναπτυχθεί μία τέτοια μέθοδος η οποία χρησιμοποιήθηκε στην παρούσα εργασία και τα πειραματικά αποτελέσματα που προέκυψαν ήταν ικανοποιητικά. Η μέθοδος αυτή θα αναφέρεται ως τροποποιημένος Αλγόριθμος Αυξητικής Αγωγιμότητας.

7.20 Προτεινόμενος Τροποποιημένος Αλγόριθμος Αυξητικής Αγωγιμότητας.

Η μέθοδος αυτή έχει στόχο την ταχεία προσέγγιση του σημείου μέγιστης ισχύος και, στη συνέχεια, τη λειτουργία σε αυτό χωρίς ανεπιθύμητες ταλαντώσεις. Είναι σχεδιασμένη έτσι ώστε να μπορεί να λειτουργεί αποτελεσματικά σε περιβάλλοντα με μεγάλο θόρυβο, ο οποίος αλλοιώνει τις μετρήσεις της τάσης και του ρεύματος.

Ο αλγόριθμος λαμβάνει τις μετρήσεις της τάσης και το ρεύματος του φωτοβολταϊκού πλαισίου σε σύντομα χρονικά διαστήματα (40 μs) και χρησιμοποιεί στατιστική ανάλυση αυτών των μετρήσεων για να εξαλείψει το πρόβλημα των εσφαλμένων μετρήσεων λόγω θορύβου.

Βασίζεται στον αλγόριθμο της αυξητικής αγωγιμότητας κάνοντας κάποιες τροποποιήσεις που περιγράφονται παρακάτω.

Σύμφωνα με το Σχήμα 7.15 το οποίο εμφανίζει την I-V χαρακτηριστική ενός ΦΒ στοιχείου σε συνθήκες σταθερής λειτουργίας του πλαισίου, όταν η τάση αυξάνεται, τότε το ρεύμα μειώνεται, ή αντίστροφα, όταν η τάση μειώνεται, τότε το ρεύμα αυξάνεται. Σε περίπτωση ταυτόχρονης αύξησης ή μείωσης και των δύο αυτών μεγεθών τότε ή οι συνθήκες λειτουργίας του πλαισίου μεταβάλλονται ή υπάρχει σφάλμα κατά τη μέτρηση. Και στις δύο περιπτώσεις, η εκτέλεση του κυρίου ελέγχου είναι πολύ πιθανό να παράγει εσφαλμένα αποτελέσματα. Στην περίπτωση εσφαλμένων μετρήσεων λόγω θορύβου, αυτές θα αγνοηθούν. Ωστόσο, όταν η τάση και το ρεύμα αυξάνονται ταυτόχρονα, αυτό σημαίνει ότι η ισχύς του φωτοβολταϊκού πλαισίου αυξάνεται λόγω αύξησης της ηλιοφάνειας ή λόγω μείωσης της θερμοκρασίας όπως προκύπτει από το Σχήμα 7.16. Εάν ληφθεί ένας συγκεκριμένος αριθμός τέτοιων μετρήσεων (512 μετρήσεις) τότε το Duty Cycle μειώνεται για να αυξηθεί η τάση του φωτοβολταϊκού πλαισίου και να πλησιάσει το νέο σημείο μέγιστης ισχύος. Παρομοίως, όταν ένας ικανοποιητικός αριθμός μετρήσεων δείξει ότι η τάση και το ρεύμα του φωτοβολταϊκού πλαισίου μειώνονται ταυτόχρονα, τότε το Duty Cycle αυξάνεται έτσι ώστε να μειωθεί η τάση λειτουργίας του φωτοβολταϊκού πλαισίου.

Στην περίπτωση που έχει ληφθεί ικανοποιητικός αριθμός έγκυρων μετρήσεων (512 μετρήσεις), τότε οι μετρήσεις αυτές αθροίζονται και υπολογίζεται ο μέσος όρος τους ο οποίος θα χρησιμοποιηθεί από τον αλγόριθμο της αυξητικής αγωγιμότητας.

Αρχικά, η μεταβολή του Duty Cycle γίνεται με μεγάλα βήματα (6.3%), για ταχεία προσέγγιση του σημείου μέγιστης ισχύος. Στο σημείο λειτουργίας όπου υπάρχει ταλάντωση γύρω από ένα σταθερό σημείο, ο συντελεστής $F = V \cdot \Delta I + I \cdot \Delta V$ του αλγόριθμου αυξητικής

αγωγιμότητας θα έχει μικρή τιμή διότι το σημείο λειτουργίας είναι κοντά στο σημείο μέγιστης ισχύος. Το γεγονός ότι υπάρχει μεγάλη ταλάντωση γύρω από το σημείο μέγιστης ισχύος δεν επηρεάζει τον αλγόριθμο της αυξητικής αγωγιμότητας διότι χρησιμοποιούνται οι μέσες τιμές της τάσης και του ρεύματος. Τότε το βήμα μεταβολής του Duty Cycle μειώνεται στο 0.8%, για να επιτευχθεί λειτουργία με μικρή ταλάντωση.

Στην αντίθετη περίπτωση όπου το βήμα της ταλάντωσης είναι μικρό αλλά η τιμή του συντελεστή F είναι μεγάλη, τότε σημαίνει ότι το σημείο λειτουργίας έχει απομακρυνθεί από το σημείο μέγιστης ισχύος οπότε το βήμα μεταβολής του Duty Cycle αυξάνεται στο 6.3% για να υπάρξει γρήγορη προσέγγιση του νέου σημείου λειτουργίας.

Και στις δύο προηγούμενες περιπτώσεις, η αύξηση ή η μείωση του βήματος μεταβολής του Duty Cycle γίνεται μετά από μια πάροδο ενός μικρού χρονικού διαστήματος έτσι ώστε να αποτραπεί η εσφαλμένη λήψη απόφασης.

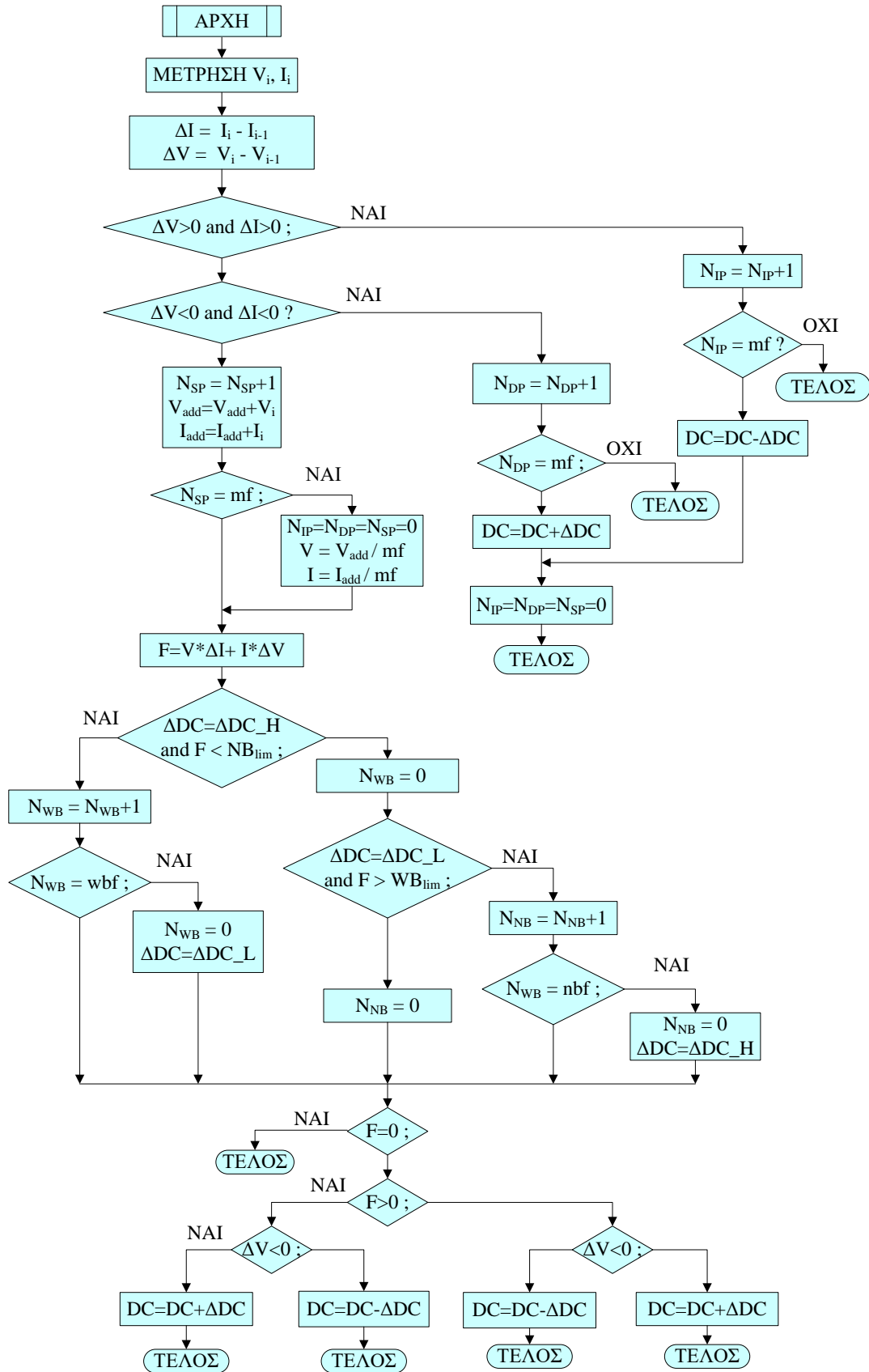
Θεωρητικά, η μεταβατική απόκριση του αλγορίθμου είναι πολύ μεγάλη αφού, όταν το βήμα μεταβολής του Duty Cycle είναι 6.3%, τότε η μεταβολή του Duty Cycle από 0% σε 100% απαιτεί χρόνο $100 \cdot 40 \cdot 512 / 6.3 \mu\text{s} = 325 \text{ms}$.

Επίσης, σε σταθερή λειτουργία, το βήμα μεταβολής του Duty Cycle είναι μικρό και η ταλάντωση γύρω από το σημείο μέγιστης ισχύος είναι 0.8%.

Στο Σχήμα 7.19 παρακάτω φαίνεται το διάγραμμα του τροποποιημένου αλγορίθμου Αυξητικής Αγωγιμότητας.

Στον αλγόριθμο αυτόν, οι διάφοροι συντελεστές που καθορίζουν τη λειτουργία του υπολογίστηκαν εμπειρικά κατόπιν πειραματικών μετρήσεων. Πιο αναλυτικά:

- Ο αριθμός των διαδοχικών μετρήσεων για την εξαγωγή του μέσου όρου καθορίστηκε σε 512.
- Για τη λήψη απόφασης ότι οι συνθήκες λειτουργίας του ΦΒ πλαισίου αλλάζουν απαιτούνται 512 μετρήσεις ταυτόχρονης αύξησης ή ταυτόχρονης μείωσης της τάσης και του ρεύματος λειτουργίας.
- Το χαμηλό βήμα μεταβολής του Duty Cycle είναι 0.8%.
- Το υψηλό βήμα μεταβολής του Duty Cycle είναι 6.3%.
- Η περίοδος δειγματοληψίας της τάσης και του ρεύματος είναι 40 μs
- Ο χρόνος καθυστέρησης για τη μετάβαση από το χαμηλό βήμα μεταβολής του Duty Cycle στο υψηλό είναι 200 mS.
- Ο χρόνος καθυστέρησης για τη μετάβαση από το υψηλό βήμα μεταβολής του Duty Cycle στο χαμηλό είναι 100 mS.
- Η τιμή του συντελεστή F κάτω από την οποία θεωρείται ότι το σημείο λειτουργίας της ΦΒ γεννήτριας είναι κοντά στο σημείο μέγιστης ισχύος είναι 15, με δεδομένο ότι οι τιμές της τάσης και του ρεύματος μεταβάλλονται από 0 έως 1023.
- Στη μετάβαση από το χαμηλό βήμα μεταβολής του Duty Cycle στο υψηλό υπάρχει μια υστέρηση στην τιμή του F ίση με ± 5 , για να αποφευχθούν οι ανεπιθύμητες ταλαντώσεις κατά τη μετάβαση.



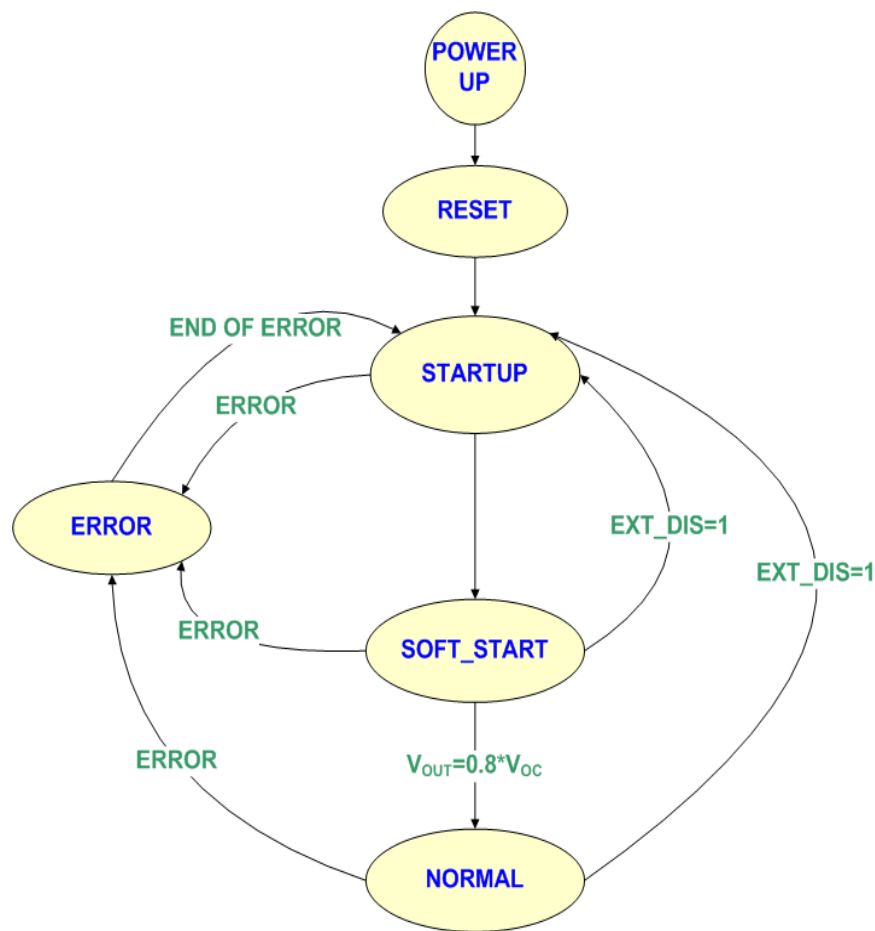
Σχήμα 7.19: Διάγραμμα του προτεινόμενου αλγορίθμου Αυξητικής Αγωγιμότητας.

Σε αυτή τη μελέτη δεν έχει γίνει σύγκριση της απόδοσης του συγκεκριμένου ελέγχου με τον κλασικό έλεγχο του αλγορίθμου της Αυξητικής Αγωγιμότητας αφού εφαρμόσθουν κατάλληλα φίλτρα στις μετρήσεις έτσι ώστε να επιλυθεί το πρόβλημα του θορύβου. Θεωρητικά, η στατιστική επεξεργασία των μετρήσεων θα επιφέρει καλύτερα αποτελέσματα διότι υπάρχει απόρριψη ενός αριθμού εσφαλμένων μετρήσεων. Σε αντίθεση, η επεξεργασία με χρήση κατάλληλων φίλτρων θα ενσωματώσει και αυτές τις εσφαλμένες μετρήσεις παράγοντας έτσι μεγαλύτερες καθυστερήσεις στην εκτέλεση του ελέγχου ή μεγαλύτερες ταλαντώσεις γύρω από το σημείο λειτουργίας.

Πειραματικά η απόδοση παρακολούθησης του σημείου μέγιστης ισχύος ήταν μεγαλύτερος από 99.7% σε σταθερές συνθήκες ακτινοβολίας, ενώ η κυμάτωση της τάσης ήταν μικρότερη από 1%.

7.21 Καταστάσεις λειτουργίας του μετατροπέα

Ο μετατροπέας, κατά τη λειτουργία του, μεταβαίνει σε διάφορες καταστάσεις λειτουργίας ανάλογα με την κατάσταση στην οποία βρίσκεται και τα σήματα ελέγχου που λαμβάνει από τα διάφορα κυκλώματα προστασίας που διαθέτει. Το Σχήμα 7.20 παρακάτω δείχνει τις πιθανές καταστάσεις και τον τρόπο μετάβασης σε κάθε μια από αυτές.



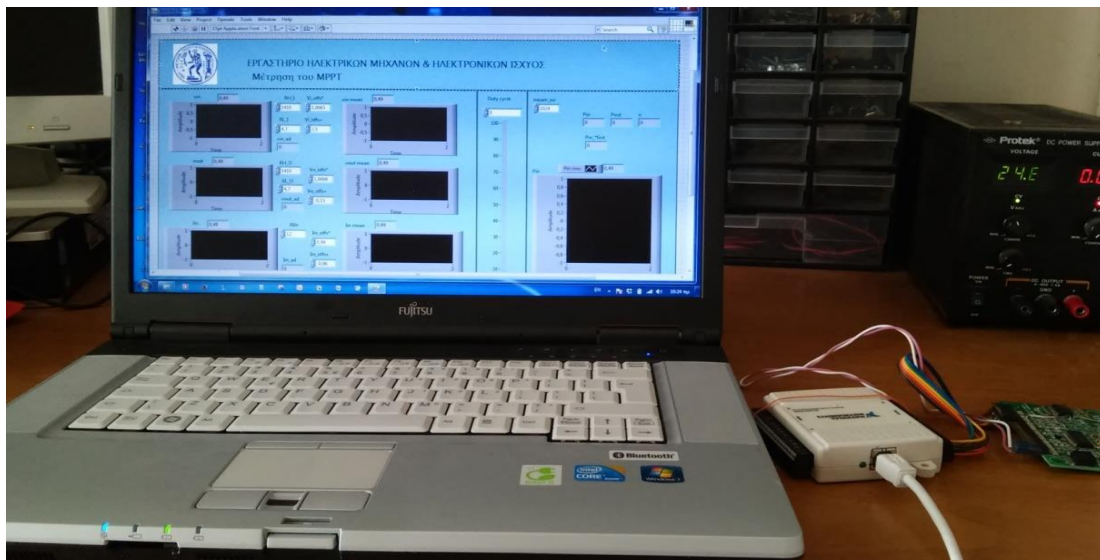
Σχήμα 7.20: Διάγραμμα καταστάσεων λειτουργίας του μετατροπέα.

Υπάρχουν κυκλώματα προστασίας από υπέρταση, υπέρ-ρεύμα, υπερθέρμανση και βραχυκυκλώματα. Κατά την έναρξη της λειτουργίας αρχικοποιούνται τα κυκλώματα ελέγχου και ο μετατροπέας μπαίνει σε κατάσταση αναμονής. Στη συνέχεια, μεταβαίνει στην κατάσταση σταδιακής αύξησης του Duty Cycle η οποία διαρκεί μέχρις ότου η τάση στην είσοδο του μετατροπέα γίνει ίση με το 80% της τάσης βραχυκυκλώματος της φωτοβολταϊκής συστοιχίας επειδή το σημείο αυτό λειτουργίας βρίσκεται πολύ κοντά στο σημείο μέγιστης ισχύος. Στη συνέχεια, η επόμενη κατάσταση λειτουργίας είναι αυτή στην οποία εφαρμόζεται πλέον ο αλγόριθμος παρακολούθησης του σημείου μέγιστης ισχύος. Σε οποιαδήποτε κατάσταση λειτουργίας συμβεί κάποιο σφάλμα ο διακόπτης ισχύος τίθεται σε αποκοπή και ο μετατροπέας μεταβαίνει σε κατάσταση σφάλματος στην οποία παραμένει μέχρι να αρθεί το σφάλμα οπότε και μεταβαίνει στην κατάσταση αναμονής.

7.22 Μέτρηση απόδοσης του μετατροπέα ανύψωσης

Η μέτρηση της απόδοσης του συστήματος ήταν πολύ δύσκολη, γιατί μία πολύ μικρή απόκλιση στη μέτρηση του ρεύματος οδηγούσε σε σοβαρή απόκλιση στους υπολογισμούς. Οι λόγοι για τους οποίους υπήρχαν αποκλίσεις στις μετρήσεις ήταν η ακρίβεια των διαθέσιμων οργάνων και ο θόρυβος λόγω παρεμβολών από τα πεδία των υψηλών διακοπτικών ρευμάτων και τάσεων στους διακόπτες ισχύος και κυρίως στο πηνίο του μετατροπέα. Για την επίλυση αυτού του προβλήματος χρησιμοποιήθηκε η μετρητική συσκευή NIUSB-6009 της NATIONAL INSTRUMENTS και το λογισμικό LabVIEW.

Στο Σχήμα 7.21 παρακάτω φαίνεται μία φωτογραφία της διάταξης που χρησιμοποιήθηκε.



Σχήμα 7.21: Φωτογραφία της μετρητικής διάταξης.

Αρχικά, δημιουργήθηκε ένα βραχυκύκλωμα στον μετατροπέα ανύψωσης, όπως φαίνεται στο Σχήμα 7.22 παρακάτω, μεταξύ εισόδου και εξόδου έτσι ώστε ο μετρητής τάσεως στην είσοδο να μετράει ακριβώς την ίδια τάση με τον μετρητή τάσεως στην έξοδο. Η είσοδος

συνδέθηκε με μία μεταβαλλόμενη πηγή τάσεως και στην έξοδο συνδέθηκε ένα μεταβλητό φορτίο.

Στη συνέχεια, πραγματοποιήθηκαν μετρήσεις με τον μετατροπέα ανύψωσης να είναι απενεργοποιημένος έτσι ώστε να μην υπάρχει θόρυβος στις μετρήσεις. Επειδή για τον υπολογισμό της απόδοσης ενδιαφέρει κυρίως η σχετική ακρίβεια των μετρήσεων, έγινε μια προσαρμογή έτσι ώστε ο μετρητής τάσης στην είσοδο να δείχνει ακριβώς το ίδιο αποτέλεσμα με το μετρητή τάσης στην έξοδο. Για την επίτευξη αυτού του αποτελέσματος, προστέθηκε στη μέτρηση της τάσης εξόδου ένας συντελεστής απόκλισης και ένας συντελεστής ρύθμισης του κέρδους όπως δείχνει η παρακάτω σχέση.

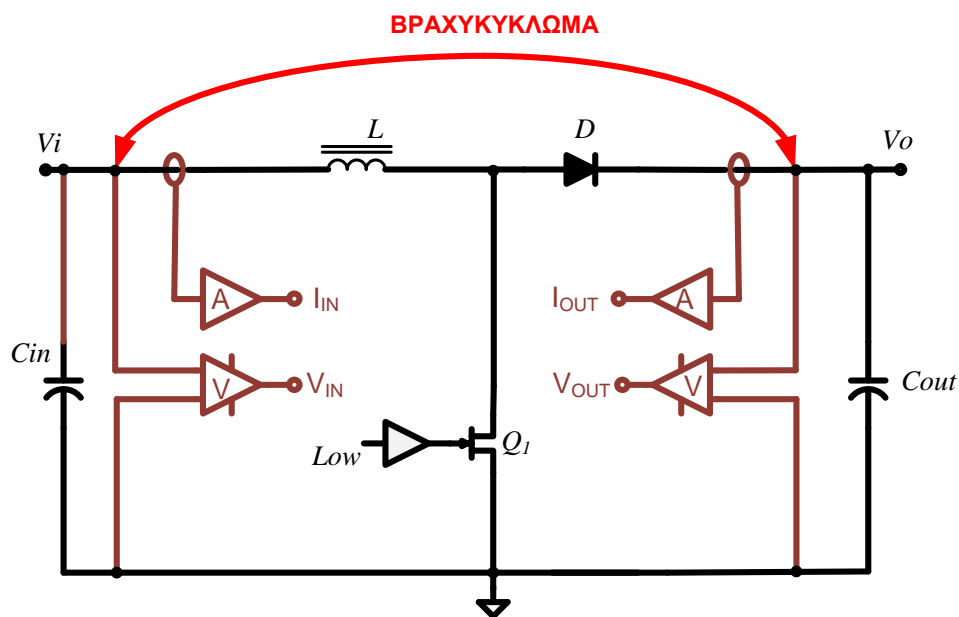
$$V'_{out} = K_V + A_V \cdot V_{out} \quad (7.34)$$

Οι δύο αυτοί συντελεστές K_V και A_V ρυθμίστηκαν έτσι ώστε η τάση που δείχνει ο μετρητής τάσεως στην είσοδο να είναι ίδια με τη διορθωμένη τιμή που δείχνει ο μετρητής τάσεως στην έξοδο για τιμές τάσης 300 V και 700 V. Στη συνέχεια, έγινε σάρωση της τάσεως από μηδέν έως 700 V και φάνηκε ότι η τιμή της τάσης εισόδου συμπίπτει με μεγάλη ακρίβεια με την τιμή της τροποποιημένης τάσης εξόδου ($V_{in} = V'_{out}$).

Η ίδια ακριβώς διαδικασία έγινε και με τους μετρητές ρεύματος στην είσοδο και στην έξοδο του μετατροπέα. Λόγω του βραχυκυκλώματος μεταξύ της εισόδου και εξόδου, και οι δύο μετρητές ρεύματος διαρρέονται από το ίδιο ρεύμα και στην περίπτωση αυτή ρυθμίστηκαν οι δύο συντελεστές του ρεύματος έτσι ώστε οι δύο μετρητές ρεύματος να δείχνουν τις ίδιες τιμές.

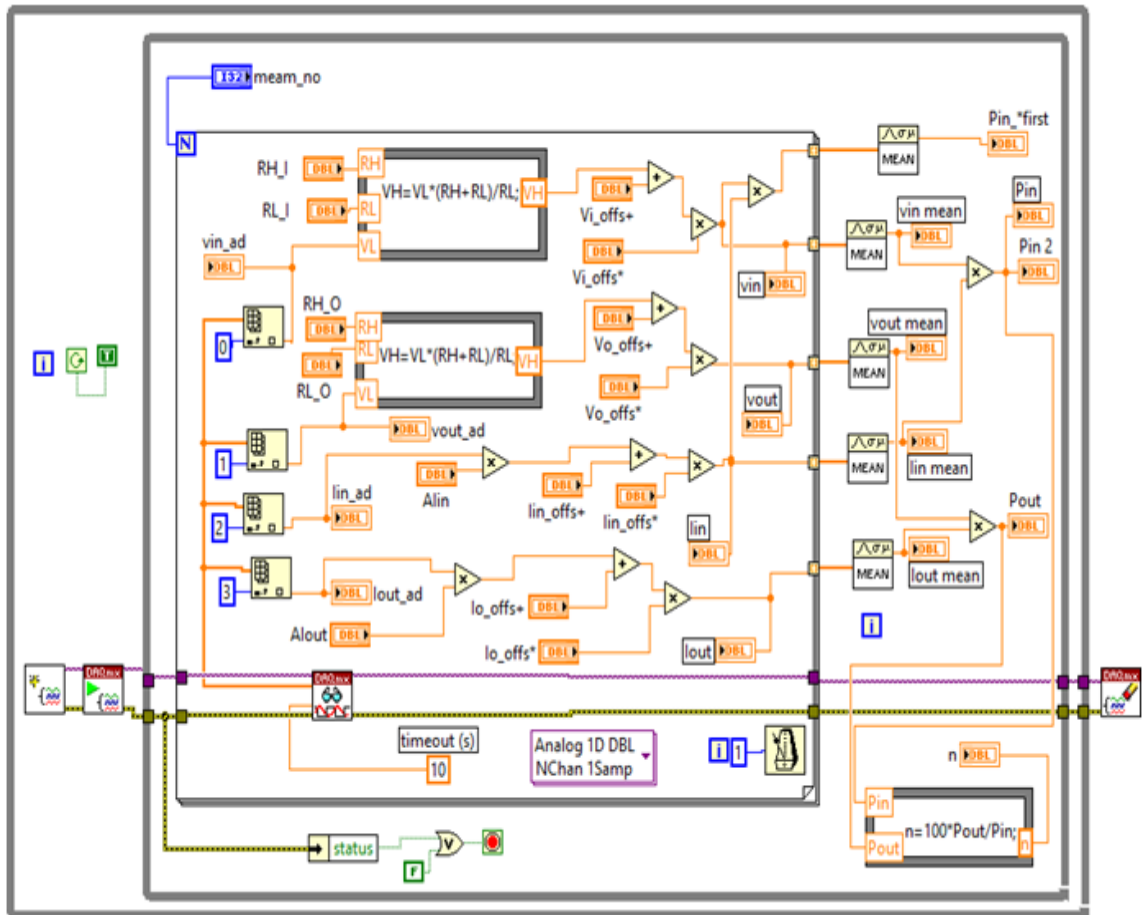
$$I'_{out} = K_I + A_I \cdot I_{out} \quad (7.35)$$

Η ρύθμιση των μετρητών ρεύματος έγινε για τιμές ρεύματος 3.5 A και 7 A. Στη συνέχεια, το ρεύμα μεταβλήθηκε από 0 A έως 7 A και φάνηκε και πάλι ότι οι μετρήσεις των δύο μετρητών ρεύματος συμπίπτουν με μεγάλη ακρίβεια.



Σχήμα 7.22: Αντιστάθμιση των οργάνων μέτρησης.

Έχοντας εξασφαλίσει ότι η σχετική ακρίβεια των δύο ζευγών μετρητών είναι ακριβώς ίδια, το επόμενο βήμα είναι η εξάλειψη του προβλήματος του θορύβου. Αυτό επιτυγχάνεται με το λογισμικό LabVIEW το οποίο παίρνει πολλές μετρήσεις για τις τάσεις και για τα ρεύματα, αθροίζει τις τιμές και βγάζει τη μέση τιμή έτσι ώστε να εξαλειφθεί η επιρροή του τυχαίου θορύβου. Στο παρακάτω σχήμα εμφανίζεται το παράθυρο του κώδικα του LabVIEW.



Σχήμα 7.23: παράθυρο του κώδικα του LabVIEW.

Από τις μετρήσεις λοιπόν προκύπτει ότι, σε λειτουργία με διακοπτική συχνότητα 25 KHz, τάση εισόδου 600V, τάση εξόδου 700V και ισχύ εξόδου 5KWatt, η απόδοση του συστήματος φτάνει περίπου 99.2%. Η τιμή της απόδοσης ήταν σχεδόν όμοια για τα Normally-on JFET και για τα Normally-off JFET. Η απόδοση αυτή συμπίπτει με την τιμή που προκύπτει από τις προσομοιώσεις και τους θεωρητικούς υπολογισμούς.

7.23 Λειτουργία σε υψηλότερη διακοπτική συχνότητα

Σύμφωνα με την ανάλυση που προηγήθηκε για λειτουργία σε διακοπτική συχνότητα 25 KHz, οι συνολικές διακοπτικές απώλειες του JFET είναι 6 Watt. Εάν η διακοπτική συχνότητα αυξηθεί, τότε αναμένεται να αυξηθούν και οι διακοπτικές απώλειες αναλογικά με την αύξηση της διακοπτικής συχνότητας.

Στην ανάλυση που ακολουθεί, η διακοπτική συχνότητα θα αυξηθεί στα 75 KHz ενώ τα υπόλοιπα στοιχεία του μετατροπέα ανύψωσης θα παραμείνουν τα ίδια.

Σε όλα τα στοιχεία ισχύος του μετατροπέα αναμένονται μικρές διαφορές στις απώλειες εκτός από τα JFET των οποίων οι διακοπτικές απώλειες αναμένεται να αυξηθούν από 6 Watt σε $6 \cdot 75 / 25 \text{ Watt} = 18 \text{ Watt}$. Αυτό αντιστοιχεί σε μείωση της απόδοσης κατά $(18-6) \cdot 100 / 5000\% = 0.24\%$. Πράγματι, τα πειραματικά αποτελέσματα έδειξαν μείωση της απόδοσης κατά 0.3% περίπου.

Να σημειωθεί ότι παρότι είναι εφικτή η λειτουργία του μετατροπέα ισχύος σε υψηλές διακοπτικές συχνότητες, η υλοποίηση αυτή για τον συγκεκριμένο μετατροπέα δεν επιφέρει κανένα αξιόλογο πλεονέκτημα και για τον λόγο αυτόν προτιμάται η λειτουργία σε διακοπτική συχνότητα 25 KHz.

Κεφάλαιο 8. Συμπεράσματα

8.1 Συμπεράσματα

Τα τρανζίστορ από καρβίδιο του πυριτίου υψηλής τάσης λειτουργίας υπερέχουν τεχνολογικά συγκρινόμενα με τα IGBT από πυρίτιο, διότι έχουν χαμηλότερες απώλειες αγωγής, χαμηλότερες διακοπτικές απώλειες, υψηλότερη θερμική αγωγιμότητα και δυνατότητα λειτουργίας σε πολύ υψηλότερες θερμοκρασίες. Η χρήση τους έχει σαν αποτέλεσμα τη δημιουργία αποδοτικότερων μετατροπέων και με εκτεταμένα όρια θερμοκρασίας λειτουργίας. Ωστόσο, τα SiC τρανζίστορ έχουν αυξημένο κόστος και μέχρι τώρα δεν υπάρχει καμία εμπορικά διαθέσιμη συσκευή πολύ μεγάλης ισχύος λόγω του ασύμφορου μεγάλου χρόνου παραγωγής. Η εναλλακτική λύση για την αντικατάσταση των διακοπών από πυρίτιο, στα συστήματα πολύ υψηλής ισχύος, είναι να αναπτυχθούν μπλοκ πολλών διακοπών σε μια συσκευασία ή να συνδεθούν πολλοί απλοί διακόπτες παράλληλα.

Τα SiC JFET θεωρούνται τεχνολογικά ώριμα, δομικά σταθερά και αξιόπιστα σε δυσμενείς καταστάσεις λειτουργίας. Διακρίνονται σε SiC JFET τύπου απογύμνωσης, τα οποία είναι σε κατάσταση αγωγής όταν δεν υπάρχει διέγερση στην πύλη τους και σε SiC JFET τύπου πύκνωσης τα οποία είναι σε κατάσταση αποκοπής όταν δεν υπάρχει διέγερση στην πύλη τους. Τα SiC JFET τύπου απογύμνωσης απαιτούν την ύπαρξη προστασίας για την περίπτωση της απώλειας της τάσης πόλωσης της πύλης τους.

Τα SiC JFET έχουν τη δυνατότητα να άγουν ανάστροφα, με πολύ χαμηλή πτώση τάσης πάνω τους όταν η τάση V_{GS} στην πύλη τους είναι υψηλότερη από την τάση κατωφλίου V_{GS-TH} , ή με υψηλή πτώση τάσης πάνω τους όταν η τάση V_{GS} είναι χαμηλότερη από την V_{GS-TH} .

Βάσει συγκριτικών μελετών τα SiC JFET τύπου απογύμνωσης και τα SiC MOSFET υπερέχουν σε απόδοση έναντι των άλλων τύπων ημιαγωγικών διακοπών και έχουν μεταξύ τους παρόμοιες συνολικές απώλειες τόσο σε χαμηλές όσο και σε υψηλές συχνότητες λειτουργίας. Η οδήγηση των SiC JFET είναι πιο περίπλοκη σε σχέση με τα SiC MOSFET ή τα IGBT λόγω των ενώσεων της πύλης τους. Όμως, η επαφή του οξειδίου στην πύλη των SiC MOSFET είναι ευαίσθητη και επίσης υπάρχουν προβλήματα στην κρυσταλλική δομή τους σε υψηλές θερμοκρασίες. Επιπροσθέτως, τα SiC JFET παρουσιάζουν ανθεκτικότητα στα βραχυκυκλώματα και άριστη συμπεριφορά σε κυκλώματα περιορισμού του ρεύματος αγωγής τους.

Η μέτρηση των ρευμάτων των διακοπών ισχύος που έχουν ταυτόχρονα υψηλή τιμή και γρήγορο χρόνο ανόδου είναι ιδιαίτερα δύσκολη. Οι αντιστάσεις εν σειρά παρεμβάλλονται στο κύκλωμα ισχύος και μειώνουν την αποδοτικότητα. Οι μετασχηματιστές ρεύματος και τα Rogowski coil μπορούν να χρησιμοποιηθούν ως απομονωμένοι αισθητήρες μεταβαλλόμενου ρεύματος. Ειδικά, οι μετασχηματιστές ρεύματος μπορούν, με κατάλληλο συνδυασμό, να μετρήσουν και τις διαφορές των ρευμάτων στους παράλληλα συνδεδεμένους ημιαγωγικούς διακόπτες χωρίς τη χρήση εξωτερικών ενεργών κυκλωμάτων.

Τα SiC JFET έχουν περισσότερες δυσκολίες στον παράλληλο τρόπο λειτουργίας τους έναντι των SiC MOSFET που, σε γενικές γραμμές, είναι πιο ασφαλή στον παραλληλισμό τους. Ωστόσο, καθοριστικό ρόλο παίζουν η συμμετρικότητα της τοποθέτησης των ημιαγωγικών διακοπών πάνω στο PCB, καθώς επίσης και τα παρασιτικά στοιχεία κυρίως στη σύνδεση των ακροδεκτών των πηγών στο κύκλωμα ισχύος. Ιδιαίτερα δε, όταν ο αριθμός των παράλληλων συσκευών είναι μεγάλος, τότε είναι αδύνατη η συμμετρική τοποθέτηση και οι τιμές των παρασιτικών στοιχείων είναι σημαντικές, κάνοντας απαραίτητη την ύπαρξη κατάλληλων κυκλωμάτων εξισορρόπησης των ρευμάτων των παράλληλα συνδεδεμένων διακοπών.

Στα πειράματα που διεξήχθησαν παρατηρήθηκε ότι, στην λειτουργία των παράλληλα συνδεδεμένων EM και DM SiC JFET, η διασπορά των τιμών των τάσεων κατωφλίου και οι παρασιτικές απεπαγωγές του κυκλώματος είναι οι βασικές παράμετροι που επηρεάζουν την κατανομή των ρευμάτων κατά τη διάρκεια της ορθής αγωγής. Αφ' ετέρου, η διασπορά των στατικών χαρακτηριστικών μεταφοράς σε ανάστροφη αγωγή και η διασπορά των αντιστάσεων ανάστροφης αγωγής είναι τα βασικά χαρακτηριστικά που καθορίζουν την κατανομή των ρευμάτων κατά τη διάρκεια της ανάστροφης αγωγής με $V_{GS} < V_{GS-TH}$ και $V_{GS} > V_{GS-TH}$ αντίστοιχα. Επομένως, στις εφαρμογές όπου τα παράλληλα συνδεδεμένα JFET πρέπει να λειτουργήσουν σε ορθή και σε ανάστροφη αγωγή, η ασυμμετρία των ρευμάτων δεν μπορεί να εξαλειφθεί με το ταίριασμα των συσκευών σύμφωνα με τα χαρακτηριστικά τους.

Μια βιώσιμη λύση κατά τη διάρκεια της ορθής αγωγής είναι η εξισορρόπηση των ρευμάτων με την προσθήκη μιας κατάλληλης χρονικής καθυστέρησης στα σήματα πυλών μέσω ενός ψηφιακού ελεγκτή (DSC) χαμηλού κόστους, ο οποίος έχει τη δυνατότητα να μεταβάλλει την καθυστέρηση των σημάτων στις πύλες με ανάλυση της τάξης του 1 ns. Η διαδικασία της επιβολής της κατάλληλης χρονικής καθυστέρησης στα σήματα πυλών μπορεί να εκτελείται συνέχεια επιτυγχάνοντας τα βέλτιστα αποτελέσματα στην εξισορρόπηση ρευμάτων. Όμως, υπάρχει και η δυνατότητα να υπολογίζονται οι καθυστερήσεις μία μόνο φορά κατά τη διάρκεια του ελέγχου της παραγωγής της συσκευής και να αποθηκεύονται ως σταθερές στον DSC. Η λύση αυτή έχει ωστόσο το μειονέκτημα του επηρεασμού της εξισορρόπησης των ρευμάτων από τη μεταβολή του συνολικού ρεύματος που άγουν τα JFET. Ωστόσο, εάν η ρύθμιση γίνει για τη μέγιστη τιμή του ρεύματος, τότε οι τιμές των ρευμάτων που άγουν τα JFET σε όλες τις συνθήκες λειτουργίας είναι ασφαλείς παρόλο που η κατανομή τους χειροτερεύει όταν το ρεύμα μεταβάλλεται. Στην προηγούμενη περίπτωση δεν είναι αναγκαία η συνεχής μέτρηση των ρευμάτων εκτός και αν επιβάλλεται η ύπαρξη κυκλωμάτων προστασίας από υπερφόρτωση ή βραχυκυκλώματα. Επίσης, από τα πειράματα που έγιναν, αποδείχτηκε ότι η μεταβολή της θερμοκρασίας από μηδέν έως 150°C δεν είχε επίδραση στον εξαναγκασμένο παραλληλισμό ρευμάτων.

Στην ανάστροφη αγωγή, η εξισορρόπηση των ρευμάτων μπορεί να επιτευχθεί μεταβάλλοντας την τάση πόλωσης στις πύλες των JFET, όμως αυτό απαιτεί τα κυκλώματα οδήγησης να έχουν διαφορετικό σημείο αναφοράς στις τάσεις πόλωσής τους, γεγονός που επιφέρει επιπρόσθετη πολυπλοκότητα και αυξημένο κόστος. Μία απλούστερη λύση που προτείνεται, η οποία επιλύει ταυτόχρονα το πρόβλημα της μεγάλης πτώσης τάσης πάνω στα JFET στην ανάστροφη αγωγή τους με $V_{GS} < V_{GS-TH}$, είναι η προσθήκη μιας αντιπαραλληλής διόδου.

Στην προτεινόμενη τεχνική εξισορρόπησης των ρευμάτων μπορεί να χρησιμοποιηθεί το κύκλωμα μέτρησης των ρευμάτων του κυκλώματος προστασίας από μεγάλα ρεύματα προκειμένου να μειωθεί η πολυπλοκότητα και το κόστος του συστήματος.

Τέλος, η μελέτη ανέδειξε ότι η χρήση των ημιαγωγικών διακοπών από καρβίδιο του πυριτίου μπορεί να οδηγήσει στην παραγωγή μετατροπέων συνεχούς ρεύματος με τάση εξόδου μεγαλύτερη από 800V, ισχύ εξόδου μεγαλύτερη από 5 kWatt και απόδοση μεγαλύτερη από 99%, ενώ ταυτόχρονα διατηρούνται ο όγκος και το βάρος τους σε πολύ χαμηλά επίπεδα. Εάν οι μετατροπείς αυτοί έχουν σαν είσοδο φωτοβολταϊκές γεννήτριες, τότε πρέπει να δοθεί ιδιαίτερη προσοχή στη σχεδίαση των διατάξεων που χρησιμοποιούνται στην παρακολούθηση του σημείου μέγιστης ισχύος, επειδή τα σήματα μετρήσεων είναι αλλοιωμένα λόγω του θορύβου που παράγουν τα ισχυρά παλμικά ρεύματα και οι υψηλές παλμικές τάσεις. Μια λύση με ικανοποιητικά αποτελέσματα είναι η στατιστική επεξεργασία των σημάτων μέτρησης για εξάλειψη των αρνητικών επιδράσεων του θορύβου διατηρώντας ταυτόχρονα ικανοποιητικό χρόνο απόκρισης, μεγάλο βαθμό απόδοσης και ελάχιστες ταλαντώσεις.

8.2 Προτάσεις μελλοντικής έρευνας

Σε αυτή την ενότητα παρουσιάζονται προτάσεις μελλοντικής έρευνας που βασίζονται σε πειράματα που πραγματοποιήθηκαν στα προβλήματα που αντιμετωπίστηκαν και στα συμπεράσματα που εξήχθησαν κατά τη διάρκεια της προηγούμενης διερεύνησης.

- Στα πειράματα που έγιναν σε αυτή τη μελέτη σχετικά με τη λειτουργικότητα της παράλληλης σύνδεσης των JFET, χρησιμοποιήθηκε κύκλωμα οδήγησης AC coupled και παρουσιάστηκαν συγκριτικά αποτελέσματα με ένα κοινό κύκλωμα οδήγησης ή με χωριστά κυκλώματα οδήγησης για τα παράλληλα JFET. Από τα πειράματα φάνηκε ότι οι ταλαντώσεις κατά τη διάρκεια των μεταβάσεων είναι μεγαλύτερες όταν υπάρχουν χωριστά κυκλώματα οδήγησης AC coupled για τα παράλληλα JFET. Οπότε, για την επέκταση της μελέτης, σκόπιμο θα ήταν να γίνει μελέτη της αποδοτικότητας της παράλληλης λειτουργίας των JFET με κυκλώματα οδήγησης DC coupled, τα οποία ενδέχεται να μειώσουν τις ανεπιθύμητες ταλαντώσεις. Άλλωστε, τα κυκλώματα οδήγησης DC coupled είναι απαραίτητα για λειτουργία σε υψηλή συχνότητα και με μεγάλες μεταβολές του Duty Cycle.
- Η μελέτη της εξισορρόπησης των ρευμάτων κατά την παράλληλη σύνδεση των ημιαγωγικών διακοπών πραγματοποιήθηκε σε ένα κύκλωμα ελέγχου διπλού παλμού, για δύο μόνο παράλληλους διακόπτες, όπου αποδείχτηκε η λειτουργικότητά της. Ωστόσο, χρήσιμο θα ήταν να γίνει εφαρμογή αυτής της τεχνικής σε ένα πραγματικό κύκλωμα μεγάλης ισχύος με πολλούς παράλληλους διακόπτες. Επίσης, εξαιρετικά χρήσιμο θα ήταν εάν η τεχνική εφαρμοζόταν σε μπλοκ ημιαγωγικών διακοπών τα οποία αποτελούνται από πολλούς παράλληλους ημιαγωγικούς διακόπτες, ενώ ταυτόχρονα τα μπλοκ αυτά θα ήταν συνδεδεμένα εν σειρά μεταξύ τους. Με τον τρόπο αυτόν θα υλοποιούνταν μετατροπείς πολύ υψηλής τάσεως, πολύ υψηλής ισχύος και με μεγάλη πυκνότητα ισχύος.
- Η μέγιστη θερμοκρασία για την οποία μελετήθηκε η απόδοση των παραλληλισμένων ημιαγωγικών διακοπών ήταν 150°C. Ωστόσο, οι ημιαγωγοί από καρβίδιο του πυριτίου έχουν την ικανότητα να λειτουργούν σε πολύ υψηλότερες θερμοκρασίες και, για τον

λόγο αυτόν, σκόπιμο θα ήταν η μελέτη της λειτουργικότητας των παράλληλων διακοπών να επεκταθεί για υψηλότερες θερμοκρασίες.

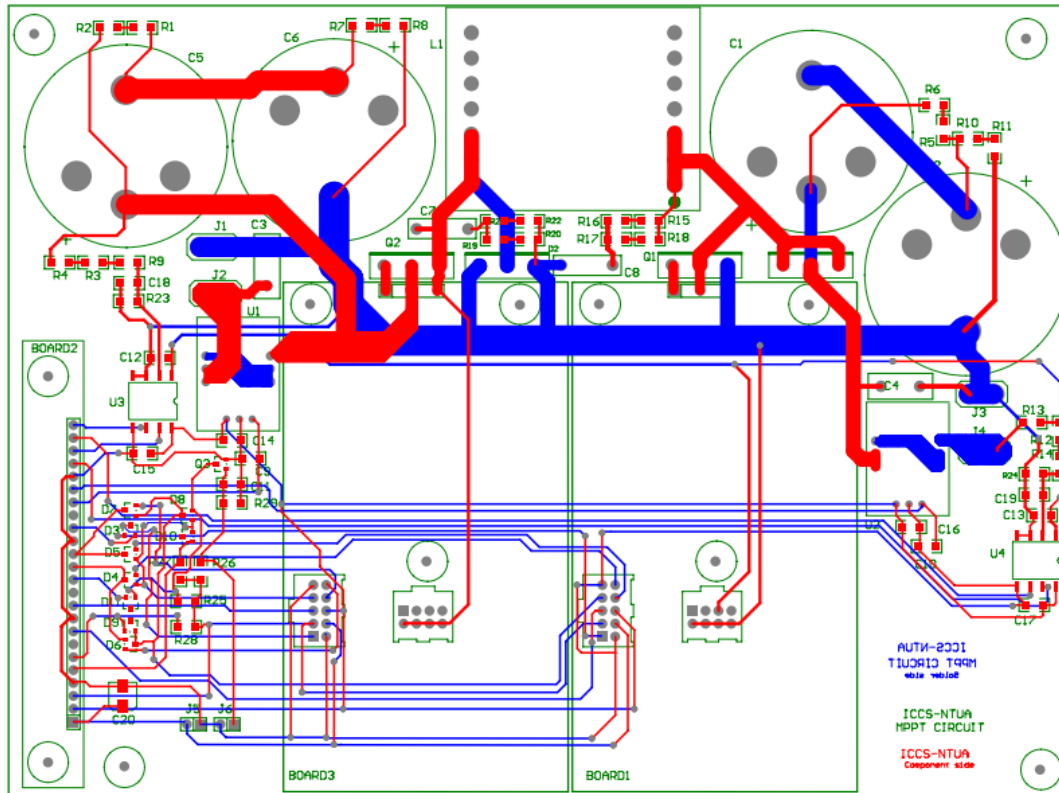
- Επίσης, δεν έχει γίνει έως τώρα καμία μελέτη για την επιρροή της παράλληλης σύνδεσης των ημιαγωγικών διακοπών από καρβίδιο του πυριτίου στην εκπομπή ηλεκτρομαγνητικού θορύβου. Οπότε, κρίνεται απαραίτητο να μελετηθεί αυτή η πτυχή και να βρεθούν τρόποι αντιμετώπισης των ζητημάτων που θα ανακύψουν.
- Τέλος, στον προτεινόμενο αλγόριθμο παρακολούθησης του σημείου μέγιστης ισχύος, χρήσιμο θα ήταν ο υπολογισμός των παραμέτρων λειτουργίας του να γίνεται αυτόματα βάσει στατιστικών αναλύσεων και όχι εμπειρικά. Επίσης είναι απαραίτητο να γίνει σύγκριση της αποδοτικότητάς του με άλλες τεχνικές.

ΠΑΡΑΡΤΗΜΑΤΑ

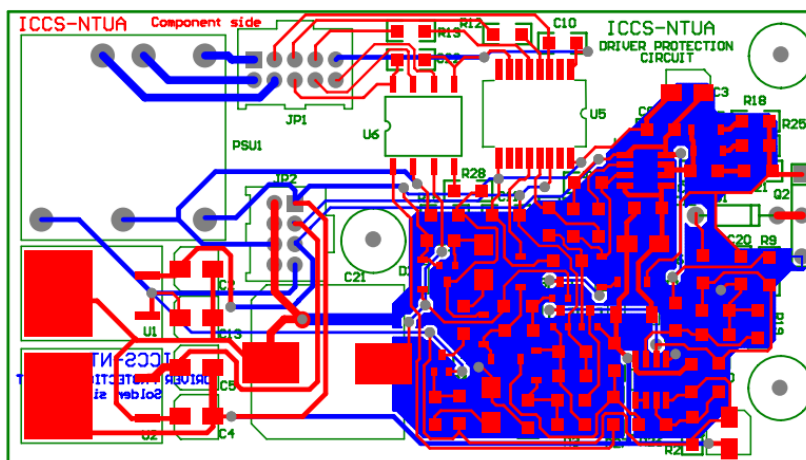
Παράρτημα Α. Σχέδια Τυπωμένων Πλακετών

Στα σχέδια που θα παρουσιαστούν δεν τηρείται η αναλογία των διαστάσεων.

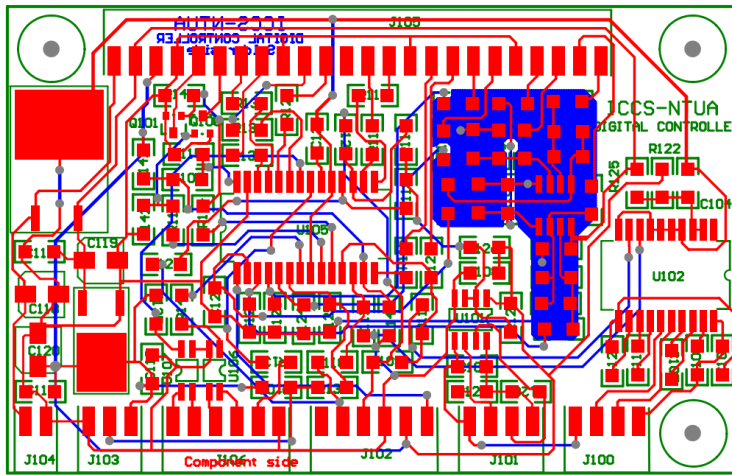
Στο Σχήμα 0.1 εμφανίζεται το τυπωμένο κύκλωμα της βασικής κάρτας του αυτόνομου μετατροπέα ανύψωσης. Πάνω σε αυτή την κάρτα συνδέονται δύο ίδιες κάρτες για τα κυκλώματα οδήγησης των JFET, όπως αυτή στο Σχήμα 0.2. Η μία από τις δύο αυτές κάρτες είναι απαραίτητη μόνο στην περίπτωση όπου ο μετατροπέας πρέπει να εργαστεί και ως υποβιβαστής τάσης (Buck-Boost Converter). Πάνω στη βασική κάρτα του μετατροπέα συνδέεται και η κάρτα του ψηφιακού μικροελεγκτή η οποία φαίνεται στο Σχήμα 0.3 παρακάτω.



Σχήμα 0.1: Τυπωμένο κύκλωμα της βασικής κάρτας του αυτόνομου μετατροπέα ανύψωσης.

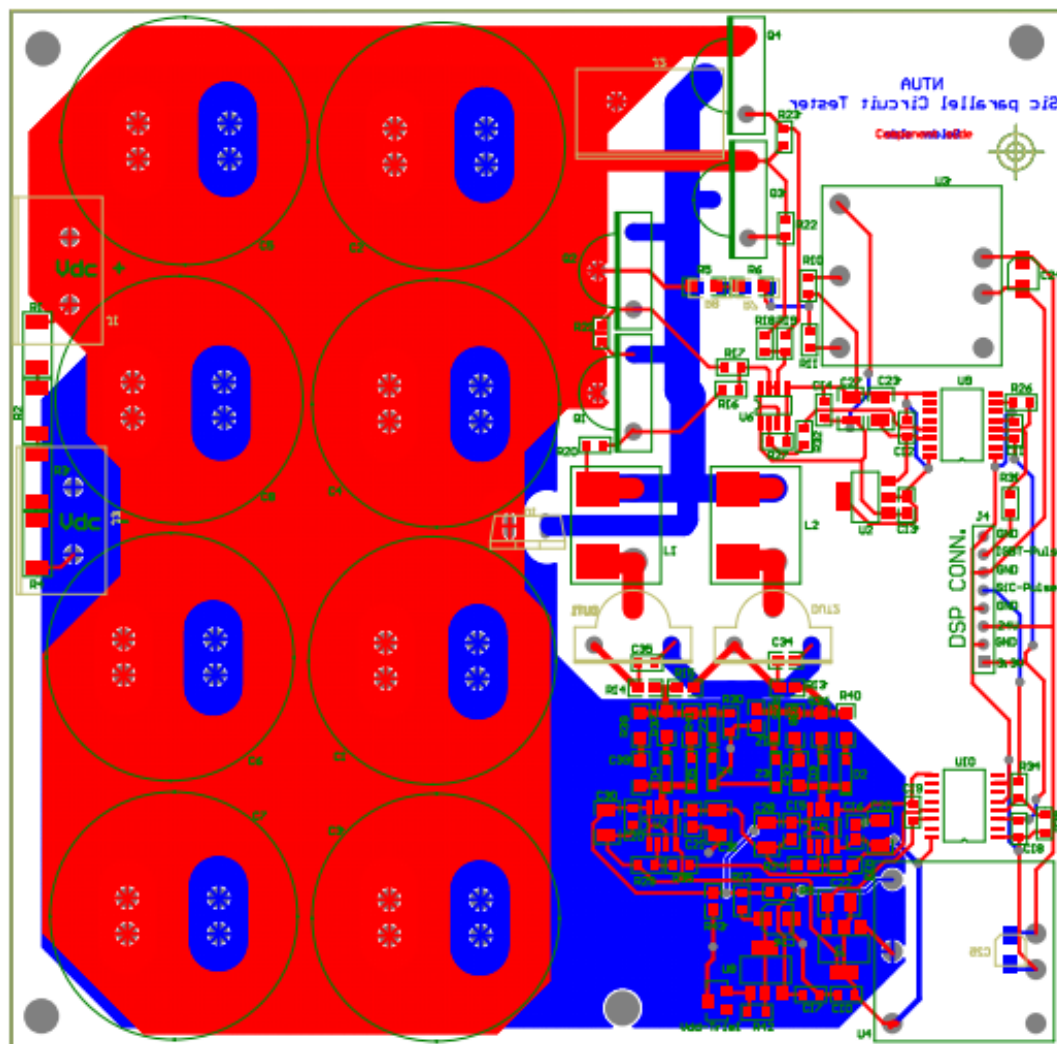


Σχήμα 0.2: Τυπωμένο κύκλωμα του κυκλώματος οδήγησης ενός JFET.



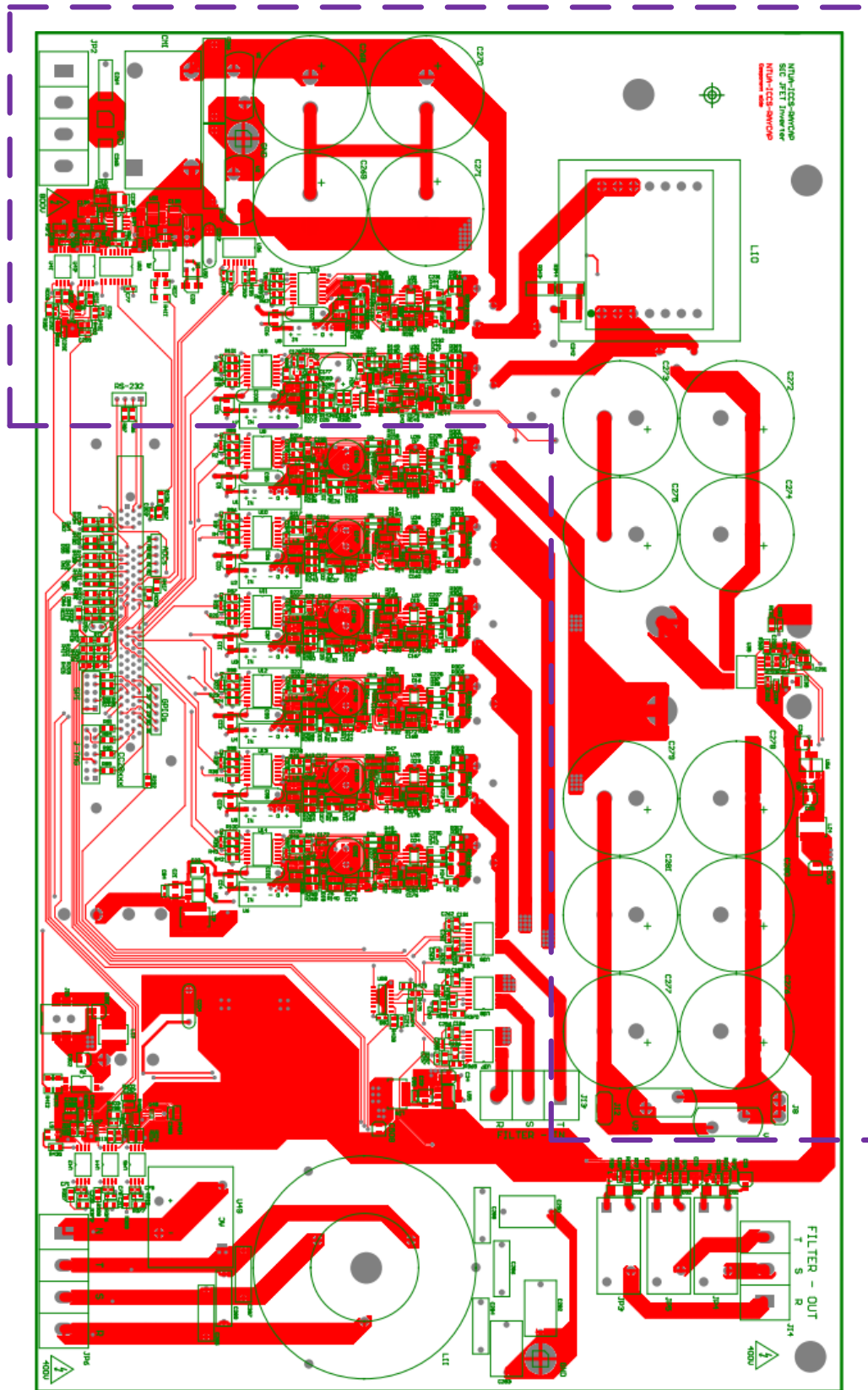
Σχήμα 0.3: Τυπωμένο κύκλωμα του ψηφιακού μικροελεγκτή.

Στο Σχήμα 0.4 παρακάτω εμφανίζεται το τυπωμένο κύκλωμα του ελεγκτή διπλού παλμού (Double pulse tester). Ο ελεγκτής αυτός οδηγείται από την κάρτα του ψηφιακού μικροελεγκτή στην οποία έγινε αναφορά πριν και εμφανίζεται στο Σχήμα 0.3 παραπάνω.



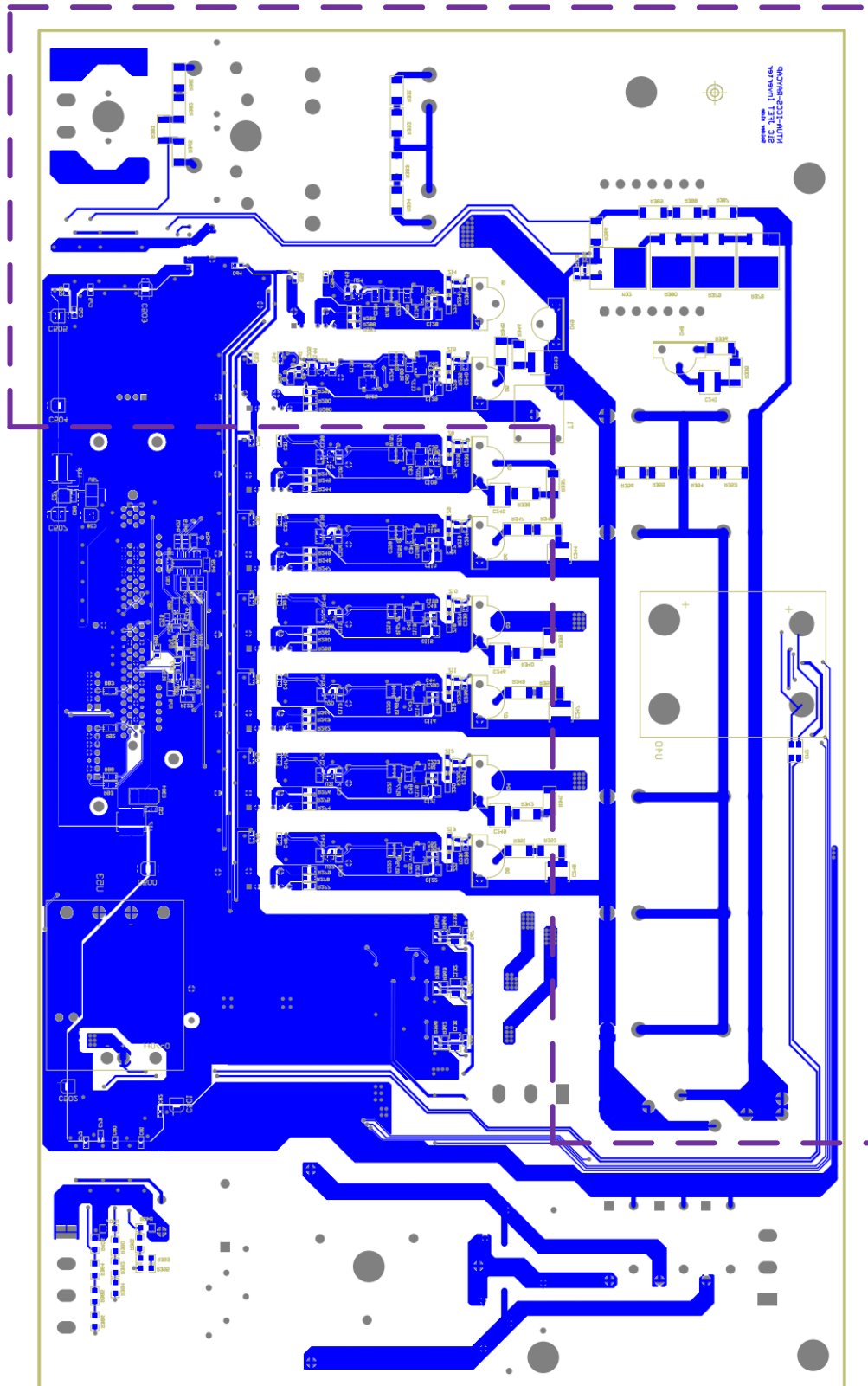
Σχήμα 0.4: Τυπωμένο ελεγκτή διπλού παλμού (Double pulse tester).

Στο Σχήμα 0.5 παρακάτω εμφανίζεται η άνω όψη του τυπωμένου κυκλώματος του τριφασικού αντιστροφέα δυο σταδίων. Το τμήμα του μετατροπέα ανύψωσης περικλείεται από τις διακεκομμένες γραμμές.



Σχήμα 0.5: Τυπωμένο κύκλωμα του τριφασικού αντιστροφέα δυο σταδίων (Top Layer).

Στο Σχήμα 0.6 παρακάτω εμφανίζεται η κάτω όψη του τυπωμένου κυκλώματος του τριφασικού αντιστροφέα δυο σταδίων. Το τμήμα του μετατροπέα ανύψωσης περικλείεται από τις διακεκομμένες γραμμές.



Σχήμα 0.6: Τυπωμένο κύκλωμα του τριφασικού αντιστροφέα δυο σταδίων (Bottom Layer).

Παράρτημα Β. Λίστα των συμβόλων και των ακρωνυμίων

Λίστα Συμβόλων

Σύμβολο	Περιγραφή
a	Μισό πλάτος καναλιού
A_e	Ενεργός διατομή
A_{GD}	Διατομή ένωσης μεταξύ πύλης και υποδοχής
A_{GS}	Διατομή ένωσης μεταξύ πύλης και πηγής
A_L	Συντελεστής αυτεπαγωγής
B	Μαγνητική επαγωγή
B_{peak}	Μέγιστη μαγνητική επαγωγή
C_{GD}	Χωρητικότητα μεταξύ πύλης και υποδοχής
C_{GS}	Χωρητικότητα μεταξύ πύλης και πηγής
C_{ISS}	Παρασιτική χωρητικότητα εισόδου
C_{OSS}	Παρασιτική χωρητικότητα εξόδου
C_{RSS}	Παρασιτική χωρητικότητα ανάστροφης μεταφοράς
DEL_{MAX}	Άνω όριο καθυστέρησης αντιστάθμισης
E_C	Ένταση πεδίου διάσπασης
e_{mag}	Σφάλμα λόγω του ρεύματος μαγνήτισης
$f_{-3dB,hi}$	Όριο απόκρισης υψηλής συχνότητας
$f_{-3dB,low}$	Όριο απόκρισης χαμηλής συχνότητας
f_s	Διακοπτική συχνότητα
g_m	Διαγωγιμότητα
I_{BR}	Ρεύμα κατάρρευσης
I_{CGD}	Ρεύμα λόγω της παρασιτικής χωρητικότητας CGD
I_{CIN_RMS}	RMS ρεύμα πυκνωτών εισόδου
I_{COUT_RMS}	RMS ρεύμα πυκνωτών εξόδου
I_D	Ρεύμα υποδοχής πηγής
I_{DSS}	Ρεύμα κορεσμού της υποδοχής για $V_{GS}=0$
$I_{S,mag}$	Ρεύμα μαγνήτισης δευτερεύοντος
k	Σταθερά Boltzmann
L	Μήκος καναλιού
L_{DRIFT}	Μήκος της περιοχής ολίσθησης
L_{DS}	Παρασιτική αυτεπαγωγή υποδοχής
L_e	Ισοδύναμη αυτεπαγωγή
L_{eff}	Ενεργό μήκος καναλιού
L_{GS}	Παρασιτική αυτεπαγωγή πύλης
L_L	Αυτεπαγωγή διαφυγής
L_m	Αυτεπαγωγή μαγνήτισης
L_R	Αυτεπαγωγή της αισθητήριας αντίστασης

L_{SS}	Παρασιτική αυτεπαγωγή πηγής
n	Απόδοση
N	Αριθμός σπειρών
$n-$	Ημιαγωγός με ασθενή νόθευση τύπου n
$n+$	Ημιαγωγός με ισχυρή νόθευση τύπου n
N_A	Πυκνότητα νόθευσης στην περιοχή της πύλης
N_{CH}	Πυκνότητα νόθευσης στην περιοχή του καναλιού
N_d	Πυκνότητα νόθευσης
N_{DRIFT}	Πυκνότητα νόθευσης στην περιοχή ολίσθησης
n_i	Ενδογενής συγκέντρωση φορέων του SiC
N_P	Σπείρες πρωτεύοντος τυλίγματος
N_S	Σπείρες δευτερεύοντος τυλίγματος
$p+$	Ημιαγωγός με ισχυρή νόθευση τύπου p
P_{C-IN}	Απώλειες των πυκνωτών εισόδου
P_{COND}	Απώλειες αγωγής
P_{CONV}	Απώλειες μετατροπέα
P_{C-OUT}	Απώλειες των πυκνωτών εισόδου
P_{SW_OFF}	Απώλειες μετάβασης σε αποκοπή
P_{SW_ON}	Απώλειες μετάβασης σε αγωγή
q	Θεμελιώδες ηλεκτρονικό φορτίο
Q_G	Συνολικό φορτίο της πύλης
R_{CVR}	Ισοδύναμη αντίσταση στα άκρα του πηνίου
R_{DS-ON}	Αντίσταση αγωγής
$R_{DS-ON(REV)}$	Αντίσταση αγωγής σε ανάστροφη αγωγή
$R_{L,max}$	Μέγιστη αντίσταση φορτίου
R_S	Αντίσταση του δευτερεύοντος τυλίγματος
S	Ευαισθησία του αισθητήρα
T	Θερμοκρασία
T_C	Θερμοκρασία του περιβλήματος
t_{SW_OFF}	Χρόνος μετάβασης σε αποκοπή
t_{SW_ON}	Χρόνος μετάβασης σε αγωγή
V_{break}	Τάση διάσπασης
V_{bi}	Εσωτερική πτώση τάσης ένωσης πύλης πηγής.
V_{BR-G}	Τάση κατάρρευσης της ένωσης πύλης πηγής
V_C	Τάση ελέγχου εξισορρόπησης
V_{CH}	Τάση στα άκρα του καναλιού
V_{DD}	Θετική τάση τροφοδοσίας του κυκλώματος οδήγησης
V_{DS}	Τάση υποδοχής πηγής
V_{DS}	Τάση υποδοχής-πηγής
V_e	Ισοδύναμος όγκος
V_{GD}	Τάση πύλης υποδοχής
V_{GS}	Τάση πύλης πηγής
V_{GS-BR}	Τάση πύλης με ρεύμα I_{BR}

V_{GS-TH}	Τάση κατωφλίου πύλης πηγής
V_{GD-TH}	τάση κατωφλίου πύλης υποδοχής
V_i	Τάση εισόδου
$V_{IN(MAX)}$	Μέγιστη τάση εισόδου
V_o	Τάση εξόδου
V_P	Τάση στραγγαλισμού
V_{SS}	Αρνητική τάση τροφοδοσίας του κυκλώματος οδήγησης
V_T	Τάση κατωφλίου πύλης
W_D	Πλάτος περιοχής απογύμνωσης μεταξύ πύλης και υποδοχής
W_{DRIFT}	Πλάτος της περιοχής ολίσθησης
W_{on}	Διακοπτικές απώλειες μεταγωγής σε αγωγή
W_S	Πλάτος περιοχής απογύμνωσης μεταξύ πύλης και πηγής
Z	Διάσταση του ημιαγωγού σε κατακόρυφη κατεύθυνση προς το χαρτί
Z_S	Αντίσταση λόγω επιδερμικού φαινομένου
β	Σταθερά για τη ταχύτητα κορεσμού
ϵ	Διηλεκτρική σταθερά
E	Ένταση ηλεκτρικού πεδίου
ϵ_{SiC}	Διηλεκτρική σταθερά του SiC
ζ	Συντελεστής απόσβεσης
H	Ένταση του μαγνητικού πεδίου
I_P	Ρεύμα πρωτεύοντος
I_S	Ρεύμα δευτερεύοντος
λ	Σταθερά φαινομένου διαμόρφωσης του καναλιού
$\mu(E)$	Κινητικότητα φορέων καναλιού εξαρτημένη του ηλεκτρικού πεδίου
μ_0	Κινητικότητα φορέων καναλιού
μ_n	Κινητικότητα ηλεκτρονίων
$\mu_{n-drift}$	Κινητικότητα φορέων στη περιοχή ολίσθησης
ρ	Ειδική αντίσταση
v_{sat}	Ταχύτητα κορεσμού ηλεκτρικών φορέων μέσα στο SiC
Φ	Μαγνητική ροή
ω_n	Ιδιοσυχνότητα

Λίστα Ακρωνυμίων

Ακρόνυμο	Αγγλική Ορολογία	Ελληνική Ορολογία
ADC	Analog to Digital Conversion	Μετατροπή αναλογικού σήματος σε ψηφιακό
BJT	Bipolar Junction Transistor	Διπολικό τρανζίστορ Ένωσης
CCM	Continuous Conduction Mode	Συνεχής αγωγή ρεύματος
CT	Current Transformer	Μετασχηματιστής ρεύματος
db	Deadband	Νεκρός χρόνος
D	Duty Cycle	Βαθμός χρησιμοποίησης
DC	Direct Current	Συνεχές Ρεύμα
DCM	Discontinuous Conduction Mode	Ασυνεχής αγωγή ρεύματος
DCT	Differential Current Transformer	Διαφορικός μετασχηματιστής ρεύματος
DM	Depletion Mode	Απογύμνωσης
DPT	Double pulse tester	Κύκλωμα ελέγχου διπλού παλμού
DSC	Digital Signal Controller	Ψηφιακός μικροελεγκτής
DUT	Device Under Test	Συσκευή υπό εξέταση
EM	Enhancement Mode	Πύκνωσης
EMI	Electromagnetic Interference	Ηλεκτρομαγνητική παρενόχληση
ESR	Equivalent Series Resistance	Ισοδύναμη αντίσταση σειράς
FET	Field Effect Transistor	Τρανζίστορ επίδρασης πεδίου
GaN	Gallium Nitride	Νιτρίδιο του Γαλλίου
IC	Integrated circuit	Ολοκληρωμένο κύκλωμα
IGBT	Insulated Gate Bipolar Transistor	Διπολικό τρανζίστορ μονωμένης πύλης
IPEMs	Integrated power electronic modules	Συστήματα ηλεκτρονικών ισχύος υψηλής ολοκλήρωσης
JFET	Junction FET	Τρανζίστορ επίδρασης πεδίου ένωσης
LC	Lateral Channel	Πλευρικού καναλιού
LPF	Low pass filter	Χαμηλοπερατό φίλτρο
MMC	Modular Multilevel Converter	Αρθρωτοί Πολυεπίπεδοι Μετατροπείς
MOSFET	Metal Oxide FET	Τρανζίστορ επίδρασης πεδίου μονωμένης πύλης
MPP	Maximum Power Point	Σημείο μέγιστης ισχύος
OC	Overcurrent	Υπερένταση
P&O	Perturb and Observe	Αλγόριθμος διαταραχής και παρατήρησης
PCB	printed circuit board	Τυπωμένο κύκλωμα
PWM	Pulse Width Modulation	Διαμόρφωση εύρους παλμών
SBD	Schottky Barrier Diode	Δίοδος Schottky φραγμού
Si	Silicon	Πυρίτιο
SiC	Silicon Carbide	Καρβίδιο του πυριτίου
SMD	Surface Mounted Devices	Στοιχεία επιφανειακής στήριξης
SOA	Safe Operating Area	Περιοχή ασφαλούς λειτουργίας
SW	Switch	Διακόπτης
VT	Vertical Trench	Κάθετης δομής(κάθετης τάφρου)

Παράρτημα Γ. Δημοσιεύσεις

Δημοσιεύσεις σε διεθνή επιστημονικά περιοδικά

- I. S. Kokosis, I. Andreadis, G. Kampitsis, P. Pachos, S. N. Manias, "Forced current balancing of parallel connected SiC JFETs during forward and reverse conduction mode", in IEEE Transactions on Power Electronics, IEEE Early Access Articles, 2016, Issue: 99.

Δημοσιεύσεις σε διεθνή συνέδρια

- I. S. V. Giannoutsos, S. Kokosis, S. N. Manias, "A gate drive circuit for Normally-On SiC JFETs with self-protection functions against overcurrent and shoot-through fault conditions", in Environment and Electrical Engineering (EEEIC), 2015 IEEE 15th International Conference on, 10-13 June 2015, pp. 851 - 859 .
- II. G. Kampitsis, M. Antivachis, S. Kokosis, S. Papathanassiou, S. Manias. "An accurate Matlab/Simulink based SiC MOSFET model for power converter applications", in Applied Power Electronics Conference and Exposition (APEC), 2015 IEEE, pp. 1058 - 1064.

ΒΙΒΛΙΟΓΡΑΦΙΑ

- [1] J. W. Kolar, U. Drogenik, Ertl, T. Friedli, and S. D. R., “PWM Converter Power Density Barriers,” in Power Conversion Conference, Nagoya, 2007. PCC '07, 2007, pp. P-9-P-29.
- [2] Yutian CuFi, M.S. Chinthavali, Xu Fan, and L.M. Tolbert, “Characterization and modeling of silicon carbide power devices and paralleling operation,” in IEEE ISIE, 2012, pp. 228–233.
- [3] S. Waffler, S.D. Round and J.W. Kolar, “High temperature (>2000C) isolated gate drive topologies for Silicon Carbide (SiC) JFET,” in IEEE IECON, 2008, pp. 2867–2872.
- [4] Fan Xu, Dong Jiang Jing Wang F. Wang L.M. Tolbert, Han, T.J., Nagashima, J., and Sung Joon Kim, “High temperature packaging of 50 kW three-phase SiC power module,” in Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th International Conference on , pp.2427- 2433, May 30 2011-June 3 2011.
- [5] P. Ning, T. G. Lei, F. Wang, G.-Q. Lu, K. D. T. Ngo, and K. Rajashekara, “A novel high-temperature planar package for SiC multichip phase-leg power module,” in IEEE Trans. Power Electron., vol. 25, no. 8, pp. 2059–2067, Aug. 2010.
- [6] J. Rabkowski, D. Pefitsis, and H.-P. Nee, “Design steps towards a 40-kVA SiC inverter with an efficiency exceeding 99.5%,” in Transactions on Industry Applications, IEEE, 2013, Volume: 49, Issue: 4 Pages: 1589 – 1598.
- [7] Gangyao Wang, Mookken J., Rice J., and Schupbach M., “Dynamic and static behavior of packaged silicon carbide MOSFETs in paralleled applications,” in Applied Power Electronics Conference and Exposition (APEC), Twenty-Ninth Annual IEEE, 2014, pp. 1478 – 1483.
- [8] M. Chinthavali, P. Ning, Y. Cui, and L. Tolbert, “Investigation on the Parallel Operation of Discrete SiC BJTs and JFETs,” in Proc. of Applied Power Electronics Conference 2011, APEC 2011, 6-10 Mar. 2011.
- [9] Pefitsis D., Lim Jang-Kwon, Rabkowsk, J., Tolstoy G. , and Nee H.-P., “Experimental comparison of different gate-driver configurations for parallel-connection of normally-on SiC JFETs,” Power Electronics and Motion Control Conference (IPEMC), 2012, pp. 16 – 22.
- [10] D. Pefitsis, R. Baburske, J. Rabkowski, J. Lutz, G. Tolstoy, and H.-P. Nee, “Challenges regarding parallel-connection of SiC JFETs,” in IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 28, NO. 3, MARCH 2013, pp. 1449–1463.
- [11] Στέφανος Ν. Μανιάς, “Ηλεκτρονικά ισχύος,” Εκδόσεις Συμεών, Αθήνα 2014.
- [12] N. Mohan, T.M. Undeland, and W. P. Robbins, Power Electronics, 2nd Edition, John Wiley & Sons Inc., New York, 1995.
- [13] B. Jayant Baliga, “Silicon Carbide power devices,” World scientific publishing, Singapore 2005.
- [14] Stephen E. Saddow, and Anant Agarwal, “Advances in Silicon Carbide processing and applications”, Artech house, Norwood 2004.
- [15] Michael Shur, and Sergey Romyantsev-Michael Levinshtein, “SiC Materials and devices,” vol. 1, World scientific publishing, Singapore 2006.
- [16] Michael Shur, Sergey Romyantsev, and Michael Levinshtein, “SiC Materials and devices,” vol. 2, World scientific publishing, Singapore 2007.
- [17] Stephen E. Saddow, and Anant Agarwal, “Advances in Silicon Carbide processing and applications,” Artech house, Norwood 2004.
- [18] B. Ozpineci, L. M. Tolbert, “Comparison of Wide-Bandgap Semiconductors for Power Electronics Applications,” Oak Ridge National Laboratory, Dec 2003.
- [19] Adel S. Sedra, and Kenneth C. Smith, “Μικροηλεκτρονικά κυκλώματα,” Εκδόσεις παπασωτηρίου, Αθήνα 1994.
- [20] E. Platania, Z. Chen, F. Chimento, A. Grekov, R. Fu, L. Lu, A. Raciti, J. Hudgins, A. Mantooth, D. Sheridan, J. Casady, and E. Santi, “A physics based model for a SiC JFET accounting for electric

- field dependent mobility,” in IEEE Transactions on Industry Applications, 2011, Volume: 47, Issue: 1, pp. 199 – 211.
- [21] Jacob Millman, και Χρήστος Χαλκιάς, “Ωλοκληρωμένη ηλεκτρονική,” Εκδόσεις Συμμετρία, Αθήνα 2000.
- [22] G. Massobrio, and P. Antognetti, “Semiconductor Device Modeling with SPICE,” McGraw-Hill, 1988.
- [23] Yi Wang, Callaway J. Cass, T. Paul Chow, Fred Wang, and Dushan Boroyevich, “SPICE Model of SiC JFETs for Circuit Simulations,” IEEE Workshops on Computers in Power Electronics, pp .212 – 215, 2006.
- [24] Datasheet - Semisouth, SJEP120R100,normally-off SiC JFET.
- [25] Datasheet - Semisouth, SJDP120R085,normally-on SiC JFET.
- [26] R. Siemieniec and U. Kirchner, “The 1200V direct-driven SiC JFET power switch,” in Proceedings of the 2011-14th European Conference on Power Electronics and Applications (EPE 2011),, pp. 1–10, 30 2011-sept. 1 2011.
- [27] M. Bakowski, “Prospects and Development of Vertical Normally-off JFETs in SiC,” J.Telecommun. Inf. Technol., vol. 4, pp. 25–35, 2009.
- [28] Datasheet-Infineon, IJW120R100T1, SiC JFET CoolSiC™, 2013.
- [29] Datasheet-Infineon, IJW120R070T1, SiC JFET CoolSiC™, 2013.
- [30] P. Friedrichs and R. Rupp, “Silicon carbide power devices - current developments and potential applications”, in European Conference on Power Electronics and Applications, 2005.
- [31] Semisouth laboratories, Application note AN-SS1, “Silicon carbide enhancement-mode junction field effect transistor and recommendations for use,” 2009.
- [32] A. Agarwal and S. E. Saddow, “Advances in Silicon Carbide Processing and Applications,” Artech House 2004.
- [33] M. Bakowski, “Prospects and Development of Vertical Normally-off JFETs in SiC,” J. Telecommun. Inf. Technol., vol. 4, pp. 25–35, 2009.
- [34] R. Lai, F. Wang, R. Burgos, D. Boroyevich, D. Zhang, and P. Ning, “A shoot-through protection scheme for converters built with sic jfets,” IEEE Trans. Ind. Appl., vol. 46, no. 6, pp. 2495–2500, Nov 2010.
- [35] D. Aggeler, F. Canales, J. Biela, and J. Kolar, “Dv/dt control methods for the SiC JFET/si MOSFET cascode,” IEEE Trans. Power Electron., vol. 28, no. 8, pp. 4074–4082, Aug 2013.
- [36] D. Domes and X. Zhang, “Cascode light - normally-on jfet stand alone performance in a normally-off cascode circuit,” in PCIM Europe 2010, International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Proceedings of, May 2010.
- [37] R. Siemieniec and U. Kirchner, ”The 1200v direct-driven sic jfet power switch,” in Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on, Aug 2011, pp. 1–10.
- [38] S. V. Giannoutsos, S. Kokosis, and S. N. Manias, ”A gate drive circuit for Normally-On SiC JFETs with self-protection functions against overcurrent and shoot-through fault conditions,” in Environment and Electrical Engineering (EEEIC), 2015 IEEE 15th International Conference on, 10-13 June 2015, pp. 851 - 859.
- [39] Datasheet -USCi, UJN1208K, normally-on SiC JFET.
- [40] Dubois F., Risaletto D., Bergogne D., Morel H., Buttay C. , and Meuret R., “Active protections for normally-on SiC JFETs,” Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conferenceon, 2011.
- [41] Henry W. Ott, “Electromagnetic Compatibility Engineering,” John Wiley & Sons, Inc., New Jersey, 2009

- [42] W. Bergner, F. Bjoerk, D. Domes, and G. Deboy, "Infineon's 1200V SiC JFET – The New Way of Efficient and Reliable High Voltages Switching ," Infineon Technologies, Tech. Rep., 2012.
- [43] K. Mino, S. Herold, and J. W. Kolar, "A gate drive circuit for silicon carbide JFET," 29th Annu. Conf. IEEE Ind. Electron. Soc., vol. 2, pp. 1162–1166, 2003.
- [44] S. Round, M. Heldwein, J. Kolar, I. Hofsjager, and P. Friedrichs, "A SiC JFET driver for a 5 kW, 150 kHz three-phase PWM converter," in 40th Industry Applications Annual Meeting, vol. 1, pp. 410–416.
- [45] M. L. Heldwein and J. W. Kolar, "A novel SiC J-FET gate drive circuit for sparse matrix converter applications," in 19th Annual IEEE Applied Power Electronics Conference and Exposition (APEC), 2004, vol. 1, pp. 116–121.
- [46] D. Pefitsis, J. Rabkowski, and H.-P. Nee, "Self-Powered Gate Driver for Normally-ON SiC JFETs: Design Considerations and System Limitations," IEEE Trans. Power Electron., vol. 29, no. 10, pp. 5129–5135, Oct. 2014.
- [47] D. Pefitsis and J. Rabkowski, "Gate and Base Drivers for Silicon Carbide Power Transistors: An Overview," IEEE Trans. Power Electron., vol. 31, no. 10, pp. 7194–7213, 2015.
- [48] D. Pefitsis, G. Tolstoy, A. Antonopoulos, J. Rabkowski, J.-K. Lim, M. Bakowski, L. Angquist, and H.-P. Nee, "High-power modular multilevel converters with SiC JFETs," in IEEE Energy Conversion Congress and Exposition (ECCE), 2010, no. September 2010, pp. 2148–2155.
- [49] John Bendel and Xueqing Li, "Using Normally on JFETs in Power Systems," www.bodospower.com, March 2015.
- [50] J. Biela, D. Aggeler, D. Bortis, and J.W. Kolar, "5 kV/200 ns pulsed powerswitch based on SiC-JFET super cascode," in Proc. IEEE Int. Power Modulator Conf., Las Vegas, NV, May 27–31, 2008, pp. 358–361.
- [51] Juergen Biela, Daniel Aggeler, Dominik Bortis and Johann W. Kolar, "Balancing Circuit for a 5-kV/50-ns Pulsed-Power Switch Based on SiC-JFET Super Cascode," IEEE Transactions on Plasma Science, 2012, vol. 40, no 10, pp. 2554 - 2560.
- [52] A. Anthon, and Z. Zhang, M. Andersen "Comparison of a State of the Art Si IGBT and Next Generation Fast Switching Devices in a 4kW BoostConverter," IEEE Energy Conversion Congress and Exposition (ECCE 2015), pp. 3003 – 3011.
- [53] C. Sintamarean, F. Blaabjerg, H. Wang, and Y. Yang, "Real field mission profile oriented design of a SiC-based PV-inverter application," IEEE Trans. Ind. Appl., vol. 50, no. 6, pp. 4082–4089, Nov 2014.
- [54] H. Zhang, L. Tolbert, and B. Ozpineci, "Impact of SiC devices on hybrid electric and plug-in hybrid electric vehicles," IEEE Trans. Ind. Appl., vol. 47, no. 2, pp. 912–921, March 2011.
- [55] M. Swamy, K. Shirabe, and J. Kang, "Power loss, system efficiency, and leakage current comparison between si IGBT vfd and SiC FET vfd with various filtering options," IEEE Trans. Ind. Appl., vol. 51, no. 5, pp. 3858 - 3866, 2015.
- [56] F. Xu, B. Guo, L. Tolbert, F. Wang, and B. Blalock, "An all-sic three-phase buck rectifier for high-efficiency data center power supplies," IEEE Trans. Ind. Appl., vol. 49, no. 6, pp. 2662–2673, Nov 2013.
- [57] T. Friedli, S. Round, D. Hassler, and J. Kolar, "Design and performance of a 200-khz all-sic jfet current dc-link back-to-back converter," IEEE Trans. Ind. Appl., vol. 45, no. 5, pp. 1868–1878, Sept 2009.
- [58] H. Akagi, T. Yamagishi, N. Tan, S.-I. Kinouchi, Y. Miyazaki, and M. Koyama, "Power-loss breakdown of a 750-v 100-kw 20-khz bidirectional isolated dc-dc converter using sic-mosfet/sbd dual modules," IEEE Trans. Ind. Appl., vol. 51, no. 1, pp. 420–428, Jan 2015.

- [59] F. Gu'edon, S. Singh, R. McMahon, and F. Udrea, "Boost converter with sic jfets: Comparison with coolmos and tests at elevated case temperature," *IEEE Trans. Power Electron.*, vol. 28, no. 4, pp. 1938–1945, April 2013.
- [60] Y. Gao, A. Huang, S. Krishnaswami, J. Richmond, and A. Agarwal, "Comparison of static and switching characteristics of 1200 V 4H-SiCBJT and 1200 V Si-IGBT," *IEEE Trans. Ind. Appl.*, vol. 44, no. 3, pp. 887–893, May 2008.
- [61] Datasheet -CREE, C2M0080120D, SiC MOSFET.
- [62] Datasheet -INFINEON, IGW15N120H3, high speed IGBT.
- [63] D. Othman, M. Berkani, S. Lefebvre, A. Ibrahim, Z. Khatir, and A. Bouzourene, "Comparison study on performances and robustness between SiC MOSFET & JFET devices - Abilities for aeronautics application," in *Microelectronics Reliability*, Volume 52, Issues 9-10, September-October 2012, Pages 1859-1864.
- [64] G. Kampitsis, S. Papathanassiou and S. Manias, "Comparative evaluation of the short-circuit withstand capability of 1.2 kV silicon carbide (SiC) power transistors in real life applications," 2015," *Microelectron. Reliab.*, pp. 1–7, 2015.
- [65] M. Treu, R. Rupp, and G. S'olkner, "Reliability of sic power devices and its influence on their commercialization - review, status, and remaining issues," in *Reliability Physics Symposium (IRPS)*, 2010 IEEE International, May 2010, pp. 156–161.
- [66] A. Lemmon, M. Mazzola, J. Gafford, and K. Speer, "Comparative analysis of commercially available silicon carbide transistors," in *Applied Power Electronics Conference and Exposition (APEC)*, 2012 Twenty-Seventh Annual IEEE, Feb 2012, pp. 2509–2515.
- [67] T.-T. Nguyen, A. Ahmed, T. Thang, and J.-H. Park, "Gate oxide reliability issues of sic mosfets under short-circuit operation," *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2445–2455, May 2015.
- [68] Rémy Ouaida, Maxime Berthou, Javier León, and Xavier Perpiñà, "Gate oxide degradation of SiC MOSFET in switching conditions," *IEEE Electron Device Lett.*, vol. 35, no. 12, pp. 1284–1286, Dec 2014.
- [69] Moshe Gurfinkel, Hao D. Xiong, Kin P. Cheung, John S. Suehle, Joseph B. Bernstein, Yoram Shapira, Aivars J. Lelis, Daniel Habersat, and Neil Goldsman "Characterization of transient gate oxide trapping in SiC MOSFETs using fast I-V techniques," in *IEEE Trans. on El.Dev.*, vol. 55, no. 8, August 2008, pp. 2004-2012.
- [70] S. Dhar, S.-H. Ryu, and A. K. Agarwal, "A study on pre-oxidation nitrogen implantation for the improvement of channel mobility in 4H-SiC MOSFETs," in *IEEE Trans. Electron Devices*, vol. 57, no. 6, pp. 1195–1200, Jun. 2010.
- [71] V. Veliadis, Ty McNutt, M. McCoy, H. Hearne, P. Potyraj, and C. Scozzie, "Large Area Silicon Carbide Vertical Junction Field Effect Transistors for High Temperature Power Conditioning Applications," in *IEEE Vehicle Power and Propulsion Conference*, 2007, IEEE, pp. 223 – 229.
- [72] Philip G. Neudeck, "SiC Technology," 1998, NASA Lewis Research Center.
- [73] M. Treu, R. Rupp, P. Blaschitz, K. Ruschenschmidt, T. Sekinger, P. Friedrichs, R. Elpelt, and D. Peters, "Strategic considerations for unipolar SiC switch options: JFET vs. MOSFET," in *Conf. Rec. IEEE IAS Annu. Meeting*, Sep. 23–27, 2007, pp. 324–330.
- [74] R. K. Malhan, M. Bakowski, Y. Takeuchi, N. Sugiyama, and A. Schoner, "Design, process, and performance of all-epitaxial normally-off SiC JFETs," in *Phys. Stat. Sol. A*, vol. 206, no. 10, pp. 2308–2328, Oct. 2009.
- [75] Jang-Kwon Lim, Peftitsis D., Rabkowski J., Bakowski M., and Nee H.-P., "Analysis and Experimental Verification of the Influence of Fabrication Process Tolerances and Circuit Parasitics on Transient Current Sharing of Parallel-Connected SiC JFETs," in *IEEE Transactions on Power Electronics*, 2014, Vol. 29, No. 5, pp. 2180 – 2191.

- [76] S. Kokosis, I. Andreadis, G. Kampitsis, P. Pachos, and S. N. Manias, "Forced current balancing of parallel connected SiC JFETs during forward and reverse conduction mode," in *IEEE Transactions on Power Electronics*, IEEE Early Access Articles, 2016, Issue: 99.
- [77] R. Malewski, "Wirewound shunts for measurement of fast current impulse," *IEEE Trans. Power App. Syst.*, vol. PAS-103, no. 6, pp. 2927–2933, Oct. 1984.
- [78] V. Dubickas and H. Edin, "High-frequency model of the Rogowski coil with a small number of turns," *IEEE Trans. Instrum. Meas.*, vol. 56, no. 6, pp. 2284–2288, Dec. 2007.
- [79] C. Qing, L. Hong-bin, Z. Ming-ming, and L. Yan-bin, "Design and characteristics of two Rogowski coils based on printed circuit board," *IEEE Trans. Instrum. Meas.*, vol. 55, no. 3, pp. 939–943, Jun. 2006.
- [80] A. Gerasimov, "Wide-range inductive sensors of currents with nanosecond rise times for measuring parameters of high-current pulses (Review)," *Instrum. Exp. Tech.*, vol. 45, no. 2, pp. 147–161, Mar. 2002.
- [81] D. G. Pellinen, M. S. Di Capua, E. Sampayan, H. Gerbracht, and M. Wang, "Rogowski coil for measuring fast, high-level pulsed currents," *Rev. Sci. Instrum.*, vol. 51, no. 11, pp. 1535–1540, Nov. 1980.
- [82] A. Ahmed, L. Coulbeck, A. Castellazzi, and C. M. Johnson, "Design and test of a PCB Rogowski coil for very high dI/dt detection," *IEEE International Power Electronics and Motion Control Conference (EPE-PEMC)*, Novi Sad, Serbia, Sept. 4-6, 2012, pp.1-4.
- [83] W. F. Ray, and C. R. Hewson, "High performance Rogowski current transducers," *Conference Record of the 2000 IEEE Industry Applications Conference*, vol. 5, pp. 3083 – 3090, 2000.
- [84] L. A. Kojovic, R. Beresh, M. Bishop, R. Javora, B. Magruder, P. McLaren, B. Mugalian, and A. Offner "Practical aspects of Rogowski coil applications to relaying," *IEEE PSRC Special Report*, Sept. 2010.
- [85] D. G. Pellinen, M. S. Di Capua, E. Sampayan, H. Gerbracht, and M. Wang, "Rogowski coil for measuring fast, high-level pulsed currents," *Rev. Sci. Instrum.*, vol. 51, no. 11, pp. 1535–1540, Nov. 1980.
- [86] I. A. Metwally, "Design of Different Self-Integrating and Differentiating Rogowski Coils for Measuring Large-Magnitude Fast Impulse Currents," *IEEE Transactions on Instrumentation and Measurement*, 2013, Vol. 62 , vo. 8, pp. 2303 – 2313.
- [87] I.A. Metwally, "Self-integrating Rogowski coil for high-impulse current measurement," *IEEE Trans. Instrum. Meas.*, Vol. 59, No. 2, pp. 353-360, 2010.
- [88] L. Zhao, J. D. van Wyk, and W. G. Odendaal, "Planar embedded pick-up coil sensor for power electronic modules," *IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2004, pp. 945-951.
- [89] Z. Liang and F. C. Lee, "Embedded power technology for IPEMs packaging applications," *Proc. of APEC'01*, vol. 2, pp. 1057-1061, 2001.
- [90] Y. Xue, J. Lu, Z. Wang, L. M. Tolbert, B. J. Blalock, and F. Wang, "A Compact Planar Rogowski Coil Current Sensor for Active Current Balancing of Parallel-Connected Silicon Carbide MOSFETs," in *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, Sept. 2014, pp. 4685-4690.
- [91] W. F. Ray, and R. M. Davis, "High frequency improvements in wide bandwidth Rogowski current transducers," *IEEE European Conference on Power Electronics and Application (EPE)*, Sept. 1999, pp. 1-9.
- [92] N. Das and M. K. Kazimierczuk, "An overview of technical challenges in the design of current transformers," *IEE Proceedings Electrical Insulation Conference and Electrical Manufacturing Expo*, 2005, pp. 369 – 377.

- [93] Colonel Wm. T. McLyman, "Transformer and Inductor Design Handbook," 3rd Ed. New York, Marcel Dekker, Inc., 2004.
- [94] B.V. Cordingley and D.J. Chamund, "Some observations on the performance of modern wideband current transformers in pulse current measurement applications," Lilco Ltd, Livingston, U.K.
- [95] Yang Xue, Junjie Lu, Zhiqiang Wang, Tolbert L.M., Blalock B.J., and Wang F., "Active compensation of current unbalance in paralleled silicon carbide MOSFETs," in Applied Power Electronics Conference and Exposition (APEC), 2014 , IEEE, 2014 pp. 1471 – 1477.
- [96] Safari S., Castellazzi A., and Wheeler P., "Performance evaluation of normally-off SiC JFET in matrix converter without antiparallel diodes," in IEEE IECON 2013 pp. 1815 – 1820.
- [97] Sheridan D. C., Chatty K., Bondarenko V., and Casady J. B., "Reverse conduction properties of vertical SiC trench JFETs," in IEEE ISPSD, 3- 7 June 2012, pp. 385-388.
- [98] G. Kampitsis, P. Stefan, N. Chrysogelos, S. Papanthassiou, and S. Manias, "Assessment of the Reverse Operational Characteristics of SiC JFETs in a Diode-Less Inverter," in IEEE, IECON 2013 pp. 477 – 482.
- [99] G. Kampitsis, S. Papanthassiou and S. Manias, "Performance consideration of an AC coupled gate drive circuit with forward bias for normally-on SiC JFETs," in IEEE ECCE, pp. 3224 – 3229, 2013.
- [100] Cai C., Zhou W. ,and Sheng K., "Characteristics and application of normally-off SiC-JFETs in converters without antiparallel diodes," in IEEE Transactions on Power Electronics, 2013, pp. 4850-4860.
- [101] M. Harrison, and W. Heffernan, "Silicon carbide JFET reverse conduction characteristics and use in power converters," in IET Power Electronics, Volume 5, Issue 8, September 2012, pp. 1282 – 1290.
- [102] D. Bortis, J. Biela, and J. W. Kolar, "Active gate control for current balancing of parallel-connected IGBT modules in solid-state modulators," IEEE Trans. Plasma Sci., vol. 36, no. 5, pp. 2632–2637, Oct. 2008.
- [103] R. Alvarez and S. Bernet, "A new delay time compensation principle for parallel connected IGBTs," IEEE Energy Conversion Congress and Exposition (ECCE), Sept. 17-22, 2011, pp. 3000–3007.
- [104] M. Sasaki, H. Nishio, and W. T. Ng, "Dynamic gate resistance control for current balancing in parallel connected IGBTs," IEEE Applied Power Electronics Conference and Exposition (APEC), 2013, pp. 244-249.
- [105] T. Kerekes, R. Teodorescu, P. Rodr'iguez, G. V'azquez, and E. Aldabas, "A new high-efficiency single-phase transformerless PV inverter topology," IEEE Trans. Ind. Electron., vol. 58, no. 1, pp. 184–191, Jan 2011.
- [106] D.-Y. Jung, Y.-H. Ji, S.-H. Park, Y.-C. Jung, and C.-Y. Won, "Interleaved soft-switching boost converter for photovoltaic power-generation system," IEEE Trans. Power Electron., vol. 26, no. 4, pp. 1137–1145, April 2011.
- [107] C.-M. Ho, H. Breuninger, S. Pettersson, G. Escobar, and F. Canales, "A comparative performance study of an interleaved boost converter using commercial Si and SiC diodes for PV applications," IEEE Trans. Power Electron., vol. 28, no. 1, pp. 289–299, Jan 2013.
- [108] X. Yuan, S. Walder, and N. Oswald, "EMI generation characteristics of SiC and Si diodes: Influence of reverse-recovery characteristics," IEEE Trans. Power Electron., vol. 30, no. 3, pp. 1131–1136, March 2015.
- [109] MAGNETICS, Powder Core Catalog, 2012.
- [110] Datasheet, SEMISOUTH, SDP20S120D , Silicon Carbide Power Schottky Diode.
- [111] A. Martin, M. Davis-Marsh, G. Pinto and I. Jorio "Capacitor selection for dc/dc converters: what you need to know to prevent early failures, and reduce switching noise," AVNET Power Forum, California, USA, 2012.
- [112] T. Esum and P. L. Chapman, "Comparison of photovoltaic array maximum power point tracking techniques," IEEE Trans. Energy Convers., vol. 22, no. 2, pp. 439–449, Jun. 2007.

- [113]M. A. S. Masoum, H. Dehbonei, and E. F. Fuchs, "Theoretical and experimental analyses of photovoltaic systems with voltage and currentbased maximum power point tracking," *IEEE Trans. Energy Conv.*, vol. 17, no. 4, pp. 514–522, Dec. 2002.
- [114]A. Pandey, N. Dasgupta, and A. K. Mukerjee, "A simple single-sensor MPPT solution," *IEEE Trans. Power Electron.*, vol. 22, no. 6, pp. 698– 700, Mar. 2007.
- [115]B. Subudhi and R. Pradhan, "Characteristics evaluation and parameter extraction of a solar array based on experimental analysis," in *Proc. 9th IEEE Power Electron. Drives Syst.*, Singapore, Dec. 5–8, 2011.
- [116]B. Subudhi and R. Pradhan, "A comparative study on maximum power point tracking techniques for photovoltaic power systems," *IEEE Trans. Sustain. Energy*, vol. 4, no. 1, pp. 89–98, Jan.2013.
- [117]N. Femia, G. Petrone, G. Spagnuolo, and M. Vitelli, "Optimization of perturb and observe maximum power point tracking method," *IEEE Trans. Power Electron.*, vol. 20, no. 4, pp. 963–973, Jul. 2005.
- [118]M. A. Elgendy, B. Zahawi, and D. J. Atkinson, "Assessment of perturb and observe mppt algorithm implementation techniques for pv pumping applications," *IEEE Trans. Sustain. Energy*, vol. 3, no. 1, pp. 21–33, Jan. 2012.
- [119]M. A. Elgendy, B. Zahawi, and D. Atkinson, "Operating characteristics of the p&o algorithm at high perturbation frequencies for standalone pv systems," *IEEE Trans. Energy Convers.*, vol. 30, no. 1, pp. 189–198, Mar. 2015.
- [120]A. Safari and S. Mekhilef, "Simulation and hardware implementation of incremental conductance mppt with direct control method using cuk converter," *IEEE Trans. Ind. Electron*, vol. 58, no. 4, pp. 1154–1161, Apr. 2011.
- [121]M. A. Elgendy, B. Zahawi, and D. J. Atkinson, "Assessment of the incremental conductance maximum power point tracking algorithm," *IEEE Trans. Sustain. Energy*, vol. 4, no. 1, pp. 108–117, Jan. 2013.
- [122]B. N. Alajmi, K. H. Ahmed, S. J. Finney, and B. W. Williams, "Fuzzy-logic-control approach of a modified hillclimbing method for maximum power point in microgrid standalone photovoltaic system," *IEEE Trans. Power Electron.*, vol. 26, no. 4, pp. 1022–1030, Apr. 2011.
- [123]A. Al Nabulsi and R. Dhaouadi, "Efficiency optimization of a dsp-based standalone pv system using fuzzy logic and dualmppt control," *IEEE Trans. Ind. Informat.*, vol. 8, no. 3, pp. 573–584, Aug. 2012.
- [124]A. El Khateb, N. Abd Rahim, J. Selvaraj, and M. Uddin, "Fuzzy-logic-controller-based sepic converter for maximum power point tracking," *IEEE Trans. Ind. Appl.*, vol. 50, no. 4, pp. 2349–2358, Jul. 2014.
- [125]K. K. Tse, M. T. Ho, H. S.-H. Chung, and S. Y. Hui, "A novel maximum power point tracker for PV panels using switching frequency modulation," *IEEE Trans. Power Electron.*, vol. 17, no. 6, pp. 980–989, Nov. 2002.
- [126]D. Casadei, G. Grandi, and C. Rossi, "Single-phase single-stage photovoltaic generation system based on a ripple correlation control maximum power point tracking," *IEEE Trans. Energy Convers.*, vol. 21, no. 2, pp. 562–568, Jun. 2006.
- [127]T. Esumi, J. W. Kimball, P. T. Krein, P. L. Chapman, and P. Midya, "Dynamic Maximum Power Point Tracking of Photovoltaic Arrays Using Ripple Correlation Control," *IEEE Trans. Power Electron.*, vol. 21, no. 5, pp. 1282–1291, Sep. 2006.
- [128]W. Xiao, M. G. J. Lind, W. G. Dunford, and A. Capel, "Real-time identification of optimal operating points in photovoltaic power systems," *IEEE Trans. Ind. Electron.*, vol. 53, no. 4, pp. 1017–1026, Jun. 2006.

- [129]F.-S. Pai, R.-M. Chao, S. H. Ko, and T.-S. Lee, "Performance evaluation of parabolic prediction to maximum power point tracking for PV Array," *IEEE Trans. Sustain. Energy*, vol. 2, no. 1, pp. 60–68, Jan. 2011.
- [130]A. Ahmed, L. Ran, S. Moon, and J.-H. Park, "A fast PV power tracking control algorithm with reduced power mode," *IEEE Trans. Energy Convers.*, vol. 28, no. 3, pp. 565–575, Sep. 2013.
- [131]L. Cristaldi, M. Faifer, M. Rossi, and S. Toscani, "An improved model-based maximum power point tracker for photovoltaic panels," *IEEE Trans. Instrum. Meas.*, vol. 63, no. 1, pp. 63–71, Jan. 2014.
- [132]D. Sera, L. Mathe, T. Kerekes, S. V. Spataru, and R. Teodorescu, "On the perturb-and-observe and incremental conductance mppt methods for PV systems," *IEEE J. Photovoltaics*, vol. 3, no. 3, pp. 1070–1078, 2013.