



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών & Μηχανικών Υπολογιστών  
Τομέας Επικοινωνιών, Ηλεκτρονικής & Συστημάτων Πληροφορικής

# Ανάλυση και Υλοποίηση ενός RF PLL Frequency Synthesizer

Διπλωματική Εργασία

Κωνσταντίνος Φ. Ούστογλου

Επιβλέπων Καθηγητής

Πάυλος-Πέτρος Π. Σωτηριάδης

Αναπλ. Καθηγητής Ε.Μ.Π.

Εργαστήριο Ηλεκτρονικής

Αθήνα, Νοέμβριος 2017





Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών & Μηχανικών Υπολογιστών  
Τομέας Επικοινωνιών, Ηλεκτρονικής & Συστημάτων Πληροφορικής

## Ανάλυση και Υλοποίηση ενός RF PLL Frequency Synthesizer

Διπλωματική Εργασία


Κωνσταντίνος Φ. Ούστογλου


Επιβλέπων Καθηγητής

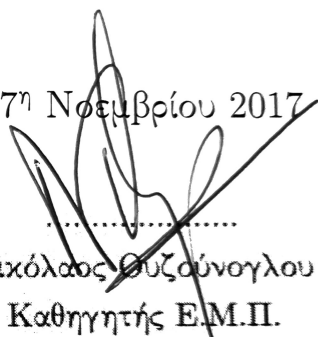
Πάυλος-Πέτρος Π. Σωτηριάδης

Αναπλ. Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 7<sup>η</sup> Νοεμβρίου 2017

  
.....  
Πάυλος-Πέτρος Π. Σωτηριάδης  
Αναπλ. Καθηγητής Ε.Μ.Π.

  
.....  
Αθανάσιος Παναγόπουλος  
Αναπλ. Καθηγητής Ε.Μ.Π.

  
.....  
Νικόλαος Ουζούνγλου  
Καθηγητής Ε.Μ.Π.

Εργαστήριο Ηλεκτρονικής

Αθήνα, Νοέμβριος 2017

.....

**Κωνσταντίνος Φ. Ούστογλου**

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Κωνσταντίνος Φ. Ούστογλου, 2017

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς το συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν το συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.



# Περίληψη

---

Στην παρούσα εργασία γίνεται ανάλυση, σχεδίαση και κατασκευή ενός PLL frequency synthesizer για παραγωγή σήματος συχνότητας 1GHz, με ιδιαίτερη έμφαση στην επίτευξη χαμηλού θορύβου φάσης στην έξοδο.

## Λέξεις-Κλειδιά

PLL, frequency synthesizer, θόρυβος φάσης



# Abstract

---

This work presents the analysis, design and implementation of a PLL Frequency Synthesizer to generate an 1GHz output signal, with particular emphasis on achieving low output phase noise.

## Keywords

PLL, frequency synthesizer, phase noise



# Ευχαριστίες

---

Η παρούσα εργασία δεν θα μπορούσε να πραγματοποιηθεί χωρίς την βοήθεια μιας πλειάδας ανθρώπων. Ευχαριστώ την οικογένεια μου, που είναι το στήριγμα και η δύναμη μου, τον Δάσκαλο (Καθ. Σωτηριάδη) για την εμπιστοσύνη του, τα παιδιά του Εργαστηρίου Ηλεκτρονικής για την παρέα και το οικογενειακό κλίμα.

Ευχαριστίες οφείλω επίσης στην Broadcom Hellas και την Analog Devices, για την βοήθεια στις μετρήσεις και το υλικό κομμάτι αντίστοιχα.

Στην Ισιδώρα μου και τον Φώτη μου.



# Περιεχόμενα

---

<b>1</b>	<b>Εισαγωγή</b>	<b>15</b>
<b>2</b>	<b>Θόρυβος Φάσης</b>	<b>17</b>
2.1	Περιγραφή του θορύβου φάσης στο πεδίο του χρόνου και το πεδίο της συχνότητας . . . . .	17
2.2	Θόρυβος φάσης πραγματικών ταλαντωτών - Η εξίσωση του Leeson . . . .	18
2.3	Μετάδοση θορύβου πλάτους και φάσης σε γραμμικά δίκτυα . . . . .	19
2.4	Θόρυβος φάσης σε αλυσίδα πολλαπλασιασμού . . . . .	20
2.5	Ολοκληρωτικός θόρυβος φάσης και jitter χρονισμού . . . . .	20
<b>3</b>	<b>Αρχιτεκτονική και Μοντέλο Φάσης του PLL</b>	<b>23</b>
3.1	Τμήματα ενός PLL . . . . .	23
3.1.1	Phase Detector . . . . .	23
3.1.2	VCO . . . . .	25
3.2	Μοντέλο θορύβου φάσης PLL σε κλείδωμα . . . . .	25
<b>4</b>	<b>Αρχές μέτρησης θορύβου φάσης</b>	<b>29</b>
4.1	Μέτρηση θορύβου φάσης με χρήση cross correlation . . . . .	29
<b>5</b>	<b>Υλοποίηση</b>	<b>31</b>
5.1	Προδιαγραφές σχεδίασης . . . . .	31
5.2	Επιλογή υλικών . . . . .	31
5.2.1	Phase Frequency Detector και Διαιρέτης συχνότητας . . . . .	31
5.2.2	1GHz VCO . . . . .	33
5.2.3	Φίλτρο Βρόχου . . . . .	33
5.2.4	Reference . . . . .	34
5.2.5	Τροφοδοσίες . . . . .	35
5.3	Υπολογισμός συνολικού Phase Noise του PLL . . . . .	35
5.4	Σχηματικό και PCB Layout . . . . .	36

---

<b>6</b>	<b>Μετρήσεις</b>	<b>41</b>
6.1	Μετρήσεις στο πεδίο του χρόνου . . . . .	41
6.2	Μετρήσεις στο πεδίο της συχνότητας . . . . .	41
6.3	Μετρήσεις θορύβου φάσης . . . . .	42
<b>7</b>	<b>Επίλογος</b>	<b>45</b>
	<b>Βιβλιογραφία</b>	<b>47</b>



# Κατάλογος Σχημάτων

---

2.1	Βασικό μοντέλο ταλαντωτή . . . . .	18
2.2	Μορφή του θορύβου φάσης για $f_L < f_c$ και $f_L > f_c$ αντίστοιχα . . . . .	19
3.1	Γενική αρχιτεκτονική ενός PLL Synthesizer . . . . .	23
3.2	Λογικό σχηματικό ενός Phase Frequency Detector . . . . .	24
3.3	Κυματομορφές σε ένα Phase Frequency Detector . . . . .	25
3.4	Μοντέλο θορύβου φάσης του PLL . . . . .	26
4.1	Υπερετεροδύνη αρχή μέτρησης με cross correlation . . . . .	30
5.1	Block διαγραμμα του HMC440 . . . . .	32
5.2	Τάση σφάλματος του PFD . . . . .	32
5.3	CVCSO-914-1000 Phase Noise . . . . .	33
5.4	Σχηματικό του Loop Filter . . . . .	34
5.5	CCHD-575-100 Phase Noise . . . . .	35
5.6	Συνολικό Phase Noise και επιμέρους συνεισφορές . . . . .	37
5.7	Συνολικό σχηματικό του PLL Synthesizer . . . . .	38
5.8	PCB Layout του PLL Synthesizer . . . . .	39
5.9	3D απεικόνιση του PLL Synthesizer . . . . .	39



# 1

## Εισαγωγή

---

Οι βρόχοι κλειδωμένης φάσης (Phase Locked Loops - PLLs) είναι ένα από τα βασικότερα block στα σύγχρονα ηλεκτρονικά συστήματα. Χρησιμοποιούνται ευρέως σε συστήματα τηλεπικοινωνιών, πολυμέσων και άλλων εφαρμογών. Χρησιμοποιούνται για αποδιαμόρφωση, την ανάκτηση σημάτων από θορυβώδη τηλεπικοινωνιακά κανάλια, για σύνθεση συχνότητας ή διανομή πολλαπλών συγχρονισμένων σημάτων σε λογικά κυκλώματα. Σκοπός της παρούσας εργασίας είναι η ανάλυση, σχεδίαση και κατασκευή ενός συνθέτη συχνοτήτων PLL με έξοδο 1GHz. Η σχεδίαση στοχεύει σε συνολικό jitter χρονισμού χαμηλότερο από 100fs.

Στο δεύτερο κεφάλαιο θα αναλυθούν οι θεωρητικές βάσεις για τον θόρυβο φάσης. Κατόπιν, στο τρίτο κεφάλαιο θα εξαχθεί ένα βασικό μοντέλο για τον θόρυβο φάσης ενός PLL synthesizer.

Μετά την επιλογή των εξαρτημάτων, ακολουθούν τα αποτελέσματα των εξομοιώσεων, η υλοποίηση και κατασκευή του PLL. Τέλος, οι μετρήσεις του θορύβου φάσης στο εργαστήριο.



# 2

## Θόρυβος Φάσης

---

### 2.1 Περιγραφή του θορύβου φάσης στο πεδίο του χρόνου και το πεδίο της συχνότητας

Μία γενική περιγραφή ενός φέροντος σήματος συχνότητας  $\omega_0$  με διακυμάνσεις στο πλάτος και την φάση είναι:

$$u(t) = A_0[1 + \Delta\alpha(t)]e^{j\omega_0 t + j\Delta\phi(t)} \quad (2.1)$$

όπου  $\Delta\alpha(t)$  είναι η στιγμιαία συνεισφορά των διακυμάνσεων στην πλάτος και  $\Delta\phi(t)$  η στιγμιαία συνεισφορά των διακυμάνσεων στη φάση. Η έκφραση απλοποιείται με την υπόθεση ότι οι διαταραχές στο πλάτος είναι πολύ ασθενέστερες από τις διαταραχές στη φάση ( $\Delta\alpha \ll 1$ ) ως εξής:

$$u(t) = A_0 e^{j\omega_0 t + j\Delta\phi(t)} \quad (2.2)$$

Η περιγραφή των διαταραχών της φάσης φέρουσας συχνότητας  $\omega_0$  στο πεδίο της συχνότητας είναι ο μετασχηματισμός Fourier της εξίσωσης 2.2 με αντικατάσταση του  $u(t)$  από το  $\phi(t)$  ώστε να περιγράψει μόνον τις διαταραχές της φάσης:

$$S_\phi = \lim_{T \rightarrow \infty} \int \frac{1}{2} |\mathcal{F}_t\{\phi(t)\}|^2 \quad (2.3)$$

όπου  $S_\phi$  η φασματική πυκνότητα ισχύος, όπου  $\mathcal{F}_t\{\phi(t)\}$  ο μετασχηματισμός fourier του  $\phi(t)$ :

$$\mathcal{F}_t\{\phi(t)\} = \int_{-T}^{+T} \phi(t) e^{-j\omega t} dt \quad (2.4)$$

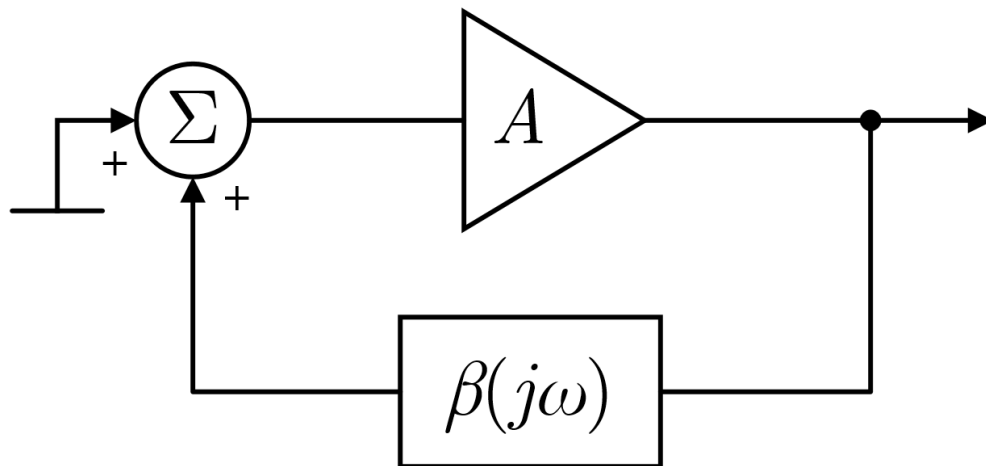
Για τον καθορισμό της φασματικής πυκνότητας ισχύος (2.3) μετράτε ο SSB (Single Side Band) θόρυβος φάσης  $\mathcal{L}_\phi(f)$  της πηγής. Υπό προϋπόθεση  $\Delta\phi(t) \ll 1$  ισχύει:

$$S_\phi(f) = 2\mathcal{L}_\phi(f) \quad (2.5)$$

Ο SSB θόρυβος φάσης  $\mathcal{L}_\phi(f)$  της πηγής περιγράφει τις βραχείας διάρκειας διακυμάνσεις της συχνότητας. Μία ιδανική πηγή συχνοτήτων είναι μια συνάρτηση Dirac στο  $\omega_0$ , στην πραγματικότητα όμως μια πηγή παρουσιάζει διακυμάνσεις που οδηγούν στην εμφάνιση πλευρικών θορύβου γύρω από την κεντρική συχνότητα.

## 2.2 Θόρυβος φάσης πραγματικών ταλαντωτών - Η εξίσωση του Leeson

Ένας ταλαντωτής περιγράφεται αρκετά καλά από το μοντέλο του σχήματος 2.1, δηλαδή ενός ενισχυτή με ένα resonator (συντονιστή) συντελεστή ποιότητας  $Q$  στο βρόχο ανάδρασης του.



Σχήμα 2.1: Βασικό μοντέλο ταλαντωτή

Για τον θόρυβο φάσης στην έξοδο προκύπτει η προσέγγιση:

$$\mathcal{L}(f_m) = \frac{FkT}{2P_{AVG}} \left[ 1 + \frac{f_c}{f_m} + \left( \frac{f_o}{2f_m Q_L} \right)^2 \left( 1 + \frac{f_c}{f_m} \right) \right] \quad (2.6)$$

Όπου

$Q_L$  ο συντελεστής ποιότητας  $Q$  υπό φορτίο

$f_m$  η απόσταση από την κεντρική συχνότητα

$f_o$  η κεντρική συχνότητα

$f_c$  η συχνότητα flicker του ενεργού στοιχείου του ταλαντωτή

$T$  η θερμοκρασία

$P_{AVS}$  η μέση ισχύς μέσω του resonator

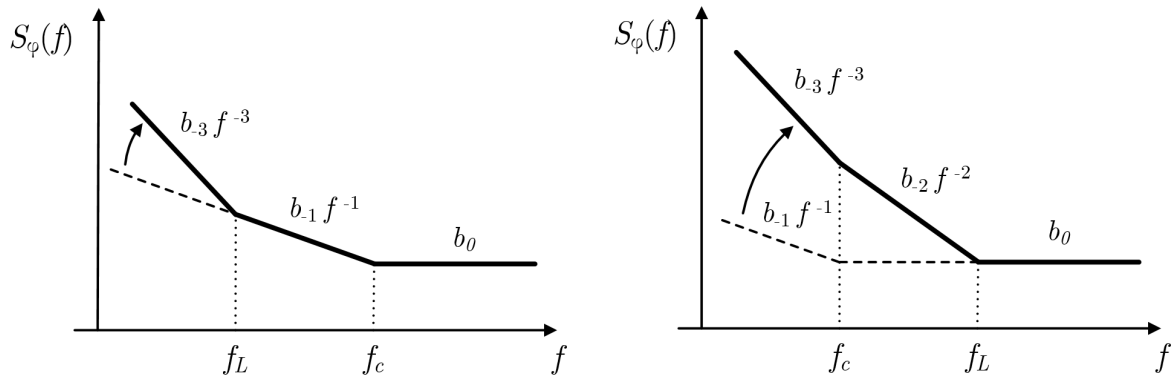
$F$  ο συντελεστής θορύβου του ενεργού στοιχείου

$k$  η σταθερά Boltzman

Θέτουμε συχνότητα Leeson  $f_L$ :

$$f_L = \frac{f_o}{2Q_L} \quad (2.7)$$

Ανάλογα με την σχέση της  $f_L$  με την συχνότητα flicker  $f_c$  προκύπτουν δύο περιπτώσεις συμπεριφοράς του θορύβου φάσης στη συχνότητα όπως αυτές φαίνονται στο σχήμα 2.2.



Σχήμα 2.2: Μορφή του θορύβου φάσης για  $f_L < f_c$  και  $f_L > f_c$  αντίστοιχα

## 2.3 Μετάδοση θορύβου πλάτους και φάσης σε γραμμικά δίκτυα

Για την περιγραφή της μετάδοσης του θορύβου πλάτους και φάσης από την είσοδο στην έξοδο ενός γραμμικού δικτύου χρησιμοποιείται η μήτρα μετατροπής στην εξίσωση 2.8 που συσχετίζει τις διακυμάνσεις πλάτους και φάσης στην είσοδο του δικτύου με την έξοδο του:

$$\begin{bmatrix} \frac{\Delta\alpha_{out}}{A_0} \\ \Delta\phi_{out} \end{bmatrix} = \begin{bmatrix} K_{\alpha\alpha} & K_{\alpha\phi} \\ K_{\phi\alpha} & K_{\phi\phi} \end{bmatrix} \begin{bmatrix} \frac{\Delta\alpha_{in}}{A_0} \\ \Delta\phi_{in} \end{bmatrix} + \begin{bmatrix} \frac{\Delta\alpha_{network}}{A_0} \\ \Delta\phi_{network} \end{bmatrix} \quad (2.8)$$

Οι διακυμάνσεις πλάτους και φάσης είναι δύο φασιθέτες  $\Delta\alpha$  και  $\Delta\phi$ , που περιγράφουν τον θόρυβο ως διαμόρφωση πλάτους AM (Amplitude Modulation) και διαμόρφωση φάσης PM (Phase Modulation) σε απόσταση  $\Delta\omega$  από την φέρουσα  $\omega_0$  αντίστοιχα. Το πλάτος της AM συνεισφοράς κανονικοποιείται στο πλάτος της φέρουσας  $A_0$ .

Ο θόρυβος πλάτους και φάσης στην είσοδο μετατρέπεται απ' ευθείας από τους συντελεστές  $K_{\alpha\alpha}$  και  $K_{\phi\phi}$ . Οι συντελεστές  $K_{\alpha\phi}$  και  $K_{\phi\alpha}$  περιγράφουν πως μία διαμόρφωση πλάτους στην είσοδο μετατρέπεται σε διαμόρφωση φάσης και πως μία διαμόρφωση φάσης στην είσοδο μετατρέπεται σε διαμόρφωση πλάτους. Το τελευταίο διάγραμμα αντιστοιχεί στην εγγενή συνεισφορά AM και PM θορύβου του δικτύου.

## 2.4 Θόρυβος φάσης σε αλυσίδα πολλαπλασιασμού

Ο θόρυβος φάσης στην είσοδο  $\Delta\phi_{in}(t)$  μετατρέπεται από ιδανικό πολλαπλασιαστή με συντελεστή  $N$  στην έξοδο  $\Delta\phi_{out}(t)$ , οπότε  $K_{\phi\phi} = N$ . Υποθέτοντας ότι  $K_{\alpha\phi} = 0$  και ότι ο πολλαπλασιαστής είναι ιδανικός καταλήγουμε στο εξής:

$$\Delta\phi_{out}(t) = N\Delta\phi_{in}(t) \quad (2.9)$$

Για τις φασματικές πυκνότητες ισχύει:

$$S_{\phi_{out}}(f) = N^2 S_{\phi_{in}}(f) \quad (2.10)$$

Η υπόθεση του ιδανικού πολλαπλασιαστή δεν είναι απόλυτα ορθή καθώς το δίκτυο θα προσθέσει τον εγγενή του θόρυβο στην έξοδο π.χ. ιδιαίτερα ο  $1/f$  θόρυβος είναι σημαντικότερη πηγή θορύβου στους ημιαγωγούς.

## 2.5 Ολοκληρωτικός θόρυβος φάσης και jitter χρονισμού

Ένα σημαντικό κριτήριο σταθερότητας, εκτός από τον θόρυβο φάσης σε συχνοτικές αποστάσεις από το φέρον μίας πηγής RF, είναι ο ολοκληρωτικός θόρυβος φάσης και το συνολικό jitter χρονισμού. Για μία μετρούμενη χαρακτηριστική θορύβου φάσης  $\mathcal{L}_\phi(f)$  ο ολοκληρωτικός θόρυβος φάσης υπολογίζεται ως εξής:

$$\Delta\phi_{rms} = \sqrt{\int_{f_1}^{f_2} S_\phi(f) df} \quad [rad_{rms}] \quad (2.11)$$

όπου  $S_\phi(f)$  είναι δύο φορές ο SSB θόρυβος φάσης  $\mathcal{L}_\phi(f)$  και  $f_1, f_2$  δηλώνουν το εύρος



ζώνης ολοκλήρωσης του θορύβου. Συσχετίζοντας τον ολοκληρωτικό θόρυβο φάσης με την συχνότητα της πηγής  $f_0$  προκύπτει το jitter χρονισμού:

$$\Delta T_{rms} = \frac{1}{2\pi f_0} \sqrt{\int_{f_1}^{f_2} S_\phi(f) df} \quad [sec_{rms}] \quad (2.12)$$

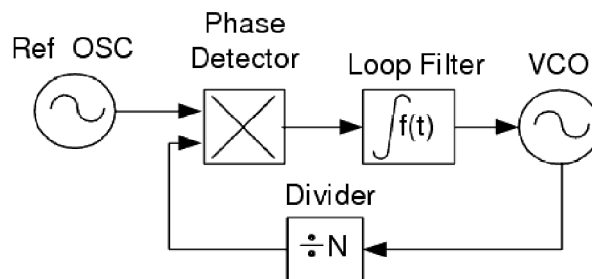


# 3

## Αρχιτεκτονική και Μοντέλο Φάσης του PLL

---

Ένα PLL περιλαμβάνει τόσο γραμμικά όσο και ψηφιακής λογικής κυκλώματα. Θεωρώντας το γενικό block διάγραμμα 3.1, ένα PLL περιλαμβάνει τα εξής block: Phase detector (PD), Loop Filter - φίλτρο βρόχου, και Voltage Controlled Oscillator (VCO) - Ταλαντωτή ελεγχόμενο από τάση. Ένα PLL που χρησιμεύει ως frequency synthesizer όπως στην παρούσα εργασία, προστίθεται ένα ακόμα block, το divide-by-N counter - μετρητής διαίρεσης δια N. Ένα PLL δεν είναι τίποτε παραπάνω από ένας βρόχος ελέγχου που ενεργεί



Σχήμα 3.1: Γενική αρχιτεκτονική ενός PLL Synthesizer

στο VCO ούτως ώστε η συχνότητα του σήματος στην έξοδο να είναι ίση με τη συχνότητα στην είσοδο. Επιπλέον, η φάση των δύο σημάτων είναι είτε πρακτικά ίδιες ή με μία μικρή σταθερή απόκλιση μεταξύ τους. Ως εκ τούτου, ένα PLL μπορεί να θεωρηθεί ένα σύστημα ελέγχου για σήματα φάσεως.

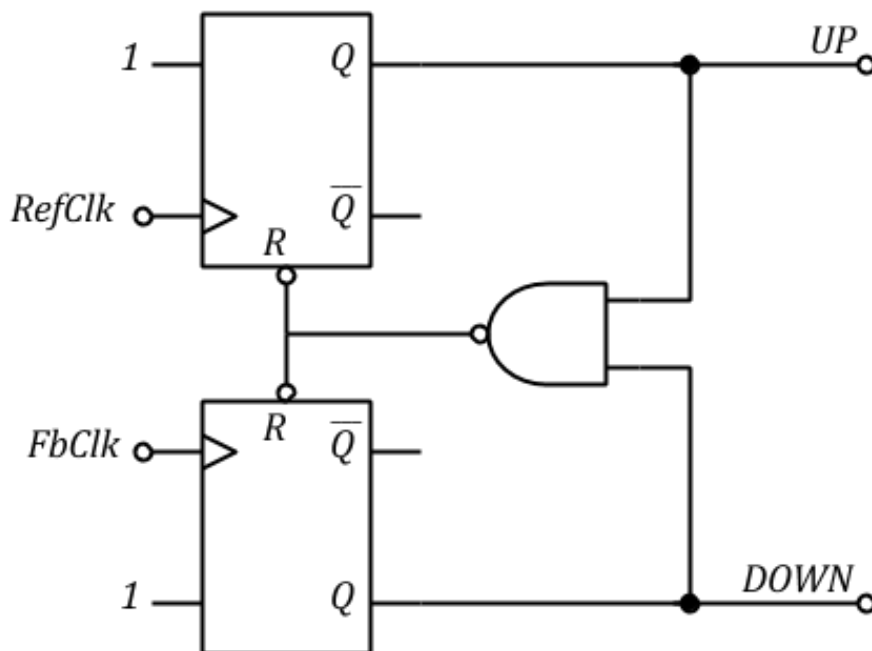
### 3.1 Τμήματα ενός PLL

#### 3.1.1 Phase Detector

Το Phase detector είναι γενικά ένα κύκλωμα που παράγει ένα σήμα εξόδου ανάλογο με την διαφορά φάσης ανάμεσα στα δύο σήματα στην είσοδο του. Πρακτικά, συναντώνται

κυρίως τέσσερα είδη Phase Detector. Το πρώτο ιστορικά Phase Detector ήταν ο γραμμικός (Four Quadrant) πολλαπλασιαστής. Με την μετάβαση σε ψηφιακές λογικές, τα ψηφιακά Phase Detector επικράτησαν, όπως η πύλη XOR, το ακμοπυροδότητο JK flipflop, και η διάταξη Phase Frequency Detector (PFD). Στην παρούσα εργασία θα εξεταστεί το Phase Frequency Detector ως χρησιμοποιείται.

Το σχηματικό ενός PFD φαίνεται στο διάγραμμα 3.2. Η διαφορά του PFD από τις άλλες τοπολογίες που αναφέρθηκαν, είναι η εξάρτηση του σήματος εξόδου όχι μόνον από το σφάλμα φάσης  $\Delta_\phi$  αλλά και από το σφάλμα συχνότητας  $\Delta_\omega$ , όταν το PLL δεν είναι σε κατάσταση κλειδώματος.



Σχήμα 3.2: Λογικό σχηματικό ενός Phase Frequency Detector

Το PFD αποτελείται από δύο D flipflop, των οποίων η έξοδοι αναφέρονται ως UP και DN. Το PFD μπορεί να είναι σε μία εκ των τεσσάρων καταστάσεων:

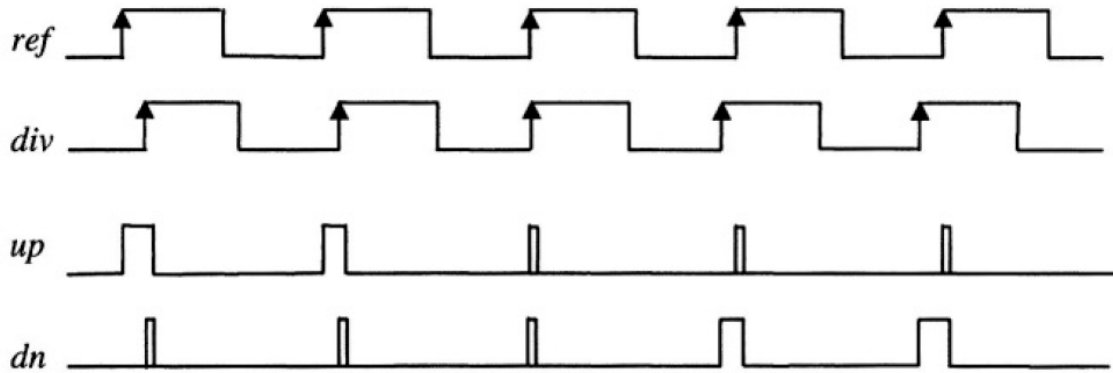
$$UP = 0, DN = 0 \quad UP = 1, DN = 0 \quad UP = 0, DN = 1 \quad UP = 1, DN = 1$$

Η τέταρτη κατάσταση αποκλείεται από μία πύλη NAND, όπως φαίνεται. Ως εκ τούτου η διάταξη έχει τρεις δυνατές καταστάσεις εξόδου:

$$UP = 0, DN = 0, \text{state } 0 \quad UP = 1, DN = 0, \text{state } 1 \quad UP = 0, DN = 1, \text{state } -1$$

Η κατάσταση στην οποία βρίσκεται το PFD καθορίζεται από τις θετικές μεταβάσεις των σημάτων  $u_1$  και  $u_2$  όπως φαίνεται στο διάγραμμα 3.3. Μια θετική μετάβαση του  $u_1$  θέτει το

PFD στην αμέσως επόμενη κατάσταση, εκτός αν είναι ήδη στην κατάσταση 1. Παρόμοια, μια θετική μετάβαση του  $u_2$  θέτει το PFD στην αμέσως κατώτερη κατάσταση, εκτός αν είναι ήδη στην κατάσταση -1. Το σήμα εξόδου είναι λογική συνάρτηση της κατάστασης του PFD. Επακόλουθα, το σήμα εξόδου είναι τριαδικής λογικής, αν και τελικά η μηδενική κατάσταση αντικαθίσταται καλά στην πράξη από κατάσταση high-Z (υψηλής εμπέδησης).



Σχήμα 3.3: Κυματομορφές σε ένα Phase Frequency Detector

### 3.1.2 VCO

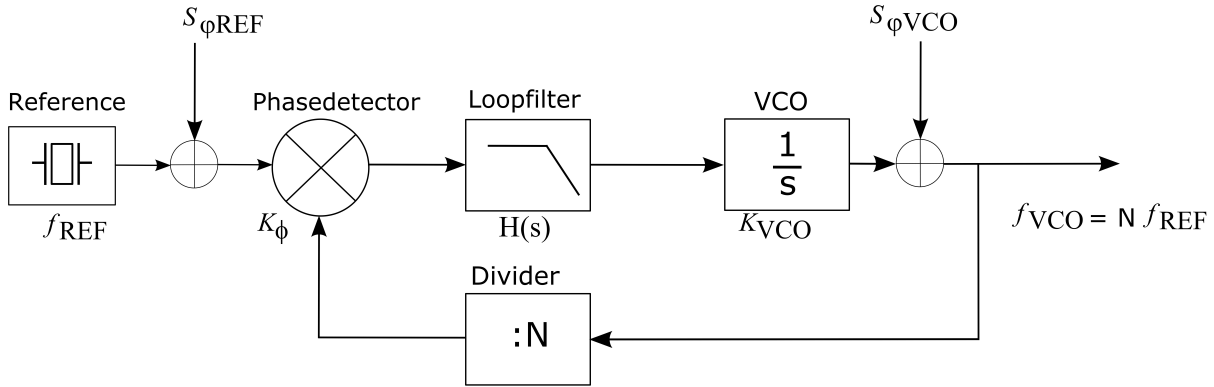
Το VCO είναι απλά ένας ταλαντωτής, του οποίου η συχνότητα στην έξοδο  $\omega_2$  μεταβάλλεται ανάλογα με μία τάση ελέγχου  $u_f$

$$\omega_2 = \omega_0 + K_0 u_f \quad (3.1)$$

## 3.2 Μοντέλο θορύβου φάσης PLL σε κλείδωμα

Μία κοινή μέθοδος για την παραγωγή συχνοτήτων αναφοράς με υψηλή σταθερότητα είναι η χρησιμοποίηση PLL. Η έξοδος είναι φασικά κλειδωμένη σε μία πηγή αναφοράς σε χαμηλότερη συχνότητα. Το μοντέλο αυτό περιγράφει πώς ο θόρυβος φάσης της αναφοράς  $S_{\phi_{REF}}(f)$  και του VCO (voltage controlled oscillator)  $S_{\phi_{VCO}}(f)$  φιλτράρονται από τη συνάρτηση μεταφοράς του βρόχου. Το απλοποιημένο αυτό μοντέλο δεν περιλαμβάνει πηγές θορύβου στο phase detector (PD), στο φίλτρο του βρόχου (LF) και στο Phase Divider (N).

Από την έξοδο οι διακυμάνσεις φάσης του VCO διαιρούνται με N ώστε να προκύψει φάση / συχνότητα συγκρίσιμη με την φάση της εισόδου αναφοράς στην είσοδο του phase detector:



Σχήμα 3.4: Μοντέλο θορύβου φάσης του PLL

$$\Phi_A(s) = \frac{\Phi_{VCO}(s)}{N} \quad (3.2)$$

Η έξοδος του phase detector στο σημείο B αντιστοιχεί σε τάση σφάλματος  $V_B(s)$  και είναι ανάλογη με την διαφορά φάσης ανάμεσα στην  $\frac{\Phi_{VCO}(s)}{N}$  και την  $\Phi_{REF}(s)$  με βαθμωτό συντελεστή την σταθερά του phase detector  $K_{\phi}$ .

$$V_B(s) = K_{\phi} \left[ \Phi_{REF}(s) - \frac{\Phi_{VCO}(s)}{N} \right] \quad (3.3)$$

Η τάση σφάλματος φιλτράρεται από την συνάρτηση μεταφοράς του φίλτρου  $H(s)$  και εφαρμόζεται στο VCO:

$$V_C(s) = H(s)K_{\phi} \left[ \Phi_{REF}(s) - \frac{\Phi_{VCO}(s)}{N} \right] \quad (3.4)$$

Το VCO προσθέτει στη συνολική συνάρτηση μεταφοράς τον εγγενή του θόρυβο  $\Phi_0(s)$ :

$$\Phi_{VCO}(s) = \frac{K_{VCO}}{s} V_C(s) + \Phi_0(s) = \frac{K_{VCO}H(s)K_{\phi}}{s} \left[ \Phi_{REF}(s) - \frac{\Phi_{VCO}(s)}{N} \right] + \Phi_0(s) \quad (3.5)$$

Θέτοντας

$$K = \frac{K_{VCO}K_{\phi}}{N} \quad (3.6)$$

Έχουμε

$$\Phi_{PLL}(s) = \left[ \frac{s}{s + KH(s)} \right] \Phi_{VCO}(s) + \left[ \frac{NKH(s)}{s + KH(s)} \right] \Phi_{REF}(s) \quad (3.7)$$

Εκπεφρασμένο σε όρους πυκνοτήτων φασματικής ισχύος προκύπτει:

$$S_{\phi_{PLL}}(f) = |H_0(f)|^2 S_{\phi_{VCO}}(f) + N^2 |H_{REF}(f)|^2 S_{\phi_{REF}}(f) \quad (3.8)$$

Οι δύο παραπάνω εξισώσεις δηλώνουν ότι η φασματική πυκνότητα ισχύος της αναφοράς  $S_{\phi_{REF}}$  φιλτράρεται χαμηλοπερατά και η φασματική πυκνότητα ισχύος του VCO  $S_{\phi_{VCO}}$  φιλτράρεται υψιπερατά, που σημαίνει ότι αμφότερες συνεισφέρουν στα συνολικά χαρακτηριστικά θορύβου φάσης του PLL. Το βάρος της σχεδίασης έγγυται στην επιλογή του βέλτιστου φίλτρου απόκρισης  $H(s)$  για την εφαρμογή.





# 4

## Αρχές μέτρησης θορύβου φάσης

---

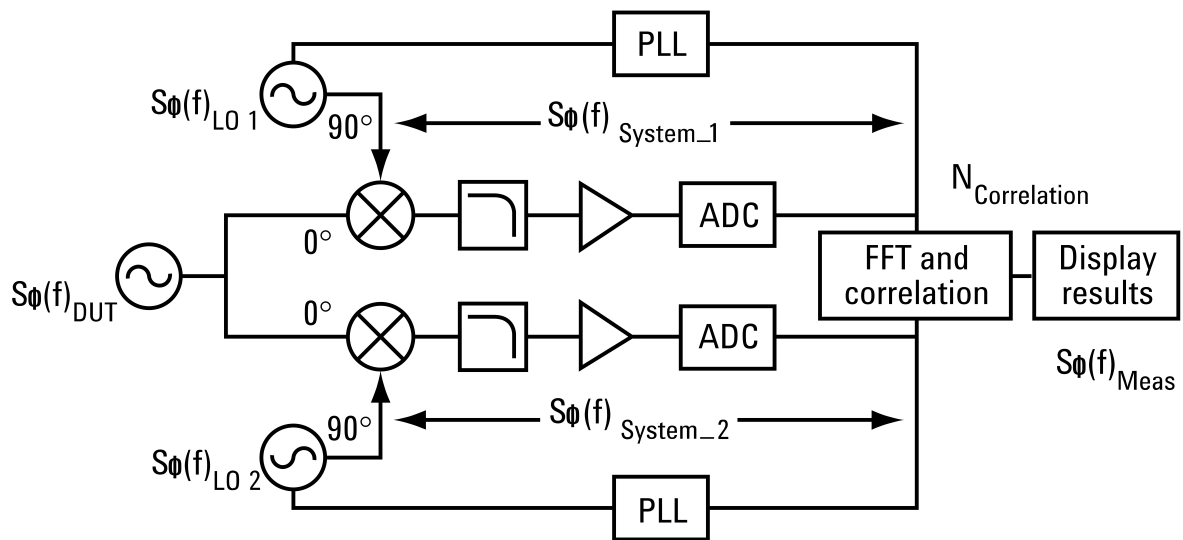
Για την αξιολόγηση του θορύβου φάσης ενός συστήματος υπάρχουν διάφορες αρχές μέτρησης. Αρχαιότερες μέθοδοι όπως η μέθοδος delay line (γραμμής καθυστέρησης) και η άμεση μέθοδος μέσω spectrum analyzer, που απαιτούν μόνο μια πηγή για τον χαρακτηρισμό του θορύβου φάσης, και η μέθοδος που χρησιμοποιεί ένα PLL η οποία χρησιμοποιεί μία δεύτερη πηγή ακόμα. Η μέθοδος μέτρησης που χρησιμοποιήθηκε στην περίπτωση μας είναι μία μέθοδος cross correlation (αλληλοσυσχέτισης) όπως αυτή υλοποιείται στο Signal Source Analyzer E5052B της Agilent.

### 4.1 Μέτρηση θορύβου φάσης με χρήση cross correlation

Η μέθοδος μέτρησης όπως υλοποιείται στο E5052B αποτελείται από δύο ανεξάρτητα downconverter signal chains με τους αντίστοιχους τοπικούς ταλαντωτές  $LO_1$   $LO_2$ , όπως στο σχήμα 4.1.

Το συνολικό μετρούμενο noise floor της διάταξης μπορεί να μειωθεί κατά έναν συντελεστή  $\sqrt{N}$ , όπου  $N$  ο αριθμός μετρήσεων, όπως στην εξίσωση 4.1.

$$S_{\phi}(f)_{Meas} = S_{\phi}(f)_{DUT} + \frac{S_{\phi}(f)_{LO_1} + S_{\phi}(f)_{LO_2} + S_{\phi}(f)_{System_1} + S_{\phi}(f)_{System_2}}{\sqrt{N_{correlation}}} \quad (4.1)$$



Σχήμα 4.1: Υπερετερόδυνα αρχή μέτρησης με cross correlation

# 5

## Υλοποίηση

---

### 5.1 Προδιαγραφές σχεδίασης

Η παρούσα διπλωματική συνίσταται στην υλοποίηση μίας πηγής συχνοτήτων που θα χαρακτηρίζεται από πολύ χαμηλό θόρυβο φάσης με συχνότητα εξόδου 1GHz, με επιθυμητό συνολικό jitter χρονισμού μικρότερο από  $500f_{s_{rms}}$ .

Αποσκοπώντας σε καλή συχνοτική σταθερότητα και χαμηλό θόρυβο φάσης, επιλέχθηκε τοπολογία Integer N PLL, με συχνότητα αναφοράς 100MHz και  $N = 10$ . Παρακάτω θα εξεταστούν τα εξαρτήματα που επιλέχθηκαν.

### 5.2 Επιλογή υλικών

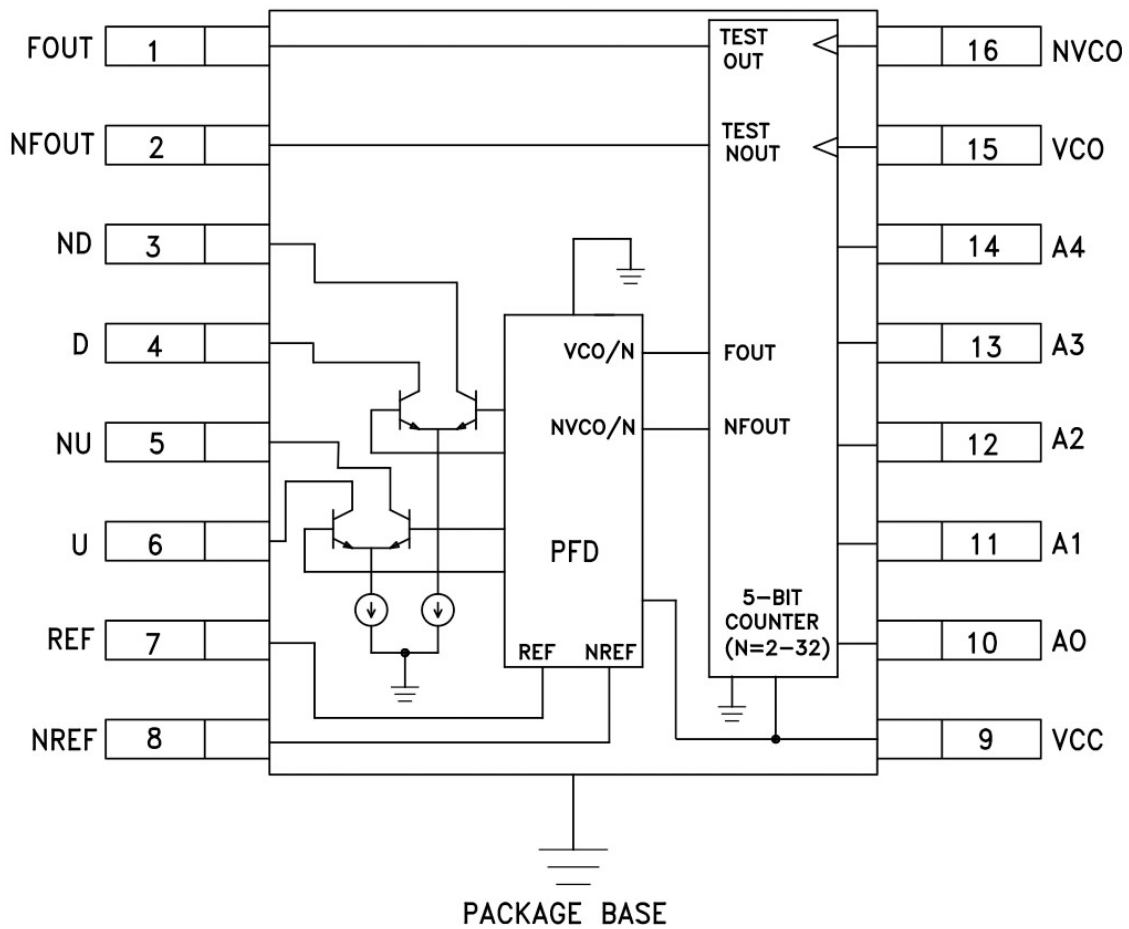
#### 5.2.1 Phase Frequency Detector και Διαιρέτης συχνότητας

Το PFD και ο διαιρέτης  $/N$  συνδυάζονται σε ένα ολοκληρωμένο κύκλωμα της Hittite / Analog Devices, το HMC440. Το PFD έχει διαφορικές εξόδους για το UP και DN, ενώ ο διαιρέτης συχνότητας προγραμματίζεται για  $N = 1..32$ . Η εσωτερική δομή του φαίνεται στο σχήμα 5.1.

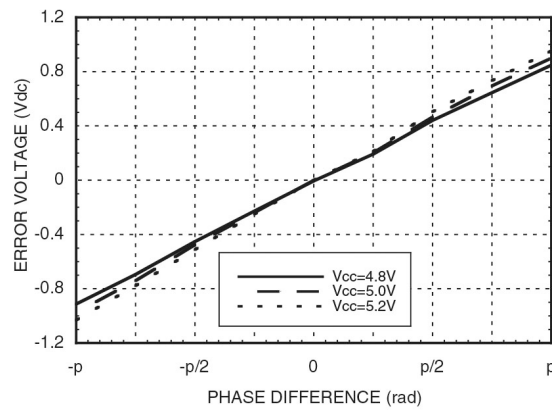
Στο απλό μοντέλο που θεωρήσαμε στο κεφάλαιο 3, δεν υπολογίζουμε τον θόρυβο του PFD / N divider. Μία απλή προσέγγιση για την συνεισφορά τους στον θόρυβο φάσης της εξόδου, αγνοώντας τον  $1/f$ , σε σύνδεση με το FOM (Figure of Merit) του chip είναι η εξής:

$$\mathcal{L}_{inband} = FOM + 10\log f_{PFD} + 20\log N \quad (5.1)$$

Από τα παραπάνω, βλέπουμε ότι η in-band συνεισφορά του PFD στο PN της εξόδου στην περίπτωση μας είναι περίπου  $-133dBc/Hz$ . Η σταθερά  $K_\phi$  του PFD είναι παράμετρος που χρειάζεται στη σχεδίαση του φίλτρου του βρόχου. Η  $K_\phi$  εξάγεται από το σχήμα 5.2 και είναι  $K_\phi = \frac{1.8}{2\pi} \frac{V}{rad}$ .



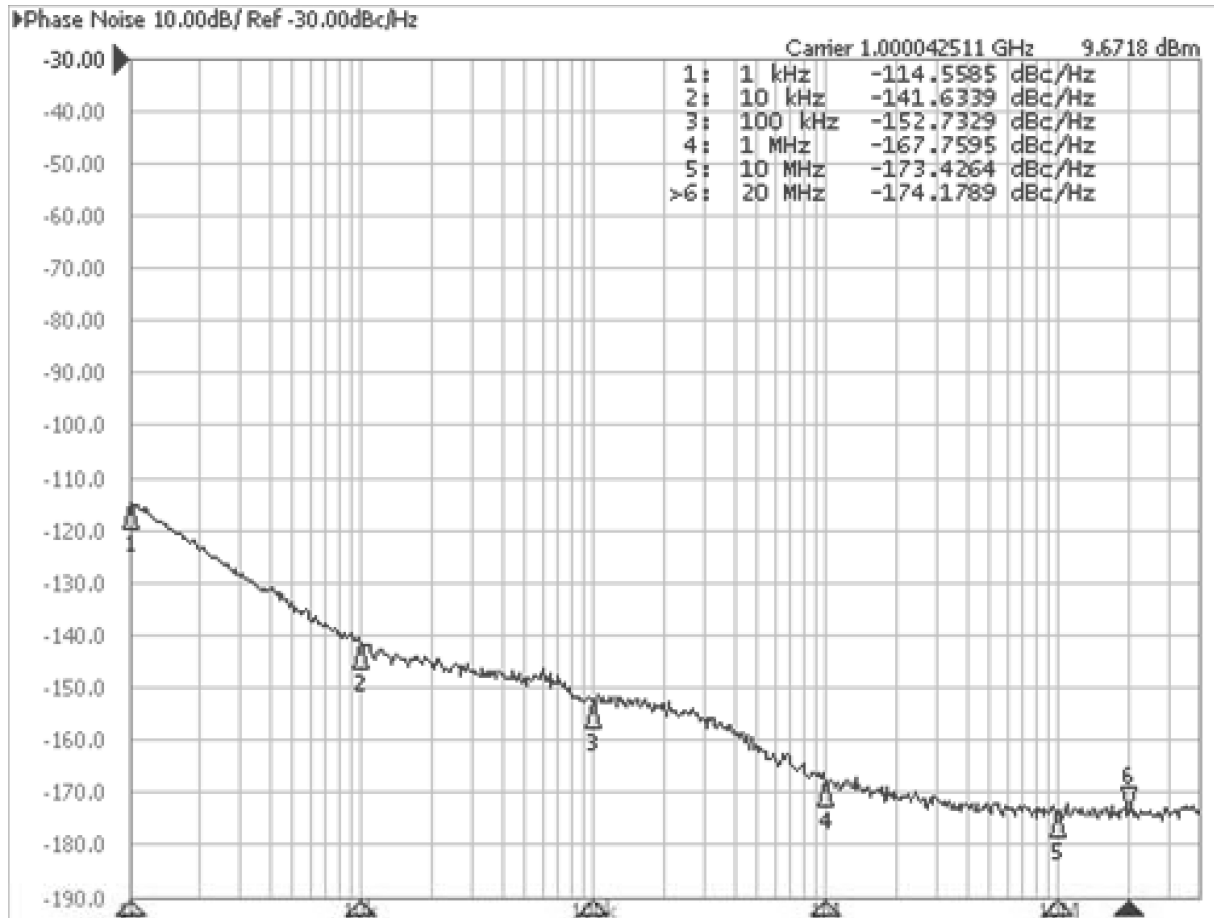
Σχήμα 5.1: Block διαγραμμα του HMC440



Σχήμα 5.2: Τάση σφάλματος του PFD

### 5.2.2 1GHz VCO

Βάσει των προδιαγραφών, το VCO έπρεπε να έχει ιδιαίτερο στενό εύρος ζώνης και καλά χαρακτηριστικά θορύβου φάσης. Επιλέχθηκε το CVCSO-914-1000 της Crystek, τεχνολογίας SAW (Surface Acoustic Wave). Το συνολικό εύρος ζώνης  $\Delta_f$  είναι 600kHz και ο συντελεστής  $K_{VCO} = 120kHz/V$ . Στο σχήμα 5.3 φαίνεται ο θόρυβος φάσης του VCO.



Σχήμα 5.3: CVCSO-914-1000 Phase Noise

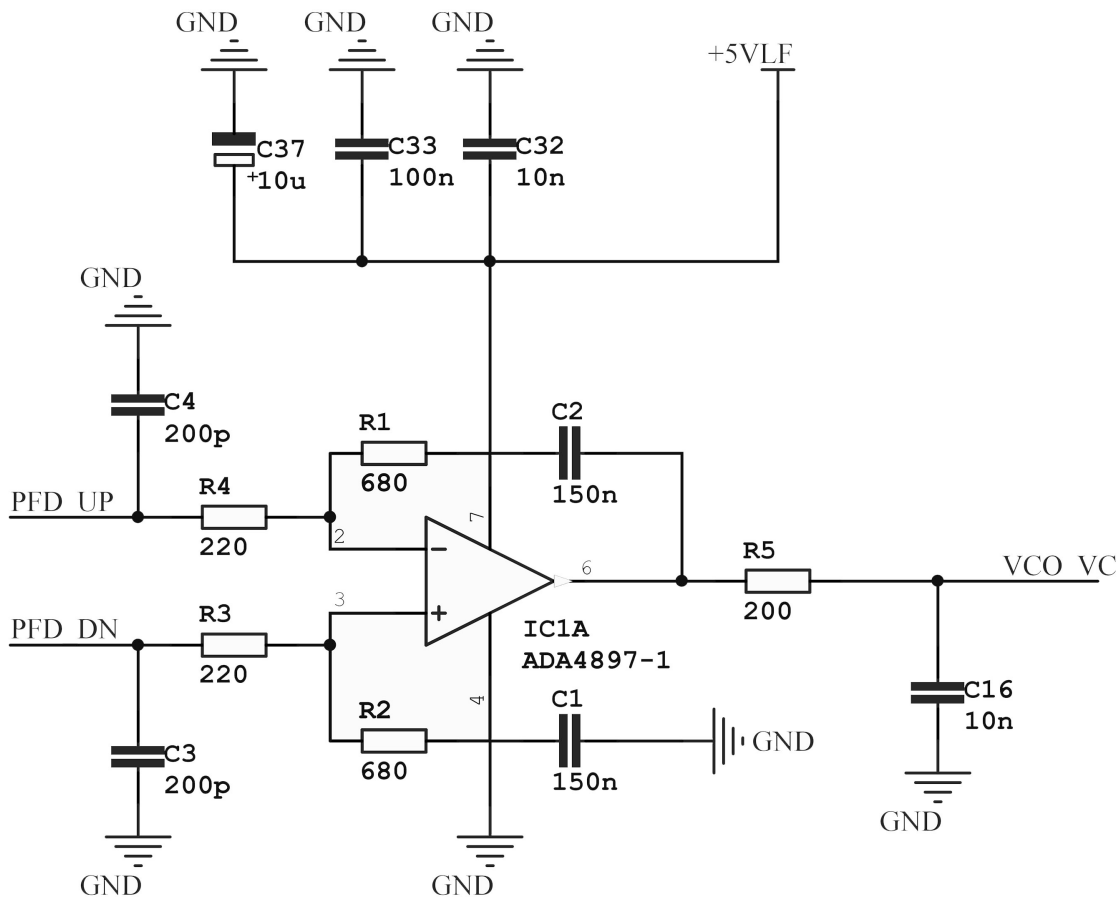
### 5.2.3 Φίλτρο Βρόχου

Το φίλτρο του βρόχου - Loop Filter υλοποιήθηκε ως ένας ολοκληρωτής δεύτερης τάξεως με συνάρτηση μεταφοράς:

$$H_{LF}(s) = \frac{1 + sT_2}{sT + s^2TT_3} \quad (5.2)$$

όπου οι χρονικές σταθερές  $T_2$ ,  $T_3$ ,  $T$  αναφέρονται στο σχήμα 5.4 και είναι  $T = C_1R_3$ ,  $T_2 = C_1R_2$ ,  $T_3 = C_{16}R_5$ . Το κύκλωμα είναι διαφορικά υλοποιημένο γύρω από τον χαμηλού

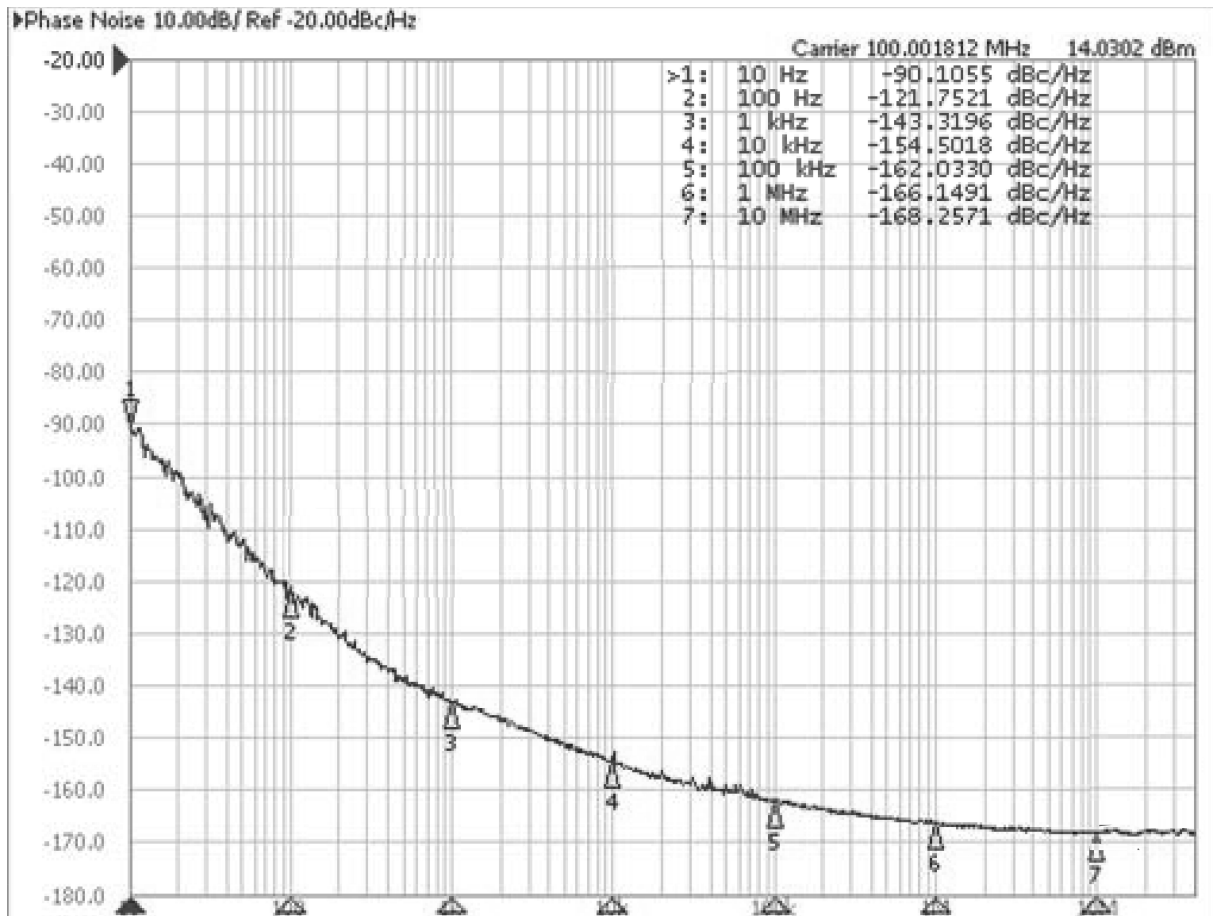
θορύβου τελεστικό ενισχυτή ADA4897-1 της Analog Devices. Το κύκλωμα φαίνεται στο σχήμα 5.4. Η συνάρτηση μεταφοράς θα χρησιμοποιηθεί παρακάτω για τον υπολογισμό του θορύβου φάσης του PLL.



Σχήμα 5.4: Σχηματικό του Loop Filter

### 5.2.4 Reference

Όπως αναφέρθηκε στο κεφάλαιο 3, ο in-band θόρυβος φάσης του PLL κυριαρχείται από τον θόρυβο φάσης της πηγής αναφοράς. Ο βέλτιστος συμβιβασμός θορύβου φάσης - κόστους για την παρούσα εργασία, όπου δεν απαιτούμε μεγάλη απόλυτη ακρίβεια στη συχνότητα, οδήγησε στην επιλογή του CCHD-575-100 της Crystek για την θέση αυτή, συχνότητας 100MHz. Στο σχήμα 5.5 φαίνεται ο θόρυβος φάσης του Reference.



Σχήμα 5.5: CCHD-575-100 Phase Noise

### 5.2.5 Τροφοδοσίες

Όπως αναφέρθηκε στο κεφάλαιο 2, μηχανισμοί AM-to-PM συνεισφέρουν στο συνολικό θόρυβο φάσης κάθε τμήματος του PLL. Για την αποφυγή συνεισφοράς της τροφοδοσίας, κάθε τμήμα του PLL τροφοδοτείται από ξεχωριστό γραμμικό σταθεροποιητή (linear regulator) της σειράς AD7150 της Analog Devices που παράγουν τα 3.3V / 5V κατά περίπτωση για το HMC440, το VCO, το Reference και τον τελεστικό του Loop Filter. Η δημοσιευμένη απόδοση είναι  $1.6\mu V_{rms}$  θορύβου σε φάσμα 10Hz - 100kHz, όπως επαληθεύτηκε και σε εργαστηριακές μετρήσεις.

## 5.3 Υπολογισμός συνολικού Phase Noise του PLL

Για τον υπολογισμό του PN στην έξοδο χρησιμοποιήθηκαν δύο εργαλεία, το Genesys της Agilent και το AdisimPLL της Analog Devices, ενώ τα αποτελέσματα επιβεβαιώθηκαν και βάσει των συναρτήσεων μεταφοράς όπως αυτές εξάχθηκαν παραπάνω. Τα αποτελέσματα

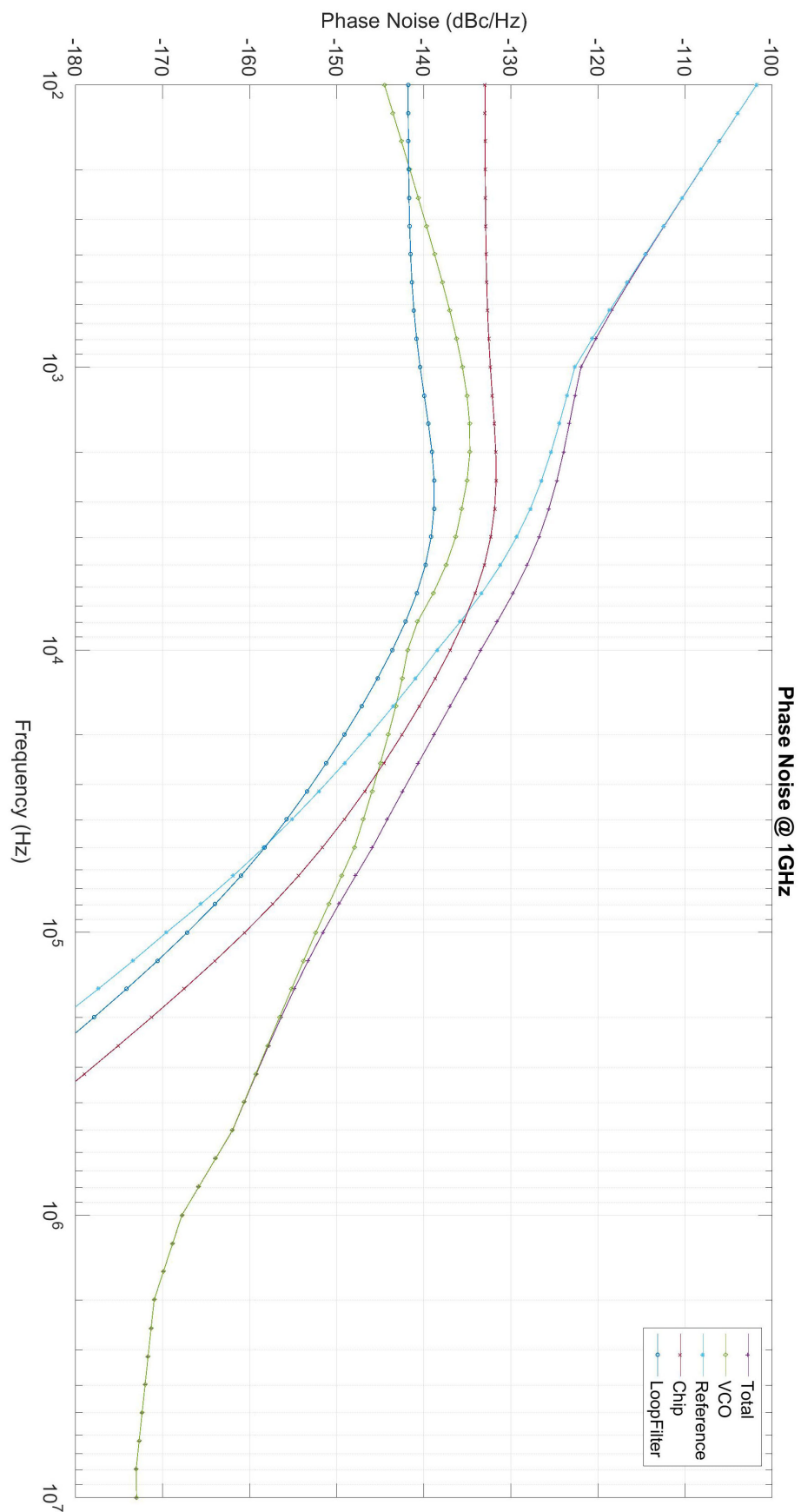
συμπίπτουν και για τις τρεις μεθόδους. Ο θόρυβος φάσης στην έξοδο και οι επιμέρους συνεισφορές φαινονται στο σχήμα 5.6.

## 5.4 Σχηματικό και PCB Layout

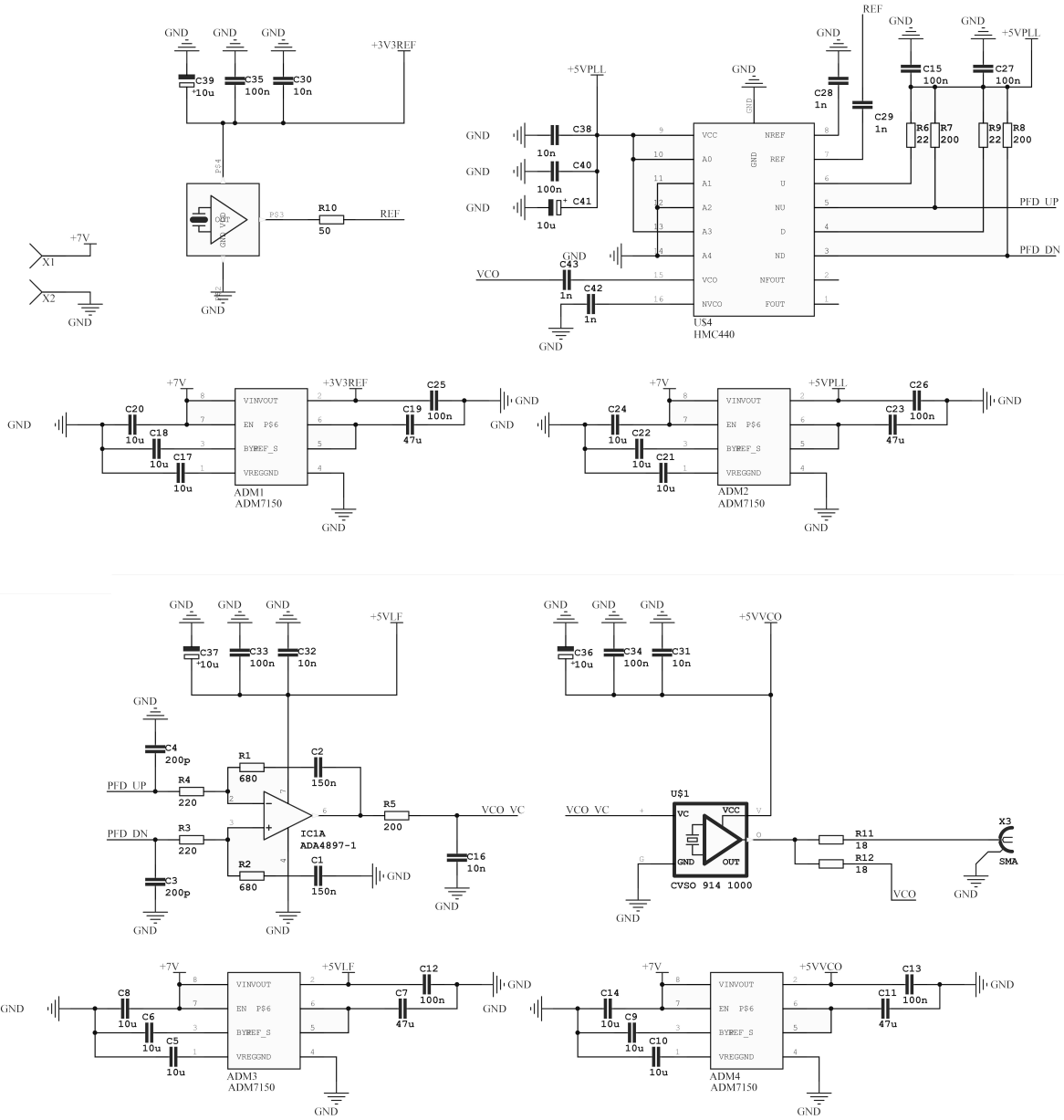
Μετά την οριστικοποίηση των εξαρτημάτων και των παραμέτρων του φίλτρου, σχεδιάστηκε το τελικό συνολικό σχηματικό όπως φαίνεται στο σχήμα 5.7. Ιδιαίτερη προσοχή δόθηκε στο decoupling για κάθε ολοκληρωμένο, με παράλληλο συνδυασμό πυκνωτών  $10\mu F$ ,  $100nF$  &  $10nF$  για κάθε pin τροφοδοσίας. Η έξοδος του VCO μέσω ενός απλού ωμικού διαιρέτη τροφοδοτεί αφενός το HMC440 και αφετέρου την έξοδο, που είναι ταιριασμένη στα  $50\Omega$ .

Για την υλοποίηση του κυκλώματος σε πλακέτα, επιλέχθηκε υλικό FR4, κυρίως για λόγους κόστους. Ούτως ώστε οι λιγοστοί κυματοδηγοί τοπολογίας coplanar waveguide στην πλακέτα να έχουν λογικό μέγεθος, και δεδομένου της κατασκευής δύο επιπέδων του PCB, επιλέχθηκε πάχος υποστρώματος  $0.8\text{mm}$ . Το τελικό PCB layout φαίνεται στο σχήμα 5.8, ενώ η αντίστοιχη 3d απεικόνιση στο σχήμα 5.9.

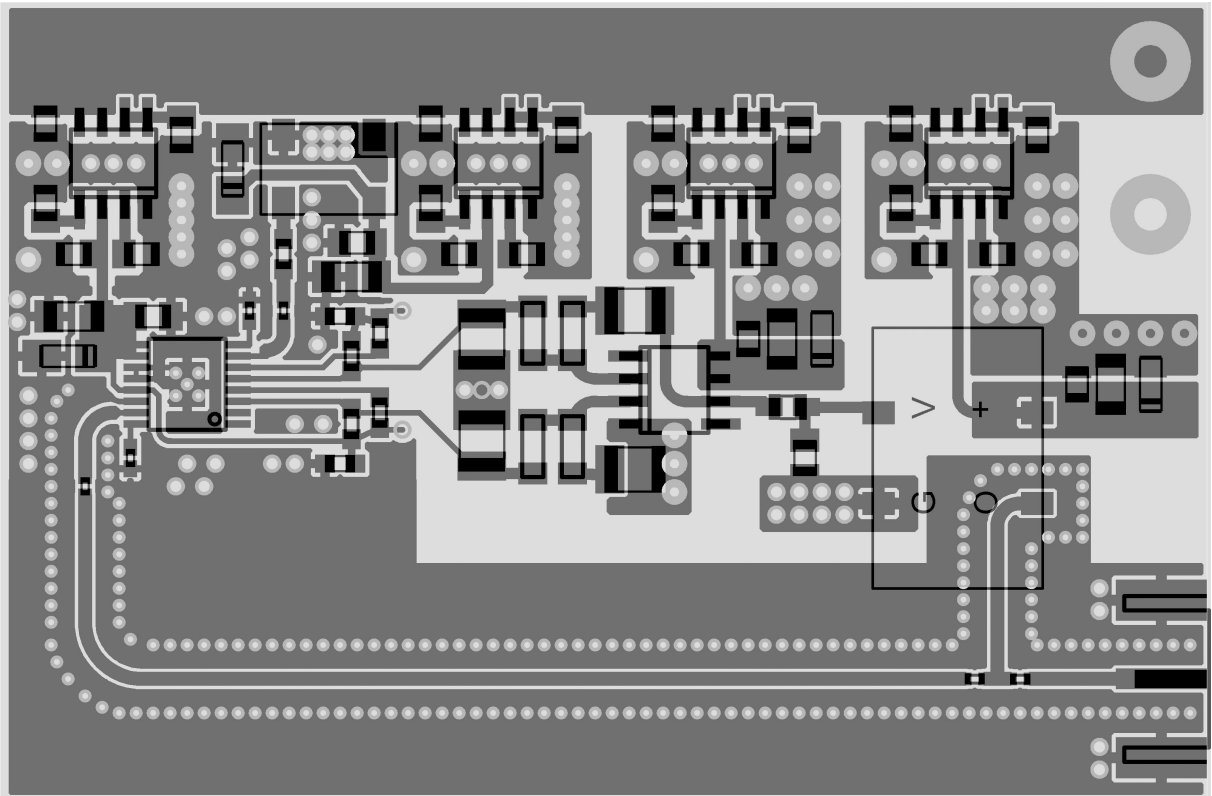




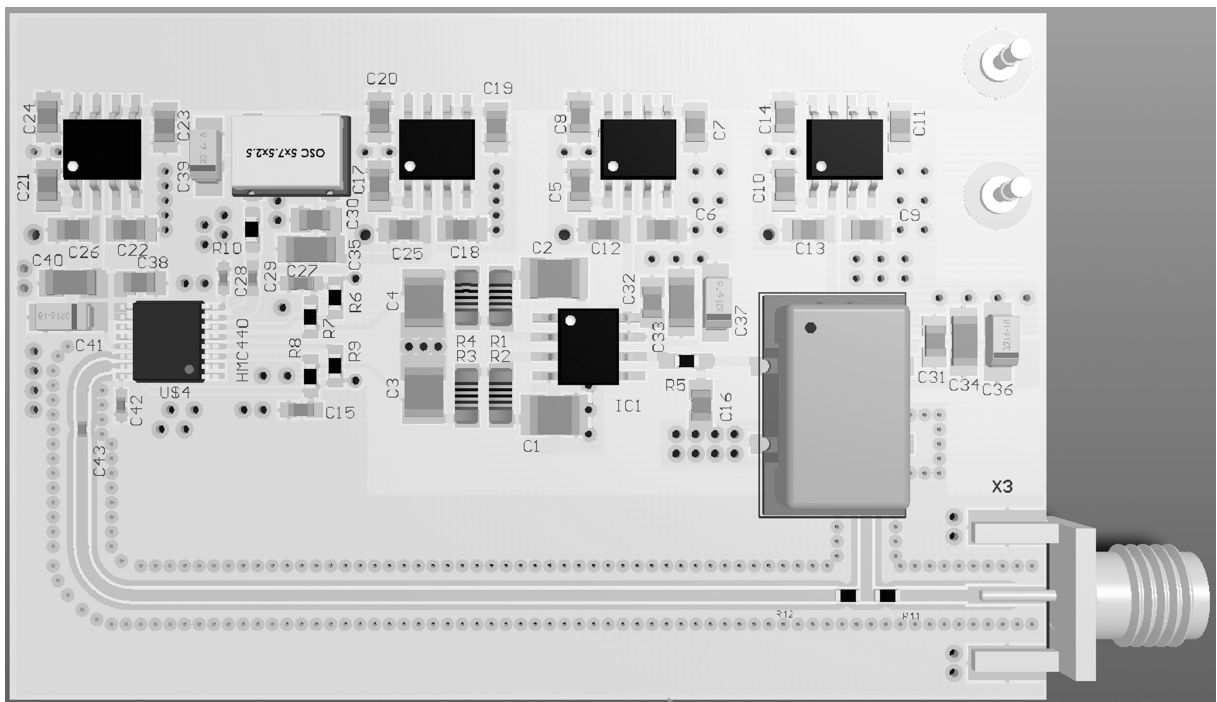
Σχήμα 5.6: Συνολικό Phase Noise και επιμέρους συνεισφορές



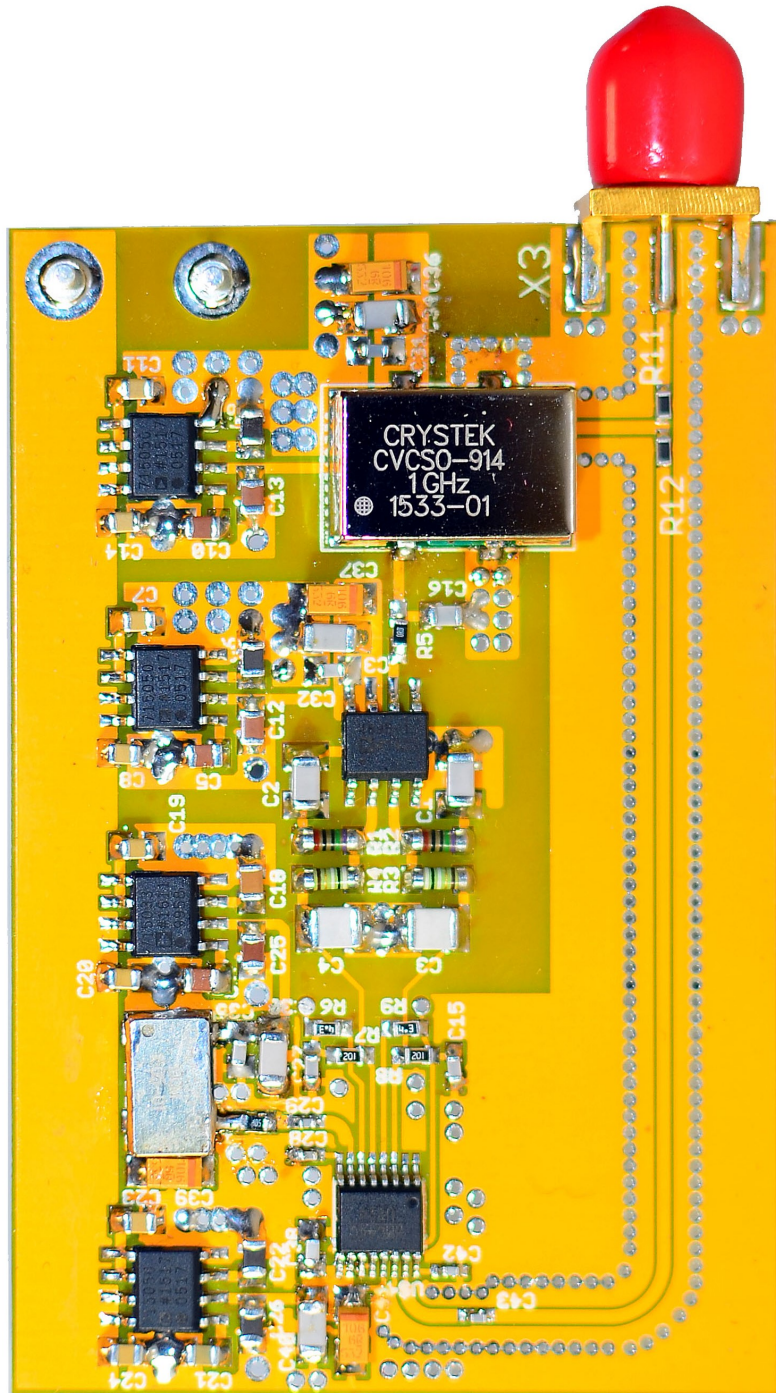
Σχήμα 5.7: Συνολικό σχηματικό του PLL Synthesizer



Σχήμα 5.8: PCB Layout του PLL Synthesizer



Σχήμα 5.9: 3D απεικόνιση του PLL Synthesizer



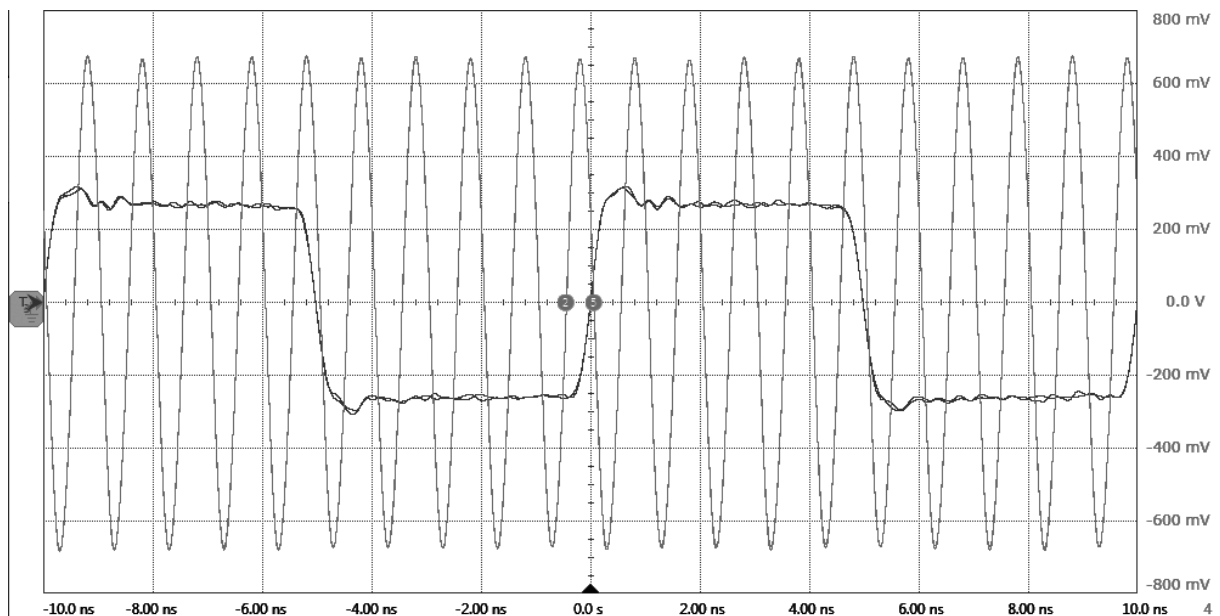
# 6

## Μετρήσεις

Στο παρόν κεφάλαιο παρουσιάζονται τα αποτελέσματα των μετρήσεων που πραγματοποιήθηκαν για τον προσδιορισμό των επιδόσεων του RF PLL Synthesizer.

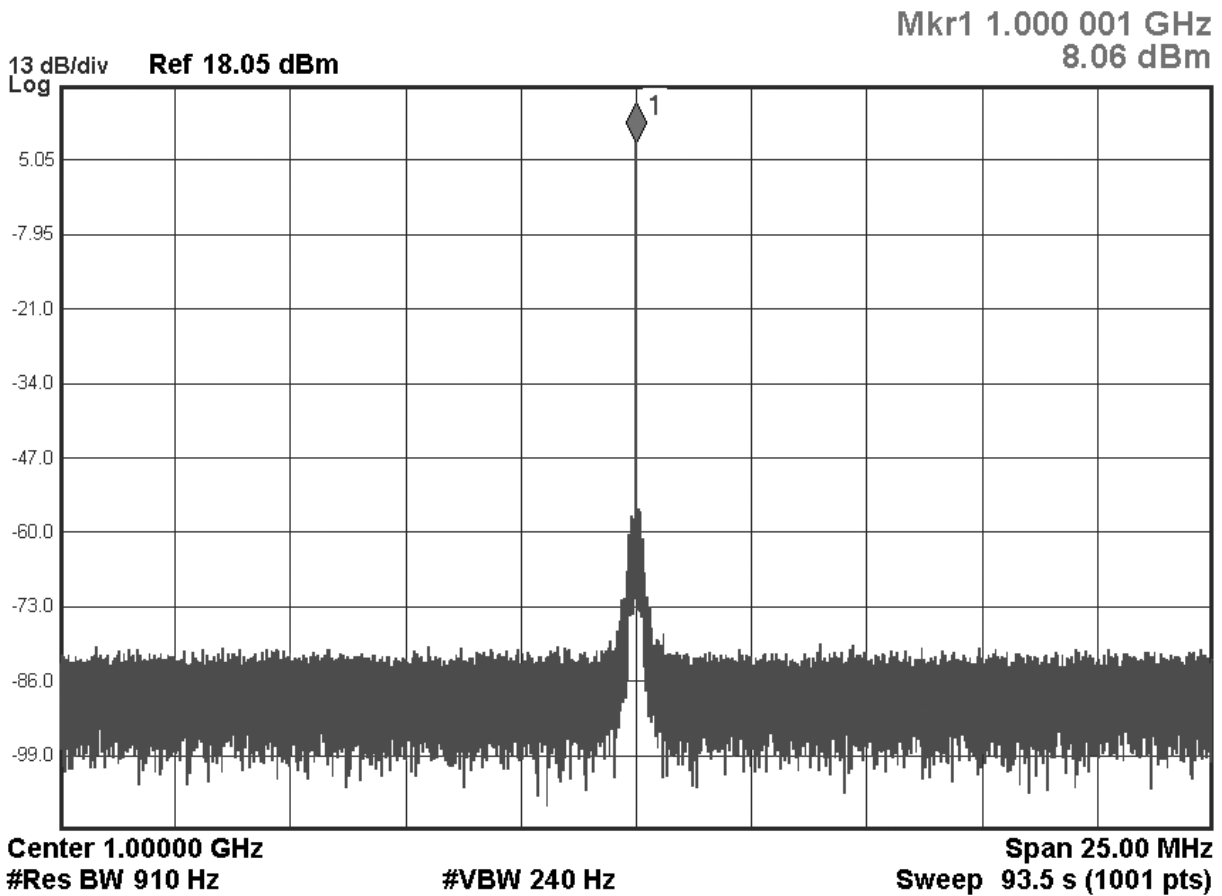
### 6.1 Μετρήσεις στο πεδίο του χρόνου

Για την επιβεβαίωση του ορθού κλειδώματος του PLL μετρήθηκε η έξοδος σε σχέση με το σήμα του Reference, όπως φαίνεται στο σχήμα 6.1.



### 6.2 Μετρήσεις στο πεδίο της συχνότητας

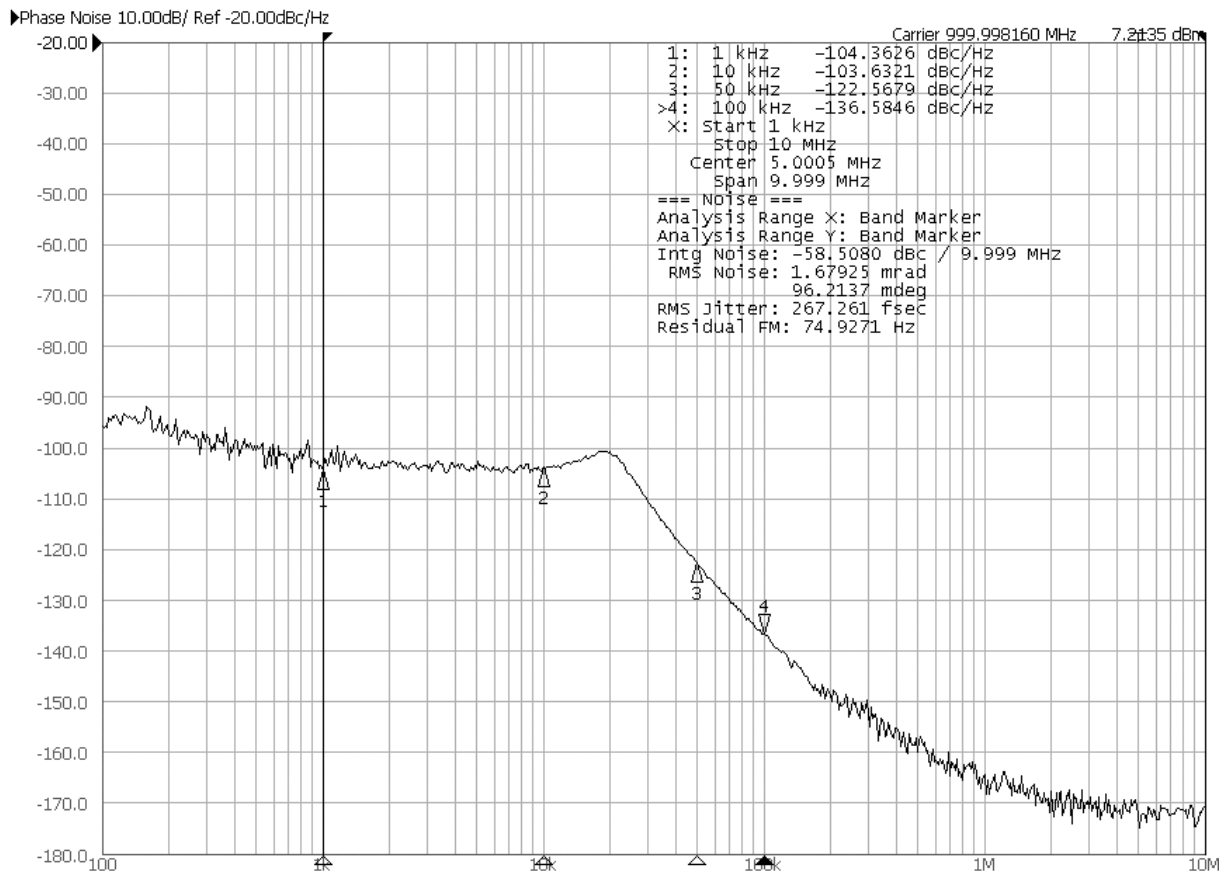
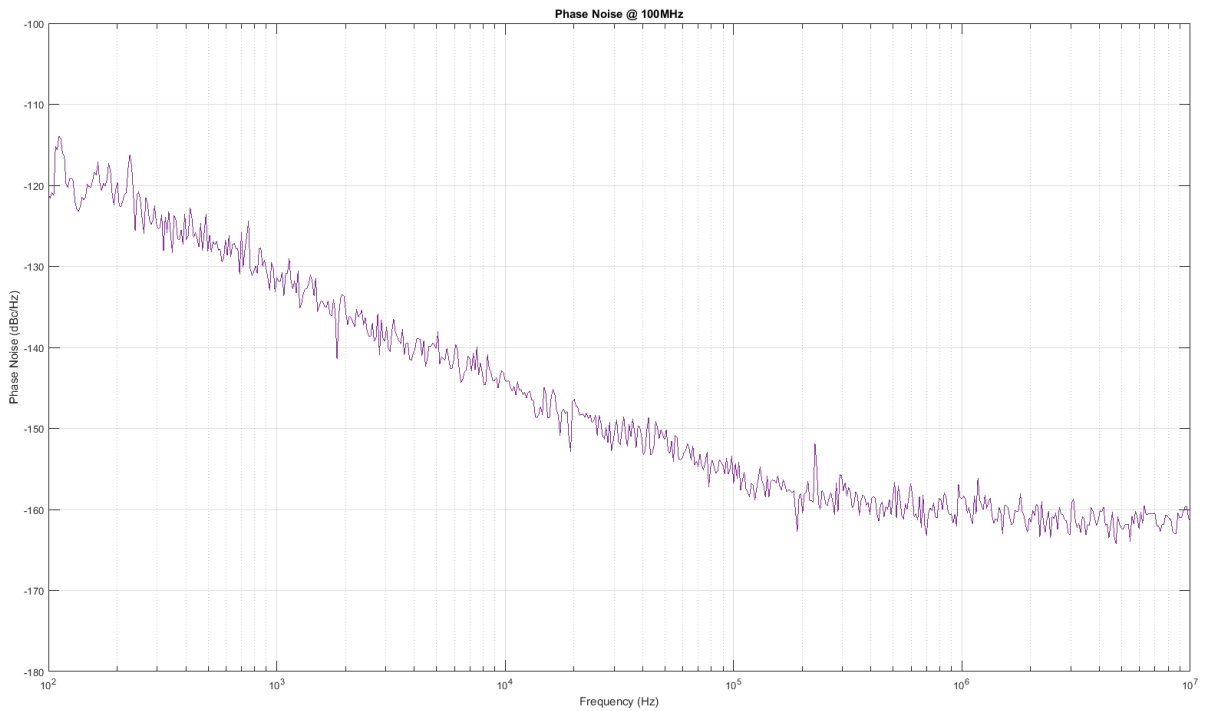
Το φάσμα της εξόδου του PLL φαίνεται στο σχήμα 6.2.



### 6.3 Μετρήσεις θορύβου φάσης

Για την τελική αξιολόγηση του θορύβου φάσης της διάταξης, χρησιμοποιήθηκε το Signal Source Analyzer E5052B της Agilent. Στο σχήμα 6.3 φαίνεται ο θόρυβος φάσης του Reference, ενώ στο σχήμα 6.4 ο θόρυβος φάσης της εξόδου.

Η ισχύς του Synthesizer είναι 7.2 dBm, ενώ το jitter χρονισμού σε φάσμα 100-10MHz είναι 267fsec. Το πάτωμα του θορύβου φάσης είναι -172dBc/Hz. Εντός μπάντας, υπάρχει αρκετή απόκλιση από τα εξομοιωθέντα, η οποία ενδεχομένως οφείλεται στο VCO.







# 7

## Επίλογος

---

Στην παρούσα εργασία παρουσιάστηκε η διαδικασία σχεδίασης και κατασκευής ενός RF PLL Synthesizer. Τα τελικά αποτελέσματα, παρά τις σχετικές αποκλίσεις, ανταποκρίνονται στις αρχικές προδιαγραφές της σχεδίασης.



# Βιβλιογραφία

---

- [1] Enrico Rubiola. *Phase Noise and Frequency Stability in Oscillators*. Cambridge University, 2010.
- [2] Hewlett Packard. *RF and Microwave Phase Noise Measurement Seminar*. Hewlett Packard, 1985.
- [3] Krzysztof Iniewski. *Wireless Technologies: Circuits, Systems, and Devices*. CRC Press, 2008.
- [4] Dean Banerjee. *PLL Performance, Simulation, and Design*. 2006.
- [5] Cicero S. Vaucher. *Architectures for RF Frequency Synthesizers*. Kluwer Academic Publishers, 2003.
- [6] Donald R. Stephens. *PHASE-LOCKED LOOPS FOR WIRELESS COMMUNICATIONS: Digital, Analog and Optical Implementations*. Kluwer Academic Publishers, 2002.
- [7] Roland E. Best. *Phase Locked Loops: Design, Simulation and Application*. McGraw-Hill, 2003.
- [8] Dan H. Wolaver. *Phase Locked Loop Circuit Design*. Prentice Hall, 1991.
- [9] A. Raptakis, C. Oustoglou, P. Sotiriadis. “Laboratory Jitter Removal Circuit for Single-bit All-Digital Frequency Synthesis”. In: *PACET 2017* ().