



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ
ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

A 5.9 GS/s 8-bit time-interleaved SAR ADC on TSMC N28 CMOS

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ
του
ΒΑΣΙΛΕΙΟΥ Η. ΛΙΑΚΩΝΗ

Επιβλέπων: Ιωάννης Παπανάνος
Καθηγητής Ε.Μ.Π.

ΕΡΓΑΣΤΗΡΙΟ ΗΛΕΚΤΡΟΝΙΚΗΣ
Αθήνα, Μάιος 2019



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ
ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

A 5.9 GS/s 8-bit time-interleaved SAR ADC on TSMC N28 CMOS

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ
του
ΒΑΣΙΛΕΙΟΥ Η. ΛΙΑΚΩΝΗ

Επιβλέπων: Ιωάννης Παπανάνος
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την.....

.....
Ιωάννης Παπανάνος
Καθηγητής Ε.Μ.Π.

.....
Γεώργιος Στασινόπουλος
Καθηγητής Ε.Μ.Π.

.....
Ευστάθιος Συκάς
Καθηγητής Ε.Μ.Π.

Αθήνα, Μάιος 2019

.....
Βασίλειος Η. Λιακώνης

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Βασίλειος Λιακώνης, 2019.

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

“Η φυσική είναι ΑΦΕΝ! Αντικείμενα, Φαινόμενα, Έννοιες, Νόμοι.”

Ανδρέας Ι. Κασσέτας

Στους γονείς μου,
Ηλία και Αδαμαντία

Ευχαριστίες

Το έτος, 2019. Ο μήνας, Μάιος. Ένα μεγάλο ταξίδι γνώσης έχει φτάσει στο τέλος του. Σαν χθες μου φαίνεται όταν πρωτοπάτησα το πόδι μου στο Αμφιθέατρο 1 της σχολής HMMY, γεμάτος άγχος αλλά και αποφασιστικότητα να φτάσω στο στόχο μου. Εν τέλει τα κατάφερα με κούραση και κόπο, αλλά και με συμπαράσταση και βοήθεια από καθηγητές, συγγενείς και φίλους.

Πρώτα απ' όλα οφείλω ένα μεγάλο ευχαριστώ στον καθηγητή μου Ιωάννη Παπανάνο και στον Franz Dielacher που μου έδωσαν την ευκαιρία να δουλέψω υπό την επίβλεψη τους στην εταιρεία Infineon Technologies στο Villach της Αυστρίας, στο πλαίσιο της εκπόνησης της διπλωματικής μου εργασίας, ανοίγοντάς μου την πόρτα της αγοράς εργασίας για τη μετέπειτα καριέρα μου.

Θέλω επίσης να ευχαριστήσω τους συναδέλφους και φίλους μου, Κώστα Γαλανόπουλο , Χρήστο Θώμο και Μαρία Τζιτζιλιάκη, που ήταν δίπλα μου για ερωτήσεις και καθοδήγηση κατά τη διάρκεια της εργασίας μου.

Ένα μεγάλο ευχαριστώ αξίζουν και οι δύο πολυαγαπημένοι μου φίλοι, Παναγιώτης Πουραϊμης και Χαράλαμπος Λαμπίρης, που ήταν δίπλα μου σε όλη τη διάρκεια των σπουδών μου. Επιπλέον, θέλω να ευχαριστήσω ιδιαίτερα τον πολύ καλό μου φίλο και συνάδελφο Ιωάννη Πέππα, με τον οποίο ξεκινήσαμε μαζί από την Ελλάδα για να εργαστούμε στο Villach και γίναμε αχώριστοι στην πορεία. Επιπλέον θέλω να ευχαριστήσω μέσα από την καρδιά μου την πολύ καλή μου φίλη και συνεργάτιδα Αρτεμησία Σουμπασάκου, που χωρίς το «σπρώξιμο» της τα τελευταία δύο χρόνια ίσως να μην βρισκόμουν εδώ σήμερα.

Είμαι ευγνώμων που υπήρξα μαθητής του Ανδρέα Ι. Κασσέτα, ο οποίος με έβαλε στον κόσμο των θετικών επιστημών με τον πιο ποιητικό τρόπο. Τέλος, σε αυτούς που οφείλω όσα έχω καταφέρει και είμαι σήμερα, δεν είναι άλλοι από τους γονείς μου, Ηλία και Αδαμαντία, που με τους κόπους και τις θυσίες τους με βοήθησαν και με βοηθούν να φτάσω όσο πιο ψηλά μπορώ και να εκπληρώσω τα όνειρά μου!

Table of Contents

Ευχαριστίες.....	4
Abstract.....	7
1 Εισαγωγή	9
1.1 Η ανάγκη για ADC	9
1.2 Μπλοκ Διάγραμμα ADC	10
1.3 Θεμελιώδεις έννοιες των ADCs.....	11
1.3.1 Δειγματοληψία	11
1.3.2 Κβαντοποίηση Πλάτους	14
1.3.3 Θόρυβος.....	16
1.3.4 Figure of Merit	20
2 Αρχιτεκτονικές ADC.....	23
2.1 Full-Flash ADC.....	25
2.1.1 Τάσεις Αναφοράς	27
2.1.2 Το Offset των Συγκριτών	28
2.1.3 Πρακτικοί Περιορισμοί.....	29
2.2 Sub-Ranging και Two-step Μετατροπείς.....	30
2.3 Pipeline ADC.....	32
2.4 Αρχιτεκτονική SAR.....	37
3 SAR ADC σε βάθος.....	38
3.1 Χωρητικός DAC (CDAC).....	39
3.1.1 Βασικές Αρχιτεκτονικές CDAC.....	43
3.1.2 Λειτουργία Διαφορικού CDAC και λύσεις trim.....	45

3.2	Συγκριτής.....	51
3.2.1	Βασική τοπολογία συγκριτή.....	51
3.2.2	Τεχνική Offset Cancellation.....	54
4	Επισκόπηση Τεχνολογίας	57
4.1	Πυκνωτές	57
4.2	Διακόπτες.....	61
4.3	Ταχύτητα ψηφιακή λογικής.....	64
5	Υλοποίηση & Αποτελέσματα Προσομοιώσεων.....	66
5.1	Σχεδίαση Sub-ADC	68
5.1.1	Σχεδίαση Συγκριτή.....	68
5.1.2	Σχεδίαση CDAC	79
5.1.3	Αποτελέσματα του Sub-ADC	85
5.2	Interleaving Και Συνολικά Αποτελέσματα	87
6	Ευρετήριο Εικόνων.....	91
	Βιβλιογραφία.....	94

Abstract

In the ever-growing semiconductor industry, many applications require specific solutions and therefore unique circuitry in order to complete the desired task. For example, in telecommunication applications comes the need for high-speed or RF sampling, which is the technology of digitizing an RF signal with an ADC directly, without an analog frequency conversion to a lower IF (intermediate frequency) or baseband (Zero IF) before the signal is converted from analog to digital. An RF sampling ADC can replace a radio signal path subsystem of mixers, LO synthesizers, intermediate frequency amplifiers and filters, and sometimes multiple ADCs, reducing bill of materials, cost, design time, size, weight, and power, while increasing the software programmability and flexibility of the system.

The analog to digital converter (ADC) is one of the most important building blocks in any electronic device. The successive approximation register (SAR) ADC is one of the most common architectures when we need a system with high-speed and high resolution simultaneously, using speed boosting techniques such as time-interleaving.

The architecture of a SAR ADC works like a weight scale. The input signal is frozen with a sample and hold capacitor. The sampled input voltage is first compared to half of the reference voltage, which is generated by the DAC. If the input signal is higher, then the DAC will increase its output voltage by a quarter of the reference. If the input voltage is still higher, then another eighth of the reference voltage is added. With every clock cycle, the DAC will approximate the input voltage by another bit of accuracy. The SAR converter is successively evaluating bit for bit. If the SAR converter has an n -bit resolution, then it requires n clock cycles for the conversion.

SAR converters do neither have the highest speed nor the highest performance, but they have the best trade-off between these two parameters, which makes them the perfect choice, combined with time-interleaving, for RF-sampling applications.

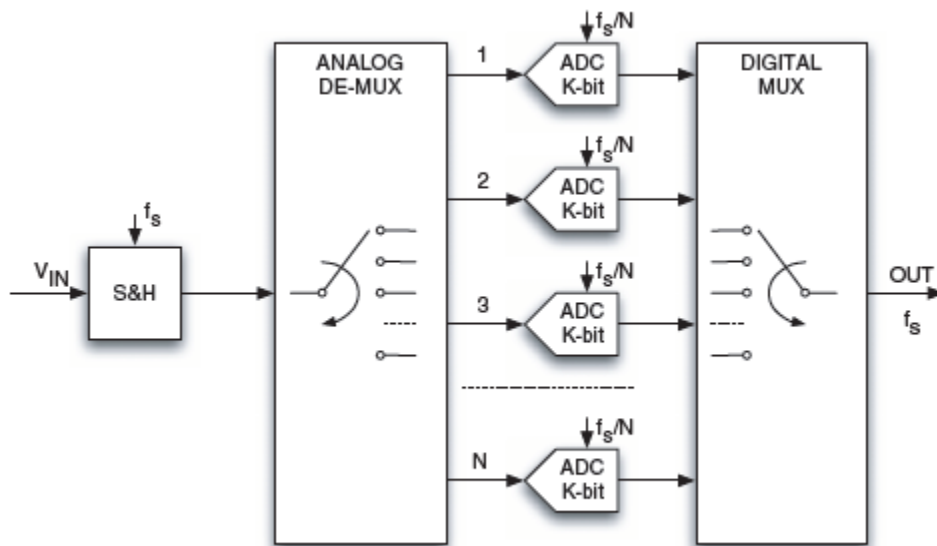
Time-interleaved architectures increase the conversion rate of a data converter by using a number of converters working in parallel for a simultaneous quantization of input samples. A

suitable combination of the results makes the operation equivalent to a single converter whose speed has been increased by a factor equal to the number of parallel elements.

The architecture shown in the figure below uses an input sample-and-hold running at its full speed $f_s = 1/T_s$ to acquire the samples to be converted. Then, an analog selector delivers the input samples to the N parallel ADCs whose conversion frequency is f_s/N . Finally, the digital multiplexer sequentially selects the output of each channel to obtain the full speed ADC code.

An alternative solution that avoids the demanding specification associated with the full speed S&H employs one S&H in each path. However, this requires careful generation and distribution of the control phases as misalignment degrades the dynamic performances.

Other important limitations are the offset and the gain mismatch between channels. These error sources, which do not occur in high-speed single converter applications become significant for interleaved architectures as they are transformed into dynamic errors by the system operation.



In this particular thesis an 8-bit time-interleaved SAR ADC is proposed. We achieved a sampling rate of 5.6 MS/s with an effective number of bits at 6.77 which is translate to $R = 42.5 \text{ dB}$. In terms of performance we achieved $59.4 \text{ J/conv.} - \text{step}$. The proposed ADC is implemented in a 28nm CMOS technology provided by Infineon Technologies from the manufacturer TSMC (Taiwan Semiconductor Manufacturing Company).

1 Εισαγωγή

1.1 Η ανάγκη για ADC

Φυσικά φαινόμενα στη φύση, όπως ο ήχος ή το φως, είναι καθαρά αναλογικά (συνεχές σήμα). Διαφορετικοί τύποι αισθητήρων μεταφράζουν τη θερμοκρασία, την πίεση και άλλες φυσικές παραμέτρους σε αναλογική μορφή, όπως τάση ή ρεύμα.

Η μετατροπή δεδομένων είναι όταν το σήμα μετατρέπεται από μία κατάσταση σε άλλη. Υπάρχουν διάφοροι τύποι μετατροπών δεδομένων, για παράδειγμα, χρόνος ψηφιακής μετατροπής (TDC). Ωστόσο, η κύρια μετατροπή είναι αναλογική προς ψηφιακή μετατροπή ή ADC (analog-to-digital conversion). Στην ADC, ένα αναλογικό σήμα εισόδου έχει κβαντιστεί και μετατρέπεται σε μία ψηφιακή αναπαράσταση του σήματος αυτού.

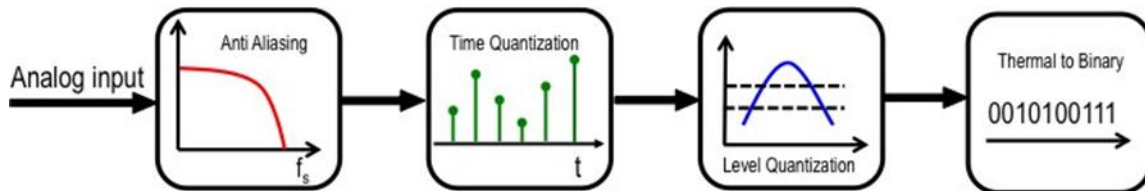
Κάποιος μπορεί να αναρωτηθεί γιατί υπάρχει ανάγκη για μετατροπή δεδομένων. Γιατί δεν μπορεί να πραγματοποιηθεί όλη η επεξεργασία του σήματος εισόδου στον αναλογικό τομέα; Η απάντηση είναι η αυξανόμενη ανάγκη για υψηλότερη, γρηγορότερη και πιο περίπλοκη επεξεργασία δεδομένων. Η επεξεργασία ενός σήματος απαιτεί μαθηματικά ή υπολογισμούς που μερικές φορές μπορεί να είναι μια πολύ περίπλοκη και δύσκολη διαδικασία. Αυτή η πολυπλοκότητα στον υπολογισμό σημαίνει ότι το ηλεκτρικό σήμα πρέπει να παρουσιάζεται με ένα κβαντισμένο τρόπο ώστε να είναι επεξεργάσιμο από ηλεκτρονικό υπολογιστή, εξ ου και η ανάγκη για ψηφιακό τομέα.

Από την άλλη πλευρά, ένα φυσικό φαινόμενο είναι αναλογικό (συνεχές), που σημαίνει ότι οποιαδήποτε ανάγνωση από φυσικά φαινόμενα όπως το φως ή ο ήχος θα μεταφράζεται σε αναλογικά σήματα. Επομένως, προκειμένου να γίνει ανάλυση αυτών των σημάτων, η αναλογική πληροφορία θα πρέπει να μετατραπεί σε ψηφιακή και αντίστροφα. Αυτό απαιτεί μετατροπείς δεδομένων όπως ένας ADC ή ένας ψηφιακό προς αναλογικό μετατροπέα (DAC) που μετατρέπει τις ψηφιακές τιμές στην αναλογική τους αναπαράσταση. Η ανάγκη για DAC είναι προφανής, καθώς οι άνθρωποι δεν μπορούν να καταλάβουν τη γλώσσα της μηχανής. Τα επεξεργασμένα σήματα πρέπει να μετατραπούν ξανά στην αρχική τους αναλογική μορφή, όπως είναι ο ήχος ή το φως, για να είναι κατανοητά από τους ανθρώπους.

1.2 Μπλοκ Διάγραμμα ADC

Για να κατανοήσουμε καλύτερα ένα σύστημα, οι μηχανικοί διαιρούν αυτό το σύστημα σε διαφορετικά υποσυστήματα, τα οποία στη συνέχεια χωρίζονται σε πολλαπλά τμήματα που ονομάζονται *blocks*. Ένα block διάγραμμα είναι ένας top-level σχεδιασμός που δείχνει τα κύρια τμήματα ενός συστήματος, ανεξάρτητα από το αν το σύστημα αυτό είναι ηλεκτρικό, μηχανικό, βιολογικό ή ακόμα και χημικό. Στον τομέα των ηλεκτρονικών, κάθε υποσύστημα σε κάθε συσκευή έχει δικό του διάγραμμα. Το block διάγραμμα της ADC αποτελείται από τέσσερα βασικά blocks (Εικόνα 1.1):

- Αντί-αλλοιωτικό Φίλτρο (Anti-Aliasing Filter)
- Κβαντοποίηση Χρόνου (Time Quantization)
- Κβαντοποίηση σε στάθμες (Level Quantization)
- Μετατροπή από θερμομετρικό κώδικα σε δυαδικό
(Thermal to Binary Converter)



Εικόνα 1.1: Block διάγραμμα συστήματος ADC.

Όπως αναφέρθηκε προηγουμένως, προκειμένου να ψηφιοποιηθεί ένα αναλογικό σήμα, το σήμα δεδομένων πρέπει να κβαντιστεί τόσο σε χρόνο όσο και σε επίπεδα τάσης. Ωστόσο, ο σύνδεσμος δεδομένων εισόδου συνήθως μεταφέρει ανεπιθύμητα σήματα που αναφέρονται ως θόρυβος. Για να δειγματοληπτηθεί μόνο το επιθυμητό σήμα και να μειωθεί ο θόρυβος, το σήμα εισόδου τροφοδοτείται πρώτα σε ένα μπλοκ φιλτραρίσματος που ονομάζεται αντι-αλλοιωτικό (anti-aliasing). Μετά την εξαγωγή του επιθυμητού σήματος, το σήμα κβαντοποιείται σε σχέση με το χρόνο χρησιμοποιώντας έναν δειγματολήπτη. Το σήμα της δειγματοληψίας ψηφιοποιείται μόνο με το χρόνο και δεν μπορεί να υποβληθεί σε επεξεργασία δεδομένων διότι η τιμή του κάθε

κβαντισμένου σημείου του σήματος είναι ασαφής. Η κβαντοποίηση του σήματος σε επίπεδα γίνεται μέσω του επόμενου block που είναι ο συγκριτής.

Μετά την δειγματοληψία και την κβαντοποίηση του σήματος, οι διακριτές τιμές που προκύπτουν εξακολουθούν να είναι διαφορούμενες στις μονάδες επεξεργασίας, καθώς δεν είναι ακόμη σε ένα μαθηματικό δυαδικό σύστημα. Το τελευταίο block στον ADC μετατρέπει τις ψηφιοποιημένες τιμές σε δυαδικές ισοδύναμες λέξεις, ώστε να είναι εφικτή η επεξεργασία της πληροφορίας από ψηφιακά κυκλώματα. Ανάλογα με την εκάστοτε εφαρμογή απαιτείται διαφορετικό επίπεδο μετατροπής. Για ευαίσθητες εφαρμογές όπως η αεροπορία, απαιτείται ένα πολύ γρήγορο και ακριβές επίπεδο μετατροπής δεδομένων. Αυτός είναι ο λόγος για τον οποίο για κάθε εφαρμογή εφαρμόζεται διαφορετικός ρυθμός δειγματοληψίας και αριθμός δυαδικών ψηφίων ανάλυσης (bit resolution), ο οποίος μεταφράζεται σε διαφορετικό επίπεδο ταχύτητας και ακρίβειας για τη μετατροπή των δεδομένων.

1.3 Θεμελιώδεις έννοιες των ADCs

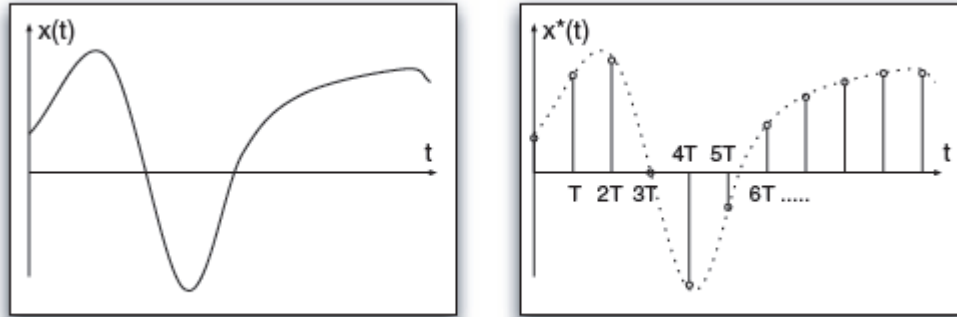
1.3.1 Δειγματοληψία

Ένας δειγματολήπτης μετασχηματίζει ένα σήμα συνεχούς χρόνου σε μια σειρά διακεκριμένων τιμών αυτού του σήματος. Ιδανικά, το σήμα που προκύπτει είναι μία ακολουθία συναρτήσεων δέλτα με πλάτος ίσο με την τιμή του σήματος στην αντίστοιχη χρονική στιγμή της δειγματοληψίας. Για περιοδική δειγματοληψία, το προκύπτον σήμα μπορεί να περιγραφεί από την εξίσωση (1.1), όπου T είναι η περίοδος δειγματοληψίας, $x^*(t)$ το σήμα μετά τη δειγματοληψία and $x(t)$ το αρχικό σήμα.

$$x^*(t) = x^*(nT) = \sum x(t)\delta(t - nT). \quad (1.1)$$

Η Εικόνα 1.2 δείχνει την κυματομορφή ενός σήματος συνεχούς χρόνου και το προκύπτον μετά τη δειγματοληψία σήμα. Το σήμα της δειγματοληψίας γίνεται, όπως περιγράφεται στην εξίσωση (1.1), με την υπέρθεση των σταθμισμένων συναρτήσεων δέλτα. Ωστόσο, σε ένα πραγματικό κύκλωμα η δειγματοληψία πραγματοποιείται από παλμούς με πεπερασμένη διάρκεια επειδή είναι πρακτικά αδύνατο να δημιουργηθούν συναρτήσεις δέλτα. Η πεπερασμένη διάρκεια των παλμών δειγματοληψίας θα οδηγήσει σε φασματική διαρροή που θα επηρεάσει την απόδοση του ADC, όπως θα δούμε αργότερα, αλλά αυτό είναι κάτι που αναμένεται. Ανεξάρτητα από το

σχήμα παλμού ή τη διάρκεια, οι παλμοί προορίζονται να αντικατοπτρίζουν το σήμα εισόδου μόνο στους ακριβείς χρόνους δειγματοληψίας, nT .



Εικόνα 1.2: Σήμα συνεχούς χρόνου (αριστερά) και η αναπαράστασή του μετά την δειγματοληψία (δεξιά) [1].

Εφαρμόζοντας τον μετασχηματισμό Laplace στην εξίσωση (1.1), παρατηρούμε ότι το φάσμα του δειγματοληπτικού σήματος είναι μια ακολουθία αντιγράφων του αρχικού σήματος. Αυτά τα αντίγραφα επικεντρώνονται σε πολλαπλάσια της συχνότητας δειγματοληψίας που μετατοπίζονται κατά μήκος του f άξονα κατά $nf_s (= n/T)$, $n = 0, \pm 1, \pm 2, \dots$, όπως φαίνεται στην εξίσωση (1.2). Ως αποτέλεσμα, το φάσμα του νέου σήματος είναι μια περιοδική συνάρτηση του αρχικού φάσματος με περίοδο f_s . Σημειώστε ότι ο μετασχηματισμός του φάσματος εισόδου από περιορισμένου εύρους ζώνης σε ένα απείρου εύρους αντίγραφο αποκαλύπτει και πάλι τον μη γραμμικό χαρακτήρα της δειγματοληψίας.

Ας υποθέσουμε ότι το διμερές φάσμα του σήματος εισόδου είναι εκείνο που απεικονίζεται στην Εικόνα 1.3(α) το οποίο παρουσιάζει δύο κορυφές στις συχνότητες f_1 και f_2 και εξαφανίζεται σε συχνότητες υψηλότερες από f_B . Η Εικόνα 1.3(β) δείχνει ένα πιθανό φάσμα μετά τη δειγματοληψία. Εδώ, η συχνότητα δειγματοληψίας είναι μεγαλύτερη από δύο φορές f_B . Κατά συνέπεια, τα αντίγραφα του φάσματος δεν αλληλοκαλύπτονται μεταξύ τους. Αυτή η κατάσταση είναι ευεργετική: το φάσμα δειγματοληψίας εντός του αρχικού εύρους ζώνης σήματος ισούται ακριβώς με το φάσμα στην Εικόνα 1.3(α), καθιστώντας έτσι εφικτή την επιστροφή στο σήμα συνεχούς χρόνου μέσω φιλτραρίσματος.

Στην Εικόνα 1.3(c) φαίνεται τι συμβαίνει όταν η συχνότητα δειγματοληψίας είναι

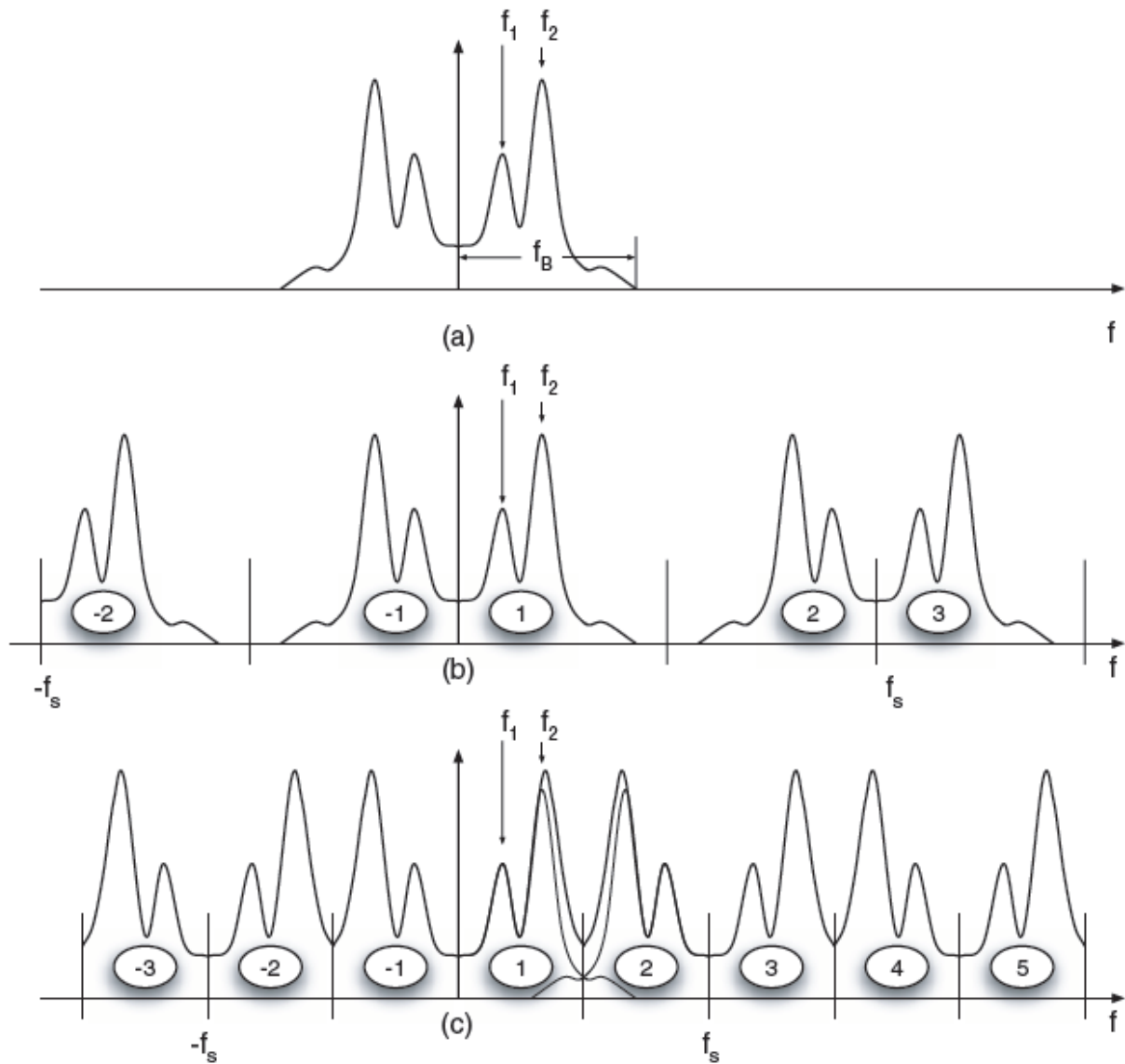
μικρότερη από το διπλάσιο του εύρους ζώνης εισόδου. Τα αντίγραφα επικαλύπτονται εν μέρει και τροποποιούν το φάσμα. Σημειώστε ότι το φάσμα της Εικόνας (1.3)(γ) δεν φτάνει στο μηδέν στο $f_s/2$. Επιπλέον, η κορυφή στο f_2 έχει μετατοπιστεί και το εύρος του αυξάνεται. Επομένως, η αλλοίωση του φάσματος καθιστά αδύνατη τη διατήρηση των χαρακτηριστικών και συνεπώς της πληροφορίας του σήματος συνεχούς χρόνου.

$$\mathcal{L}[x^*(t)] = \sum_{-\infty}^{+\infty} X(s - jn\omega_s) \quad (1.2)$$

Η παραπάνω συζήτηση μας θυμίζει το θεώρημα Nyquist από την θεωρία δειγματοληψίας και σημάτων:

Ένα σήμα περιορισμένου εύρους ζώνης, $x(t)$, του οποίου το φάσμα Fourier, $X(j\omega)$, εξαφανίζεται για γωνιακή συχνότητα $|\omega| > \omega_s/2$ περιγράφεται πλήρως με ομοιόμορφη δειγματοληψία $x(nT)$, όπου $T = 2\pi/\omega_s$. Το αρχικό σήμα $x(t)$ ανακατασκευάζεται από τη σχέση:

$$x(t) = \sum_{-\infty}^{+\infty} x(nT) \frac{\sin(\omega_s(t - nT)/2)}{\omega_s(t - nT)/2} \quad (1.3)$$



Εικόνα 1.3: (a) Αρχικό σήμα. (b) Φάσμα από δειγματοληψία με $f_s > 2f_B$. (c) Φάσμα από δειγματοληψία με $f_s < 2f_B$.

1.3.2 Κβαντοποίηση Πλάτους

Η κβαντοποίηση πλάτους αλλάζει ένα σήμα δειγματοληψίας από συνεχές επίπεδο σε διακριτό επίπεδο, δηλαδή ενώ αρχικά τα δείγματα μπορούν να έχουν οποιαδήποτε τιμή από ένα διάστημα τιμών μετά την κβαντοποίηση αυτό το διάστημα γίνεται ένα σύνολο από διακριτές τιμές. Το δυναμικό εύρος του κβαντιστή χωρίζεται σε έναν αριθμό ίσων διαστημάτων κβάντισης, καθένα

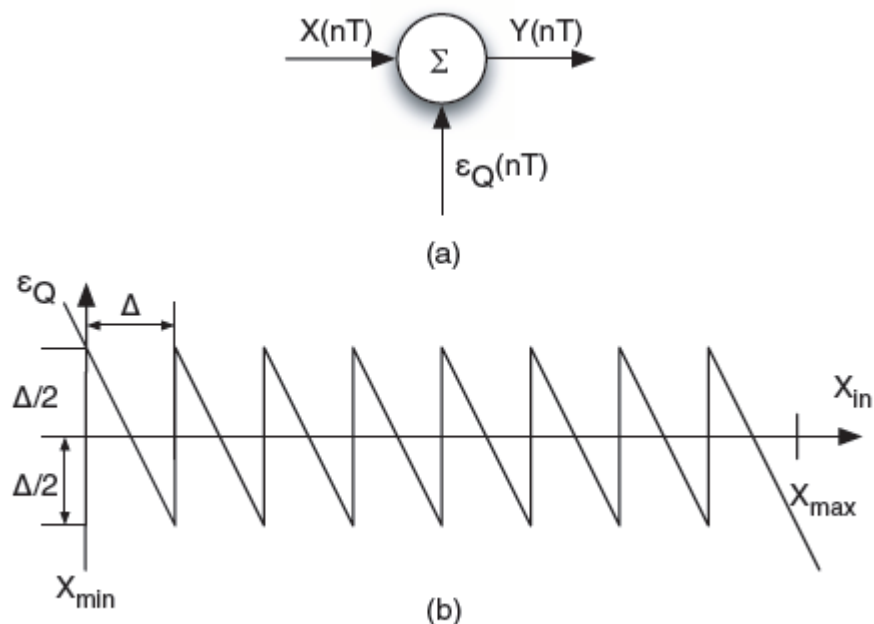
από τα οποία αντιπροσωπεύεται από ένα δεδομένο αναλογικό πλάτος. Ο κβαντιστής τροποποιεί το πλάτος της εισόδου σε μια τιμή που αντιπροσωπεύει το διάστημα κβαντισμού στο οποίο βρίσκεται. Συχνά η τιμή που αντιπροσωπεύει ένα διάστημα ποσοτικοποίησης είναι το μέσο του διαστήματος. Σε μερικές περιπτώσεις, το άνω ή το κάτω όριο αντιπροσωπεύουν το διάστημα. Υποθέτοντας ότι X_{max} = μέγιστο πλάτος του σήματος και X_{min} = ελάχιστο πλάτος του σήματος και M ο αριθμός των διαστημάτων κβαντοποίησης, τότε το πλάτος κάθε διαστήματος Δ , δίνεται από την εξίσωση (1.4).

$$\Delta = \frac{X_{FS}}{M}, \text{ where } X_{FS} = X_{MAX} - X_{min} \quad (1.4)$$

Εφόσον η μεσαία τιμή του n -στου διαστήματος $X_{m,n} = (n + \frac{1}{2}) \times \Delta$ αντιπροσωπεύει όλα τα πλάτη των δειγμάτων σε αυτό το διάστημα, κβαντοποιώντας μία τιμή εκτός από $X_{m,n}$ οδηγεί σε σφάλμα. Το σφάλμα αυτό ονομάζεται *σφάλμα κβαντοποίησης*, ϵ_Q . Η έξοδος Y ενός τέτοιου κβαντιστή για είσοδο X_{in} δίνεται από την εξίσωση, όπου $n\Delta < X_{in} < (n + 1)\Delta$.

$$Y = X_{in} + \epsilon_Q = (n + \frac{1}{2})\Delta \quad (1.5)$$

Στο σχήμα (α) στην Εικόνα 1.4 απεικονίζεται η διαδικασία της κβαντοποίησης: το σφάλμα κβαντοποίησης ϵ_Q προστίθεται στην είσοδο ώστε να πτοκύψει η κβαντισμένη έξοδος. Η πρόσθεση είναι γραμμική διαδικασία, όμως ο όρος που προστίθεται είναι μη γραμμική συνάρτηση της εισόδου. Στην Εικόνα 1.4(β), όπου απεικονίζεται το σφάλμα κβαντοποίησης ενός 3-bit κβαντιστή φαίνεται ξεκάθαρα ότι το ϵ_Q παίρνει τιμές από $-\Delta/2$ έως $\Delta/2$. Εκτός του εύρους του σήματος $X_{min} \dots X_{max}$ η έξοδος του κβαντιστή είναι κορεσμένη στις δύο ακραίες τιμές και το σφάλμα κβαντοποίησης αυξάνεται γραμμικά προς τη θετική ή την αρνητική κατεύθυνση. Αν αντί του μέσου του διαστήματος επιλέξουμε ένα από τα δύο άκρα να αντιπροσωπεύει το διάστημα κβαντισμού, τότε το σφάλμα κβαντοποίησης θα είναι $0 \leq \epsilon_Q \leq \Delta$ ή $0 \geq \epsilon_Q \geq -\Delta$, δηλαδή το εύρος του -για σήμα εισόδου εντός του δυναμικού εύρους του κβαντιστή- θα είναι πάλι ίσο με Δ .



Εικόνα 1.4: (α)Σχηματική αναπαράσταση κβαντιστή. (β)Σφάλμα κβαντοποίησης για 3-bit ADC

1.3.3 Θόρυβος

Όπως αναφέρθηκε στην προηγούμενη υποενότητα μετά την κβαντοποίηση του σήματος εισόδου κατά πλάτος αλλοιώνεται η πληροφορία λόγω του σφάλματος κβαντοποίησης. Αύτη η αλλοίωση μαζί με άλλες αποκλίσεις του παραγόμενου σήματος από το αρχικό ερμηνεύεται ως θόρυβος.

Όπως είναι γνωστό η επίδραση του θορύβου ποσοτικοποιείται από τον λόγο της ισχύος του σήματος προς την ισχύ του θορύβου (signal-to-noise ratio) ή αλλιώς SNR.

$$SNR|_{dB} = 10 \log_{10} \frac{P_{sign}}{P_{noise}} \quad (1.6)$$

Θόρυβος Κβαντοποίησης

Μελετώντας την επίδραση της κβαντοποίησης στο σύστημα είναι βολικό να χρησιμοποιήσουμε την έννοια του SNR. Αυτό είναι βιώσιμο μόνο εάν το σφάλμα κβαντοποίησης μπορεί να θεωρηθεί ως θόρυβος. Ωστόσο, αυτό δεν είναι πάντα εφικτό διότι μερικά είδη εισόδων οδηγούν σε σφάλμα κβαντοποίησης που δεν είναι θόρυβος. Για παράδειγμα μία dc είσοδος οδηγεί

σε σταθερό σφάλμα. Επίσης, εάν η είσοδος παραμένει περιορισμένη εντός του ίδιου διαστήματος κβαντοποίησης, το σφάλμα κβαντοποίησης είναι απλώς μια μετατοπισμένη εκδοχή της εισόδου οδηγώντας έτσι σε ένα φάσμα σφάλματος που διαφέρει από το φάσμα σήματος μόνο με έναν όρο dc. Αντίθετα, τα σήματα που προκαλούν επαναλαμβανόμενη διέλευση των ορίων κβαντισμού λειτουργούν καλά με την θεώρηση του σφάλματος κβαντισμού ως θόρυβο. Οι συχνές εναλλαγές στον κώδικα διακοσμούν διαδοχικά δείγματα του σφάλματος κβαντοποίησης, διαστέλλοντας έτσι το φάσμα και κάνοντάς το σαν θόρυβο. Επομένως σήματα με μεγάλα πλάτη είναι οι καταλληλότεροι «υποψήφιοι» για την θεώρηση αυτή του σφάλματος κβαντοποίησης.

Αυστηρότερα, για την θεώρηση αυτή πρέπει να ισχύουν οι παρακάτω συνθήκες:

- Όλα τα διαστήματα κβαντοποίησης να έχουν την ίδια πιθανότητα
- Να χρησιμοποιείται μεγάλος αριθμός διαστημάτων κβαντοποίησης
- Το βήμα κβαντισμού να είναι ομοιόμορφο
- Το σφάλμα κβαντοποίησης να μη συσχετίζεται με το σήμα εισόδου

Ένα σήμα μεγάλου πλάτους πραγματοποιεί την 1^η συνθήκη. Η 2^η εκπληρώνεται όταν ο κβαντιστής έχει αρκετά bits, πράγμα που ισχύει στους περισσότερους μετατροπείς δεδομένων. Ωστόσο, μία βασική κατηγορία μετατροπέων (Σ - Δ) χρησιμοποιεί πολύ λίγα επίπεδα κβαντισμού, συχνά μόνο δύο: 1-bit. Συνεπώς, για αυτή την κατηγορία μετατροπέων δεν τηρείται η 2^η συνθήκη ώστε να περιγραφεί το σφάλμα κβαντισμού ως επιπρόσθετος θόρυβος. Ωστόσο, τα πλεονεκτήματα από μία τέτοια θεώρηση του σφάλματος κβαντοποίησης είναι τέτοια, ώστε με λίγη προσοχή, οι σχεδιαστές χρησιμοποιούν την προσέγγιση αυτή.

Οι περισσότεροι κβαντιστές συμμορφώνονται με την τρίτη απαίτηση. Μόνο μερικοί μετατροπείς δεδομένων χρησιμοποιούν μη γραμμική απόκριση (όπως η λογαριθμική απόκριση που χρησιμοποιείται στην τηλεφωνία για την κωδικοποίηση ακουστικών σημάτων). Ακόμη και ο τελευταίος κανόνας συνήθως επαληθεύεται. Ωστόσο, εάν η είσοδος του μετατροπέα δεδομένων είναι ένα ημιτονοειδές σήμα, όπως συνήθως χρησιμοποιείται για τις δοκιμές, μια ακατάλληλη επιλογή συχνότητας μπορεί να είναι προβληματική: όταν ο λόγος μεταξύ της συχνότητας δειγματοληψίας και της συχνότητας ημιτονοειδούς σήματος εισόδου είναι ρητός αριθμός, ο θόρυβος κβαντισμού συσχετίζεται με την είσοδο.

Για να ποσοτικοποιήσουμε τα παραπάνω πρέπει να υπολογίσουμε την μέση χρονική τιμή της ισχύος θορύβου. Για τον σκοπό αυτό υποθέτουμε ομοιόμορφη κατανομή με σταθερή συνάρτηση πυκνότητας πιθανότητας $p(\epsilon_Q)$ στο διάστημα $-\Delta/2 \cdots \Delta/2$ και 0 εκτός του

διαστήματος αυτού. Η 1^η συνθήκη που αναφέρθηκε παραπάνω επαληθεύει αυτή την υπόθεση.

$$p(\epsilon_Q) = 1/\Delta \text{ για } \epsilon_Q \in \left(-\frac{\Delta}{2}, \frac{\Delta}{2}\right) \quad (1.7)$$

$$p(\epsilon_Q) = 0 \text{ αλλού}$$

Η χρονική μέση τιμή της ισχύος του ϵ_Q δίνεται από την εξίσωση (1.8) :

$$P_Q = \int_{-\infty}^{+\infty} \epsilon_Q^2 p(\epsilon_Q) d\epsilon_Q = \int_{-\Delta/2}^{\Delta/2} \frac{\epsilon_Q^2}{\Delta} d\epsilon_Q = \frac{\Delta^2}{12} \quad (1.8)$$

Η ισχύς ενός ημιτονοειδούς σήματος με πλάτος $X_{FS}/2$ (σήμα εντός του δυναμικού εύρους X_{FS}) είναι

$$P_{sin} = \int_0^{2\pi} \left(\frac{X_{FS}}{2} \sin(\theta)\right)^2 d\theta = \frac{X_{FS}^2}{8} = \frac{(\Delta * 2^n)^2}{8} \quad (1.9)$$

Συνεπώς συνδυάζοντας τις (1.8) και (1.9) ο λόγος σήματος προς θόρυβο, SNR, γίνεται

$$SNR|_{dB} = (6.02n + 1.76) \quad (1.10)$$

Από την εξίσωση (1.10) διαπιστώνουμε ότι το SNR μπορεί να φτάσει μία ανώτατη τιμή ανεξάρτητα από το πόσο καλός θα είναι ο σχεδιασμός του ADC. Αντικαθιστώντας το SNR με SNDR (signal-to-noise-and-distortion ratio δηλαδή προσθέτοντας και την παραμόρφωση από μη γραμμικότητες και ατέλειες ενός πραγματικού συστήματος) λύνοντας ως προς n προκύπτει ένα μέγεθος που λέγεται *ενεργός αριθμός bit* (effective number of bits ή αλλιώς ENOB) ο οποίος δείχνει με τι ανάλυση θα πρέπει να είναι ένας ιδανικός ADC ώστε το SNR του (μόνο με τον θόρυβο κβαντοποίησης) να είναι ίσο με το SNDR του πραγματικού ADC. Ο ENOB είναι πάντα μικρότερος από την ονομαστική ανάλυση του ADC.

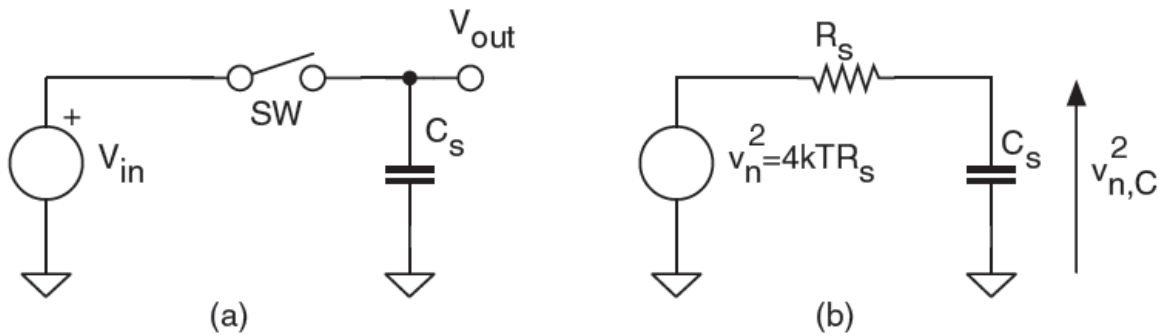
$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (1.11)$$

Θερμικός θόρυβος ή θόρυβος kT/C

Ο θόρυβος κβαντοποίησης είναι ένα θεμελιώδες όριο των μετατροπέων δεδομένων. Ένα άλλο αναπόφευκτο όριο είναι ο θόρυβος kT/C . Εμφανίζεται σε όλα τα πραγματικά συστήματα δειγματοληψίας δεδομένου ότι οφείλεται στον αναπόφευκτο θερμικό θόρυβο που σχετίζεται με το διακόπτη δειγματοληψίας. Είναι προφανές ότι ο θόρυβος kT/C μηδενίζεται μόνον για άπειρη χωρητικότητα δειγματοληψίας ή μηδενική θερμοκρασία, πράγμα αδύνατον. Αυτός είναι ο λόγος για τον οποίο περιγράφεται ως θεμελιώδες όριο κάθε πραγματικού συστήματος δειγματοληψίας.

Η λειτουργία ενός δειγματολήπτη μπορεί να μοντελοποιηθεί από το απλουστευμένο κύκλωμα που φαίνεται στην Εικόνα 1.5(α): αρχικά, που ο διακόπτης είναι κλειστός, η είσοδος V_{in} φορτίζει τον πυκνωτή δειγματοληψίας. Μετά τον χρόνο δειγματοληψίας ανοίγει ο διακόπτης έτσι ο πυκνωτής κρατάει την τάση στα άκρα του. Η αντίσταση που απεικονίζεται στην Εικόνα 1.5(β) αντιπροσωπεύει την R_{on} του διακόπτη και την εσωτερική αντίσταση της πηγής. Για να δουλεύει σωστά το κύκλωμα πρέπει η σταθερά χρόνου του κυκλώματος $\tau_S = R_S C_S$ να είναι αμελητέα σε σχέση με τον χρόνο δειγματοληψίας. Επιπλέον το εύρος ζώνης του σήματος θα πρέπει να είναι αρκετά μικρότερο από $1/\tau_S$.

Στην Εικόνα 1.5(β) παρουσιάζεται το ισοδύναμο κύκλωμα θορύβου. Το φάσμα του θερμικού θορύβου της αντίστασης R_S είναι λευκός θόρηβος με πυκνότητα ισχύος θορύβου $v_{n,R_S}^2 = 4kTR_S$. Η πυκνότητα θορύβου στην έξοδο προκύπτει απ' το βαθυπερατό φιλτράρισμα του θερμικού θορύβου όπως φαίνεται στην εξίσωση (1.12).



Εικόνα 1.5: Μοντέλο δειγματολήπτη και το ισοδύναμο κύκλωμα θορύβου

$$v_{n,C_S}^2(\omega) = \frac{4kTR_S}{1 + (\omega R_S C_S)^2} \quad (1.12)$$

Συνεπώς, μπορούμε τώρα να υπολογίσουμε την ισχύ του θορύβου (εξίσωση (1.13)) που θα πρέπει να προστεθεί στο υπολογισμό του SNR για να εξάγουμε το ENOB.

$$P_{thermal} = \int_0^{\infty} v_{n,C_S}^2(f) df = 4kTR_S \int_0^{\infty} \frac{1}{1 + (2\pi f R_S C_S)^2} df = kT/C_S \quad (1.13)$$

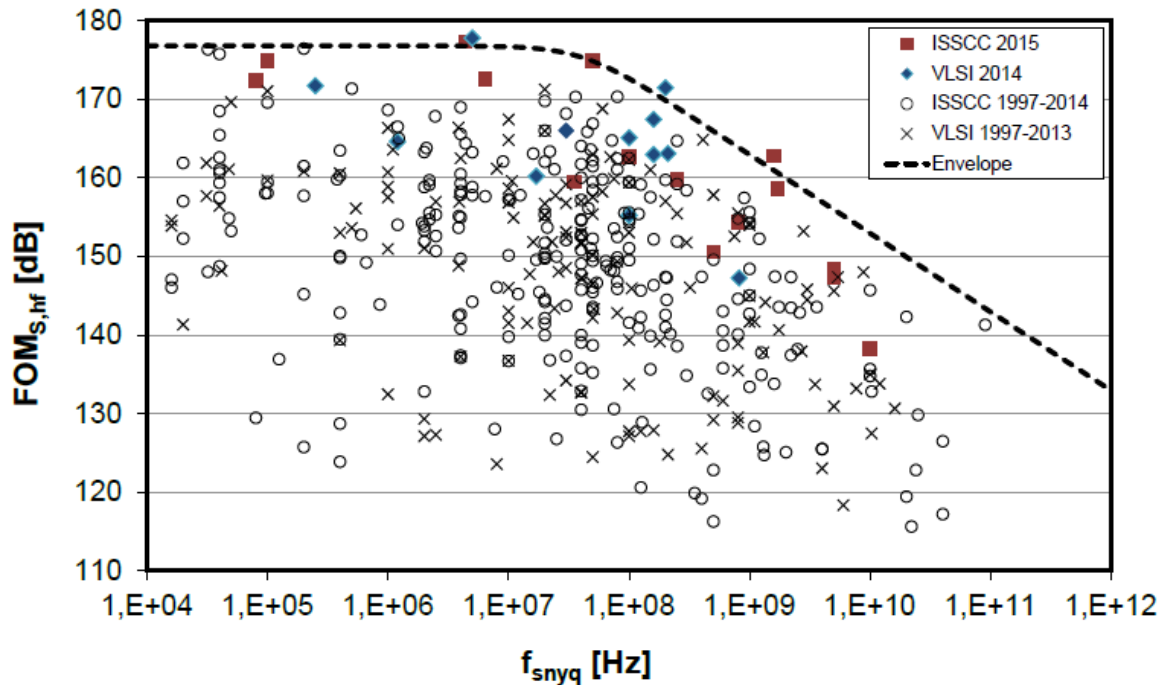
1.3.4 Figure of Merit

Μία μέθοδος για να συγκρίνουμε την απόδοση ως προς την κατανάλωση ισχύος σε ένα σύστημα μετατροπής δεδομένων είναι το *figure of merit* (FoM), το οποίο είναι ένα μέγεθος που ποσοτικοποιεί τα trade-offs μεταξύ των τριών κυριότερων μεγεθών των ADC, που είναι η ανάλυση (ENOB), η καταναλισκόμενη ισχύς και ταχύτητα. Υπάρχουν διάφοροι ορισμοί για το FoM με διαφορετική προσέγγιση ο καθένας για την ποσοτικοποίηση της απόδοσης του συστήματος.

Ένας καλά χρησιμοποιούμενος ορισμός για το FoM είναι ο τύπος του Schreier (FoM_S) όπως ορίζεται στην εξίσωση (1.14), όπου BW είναι το εύρος ζώνης του σήματος εισόδου (για το όριο του ADC είναι το μέγιστο εύρος ζώνης που μπορεί να δεχτεί, δηλαδή $f_s/2$) και P είναι η καταναλισκόμενη ισχύς του συστήματος.

$$FoM_S = SNDR + 10 \log_{10} \left(\frac{BW}{P} \right) \quad [dB] \quad (1.14)$$

Το σχήμα στην είναι το αποτέλεσμα μιας έρευνας πολλών ADC ([2]) και απεικονίζει το FoM_S συναρτήσει της συχνότητας δειγματοληψίας Nyquist που ορίζεται ως το διπλάσιο του εύρους ζώνης του σήματος εισόδου.



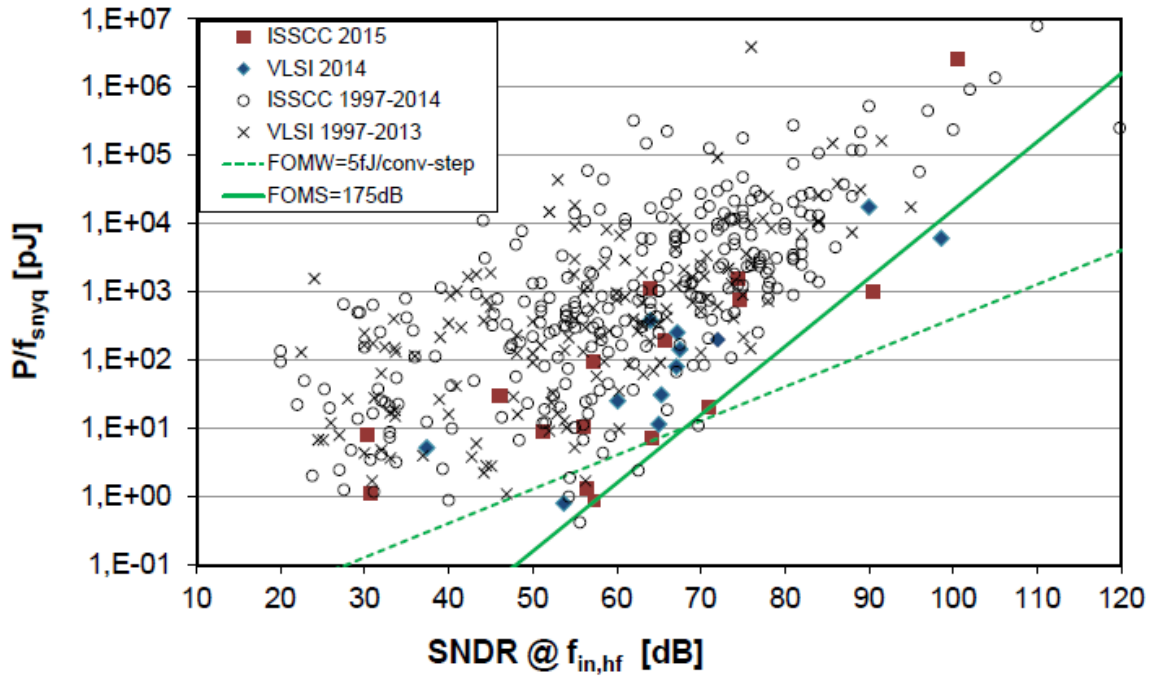
Εικόνα 1.6: Schreier's figure of merit vs Nyquist sampling frequency.

Ένας δεύτερος αρκετά διαδεδομένος ορισμός είναι ο τύπος του Walden (FoM_W), που περιγράφεται στην εξίσωση (1.15) και δείχνει πόση ενέργεια καταναλώνεται σε κάθε κύκλο μετατροπής.

$$FoM_W = \frac{P}{2^{ENOB} * f_S} \quad [J/conv.-step] \quad (1.15)$$

Μετατροπείς υψηλής ανάλυσης συχνά περιορίζονται απ' την επίδραση του θερμικού θορύβου, το οποίο σημαίνει ότι για να επιτευχθεί 1 ψηφίο επιπλέον ανάλυσης πρέπει να τετραπλασιαστεί η ισχύς του συστήματος. Ως προς αυτή την απαίτηση το FoM_S είναι καλύτερη επιλογή για την περιγραφή της απόδοσης του μετατροπέα όσον αφορά το πόσο το SNDR σχετίζεται με την κατανάλωση ισχύος, σε σύγκριση με το FoM_W, το οποίο «ζυγίζει» την ισχύ με συντελεστή 2 για κάθε bit. Η Εικόνα 1.7 δείχνει πως οι state of the art ADCs με υψηλή ανάλυση ακολουθούν τη σταθερή γραμμή FoM_S ενώ ο FoM_W είναι καταλληλότερος για σχεδίαση με χαμηλότερη ανάλυση. Στην παρούσα εργασία κύριος στόχος ήταν η κατανάλωση και η ταχύτητα

και όχι η ανάλυση, οπότε χρησιμοποιήθηκε ο τύπος του Walden για την ποσοτικοποίηση της απόδοσης του ADC.



Εικόνα 1.7: Comparison of Schreier's and Walden's FoM.

2 Αρχιτεκτονικές ADC

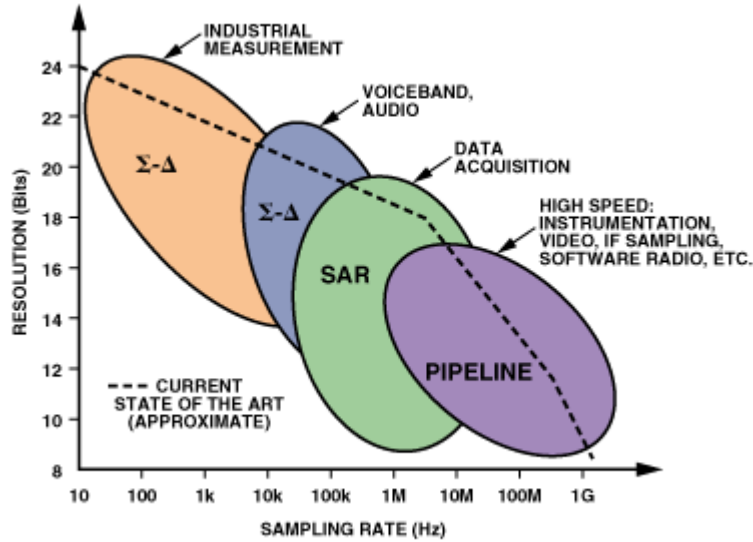
Η εκάστοτε εφαρμογή έχει διαφορετικές απαιτήσεις όσον αφορά τα χαρακτηριστικά της μετατροπής δεδομένων. Είναι η δουλειά του σχεδιαστή να αποφανθεί ποια αρχιτεκτονική είναι η καταλληλότερη για την συγκεκριμένη εφαρμογή. Υπάρχουν δύο βασικές κατηγορίες αρχιτεκτονικών ADC:

- Nyquist Rate ADC
 - Pipeline ADC
 - Successive Approximation ADC
- Oversampling ADC
 - Sigma-Delta ADC

Οι περισσότερες εφαρμογές ADC σήμερα μπορούν να ταξινομηθούν σε τέσσερα ευρεία τμήματα της αγοράς:

- a) Data acquisition
- b) Precision industrial measurement
- c) Voiceband and audio
- d) “High speed” (implying sampling rate greater than 5 MSPS)

Ένα μεγάλο ποσοστό αυτών των εφαρμογών καλύπτεται από τις τρεις βασικές αρχιτεκτονικές μετατροπέων δεδομένων που αναφέρθηκαν παραπάνω. Η κατηγοριοποίηση στην Εικόνα 2.1 δείχνει πως σε γενικές γραμμές οι εφαρμογές αυτές και οι τρεις κατηγορίες ADC που παρουσιάστηκαν παραπάνω σχετίζονται με την ανάλυση (κατακόρυφος άξονας) και την ταχύτητα δειγματοληψίας (οριζόντιος άξονας). Η κατανόηση της λειτουργίας των τριών αυτών αρχιτεκτονικών είναι κομβικής σημασίας για την επιλογή της καταλληλότερης αρχιτεκτονικής για την εκάστοτε εφαρμογή. Σε αυτό το κεφάλαιο θα αναλύσουμε τα χαρακτηριστικά και την βασική λειτουργία των αρχιτεκτονικών αυτών, καθώς και τα μειονεκτήματα και πλεονεκτήματα της κάθε μίας.



Εικόνα 2.1: Αρχιτεκτονικές ADC, εφαρμογές, ανάλυση και συχνότητα δειγματοληψίας [3].

Ανάλογα με το εύρος ζώνης του σήματος εισόδου, οι μετατροπείς δεδομένων Nyquist-rate είναι δυνατόν να απαιτούν έναν ή περισσότερους κύκλους ρολογιού για να εφαρμόσουν τον αλγόριθμο μετατροπής. Δεδομένου ότι τα μικρά εύρη ζώνης επιτρέπουν μακρές περιόδους μετατροπής, ο αλγόριθμος μπορεί να χρησιμοποιεί ρολόγια υψηλής συχνότητας με την περίοδο δειγματοληψίας να παρατείνεται σε πολλούς κύκλους ρολογιού. Αντίθετα, για μεγάλα εύρη ζώνης είναι απαραίτητο να μεγιστοποιηθεί ο χρόνος που απαιτείται για τη λειτουργία του κυκλώματος και έτσι ο αριθμός των χρονικών περιόδων που απαιτούνται για την εφαρμογή του αλγορίθμου πρέπει να είναι ο ελάχιστος δυνατός.

Είναι χρήσιμο να εκτιμηθεί, ακόμη και κατά προσέγγιση, η μέγιστη συχνότητα λειτουργίας των ADC υψηλής ταχύτητας. Για αυτό ξεκινάμε από την ταχύτητα της τεχνολογίας ή, καλύτερα, από την συχνότητα μοναδιαίου κέρδους της τεχνολογίας, f_{Tech} της οποίας η τιμή καθορίζει το μέγιστο δυνατό εύρος ζώνης μοναδιαίου κέρδους (f_T) ενός op-amp ή ενός OTA. Η f_T είναι μικρότερη από την f_{Tech} κατά ένα παράγοντα α , ο οποίος είναι τουλάχιστον 2-4, αλλά τελικά, εξαρτάται από την επιθυμητή ακρίβεια του μετατροπέα.

Δεδομένου ότι η μετατροπή από αναλογικό σε ψηφιακό χώρο είναι ένα σύστημα δειγματοληψίας, είναι απαραίτητο να παρέχεται αρκετός χρόνος για τη ρύθμιση (settling time) των αναλογικών σημάτων, απαιτώντας έτσι ένα κατάλληλο περιθώριο, γ , μεταξύ της f_T του opamp

και της συχνότητας ρολογιού.

Προκειμένου να εκτιμήσουμε το γ υποθέτουμε ότι η είσοδος $V_{in}(t)$ είναι η βηματική στο $t = 0$. Με προσεγγυση ενός πόλου η έξοδος που δημιουργείται δίνεται από

$$V_{out}(t) = V_{in}(t)(1 - e^{-t/\tau}) \quad (2.1)$$

όπου η σταθερά χρόνου τ είναι

$$\tau = \frac{1}{2\pi\beta f_T} \quad (2.2)$$

και β είναι ο συντελεστής ανάδρασης του op-amp ή του OTA.

Δεδομένου ότι ένας ADC n-bit χρειάζεται ακρίβεια μεγαλύτερη από $2^{-(n+1)}$, το settling time πρέπει να είναι $t_{sett} > \tau(n+1)\ln(2)$. Γι' αυτό, εφόσον ο χρόνος για ρύθμιση του σήματος πρέπει να είναι μισή περίοδος ρολογιού, έχουμε ως αποτέλεσμα

$$f_{CK} < \frac{\pi\beta f_T}{(n+1)\ln(2)} \quad (2.3)$$

$$\gamma = \frac{f_T}{f_{CK}} > \frac{(n+1)\ln(2)}{\pi\beta} \quad (2.4)$$

Η προβλεπόμενη τάξη του anti-aliasing φίλτρου θέτει ένα δεδομένο περιθώριο λ , το οποίο είναι ο λόγος μεταξύ του ρυθμού δειγματοληψίας και του εύρους ζώνης σήματος. Επιπλέον, επειδή ο αλγόριθμος μετατροπής μπορεί να χρησιμοποιήσει πολλαπλές χρονικές περιόδους ($\pi\chi k$), ο ρυθμός μετατροπής δίνεται από το $f_{CK}/(\lambda k)$.

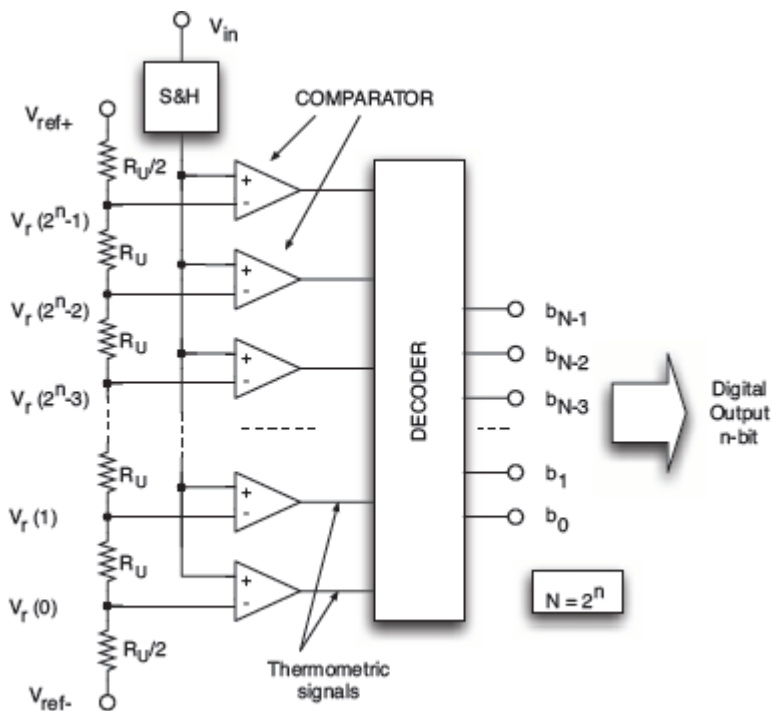
2.1 Full-Flash ADC

Ο παλαιότερος και απλούστερος από άποψη λειτουργίας ADC είναι Full-Flash ADC, ο οποίος σήμερα χρησιμοποιείται ως ένα μπλοκ δομής για άλλες πιο πολύπλοκες αρχιτεκτονικές όπως ο ADC σωλήνωσης (pipeline ADC από εδώ και πέρα) όπως θα συζητήσουμε αργότερα.

Η ιδέα πίσω απ' την A/D μετατροπή σε έναν Flash ADC είναι πολύ απλή. Αρχικά, όπως σε όλους τους ADC, το πρώτο μπλοκ είναι ο δειγματολήπτης. Μετά από αυτό, υπάρχει ένας συγκριτής για κάθε επιθυμητό επίπεδο αναφοράς πλάτους του σήματος, προκειμένου να κβαντιστεί το επίπεδο του σήματος. Το αποτέλεσμα των συγκρίσεων μεταξύ του σήματος εισόδου

και των επιπέδων κβαντοποίησης επισημαίνει το όριο στο οποίο το σήμα εισόδου είναι μεγαλύτερο από ένα από τα κατώτατα όρια που παρέχουν πληροφορίες που μπορούν να μεταφραστούν σε ψηφιακό κώδικα. Αυτή η "brute force" προσέγγιση είναι αυτό που κάνει την Flash αρχιτεκτονική να είναι η απλούστερη. Το όνομα της μεθόδου προέρχεται από το γεγονός ότι όλοι οι συγκριτές λειτουργούν παράλληλα, μετατρέποντας έτσι γρήγορα το σήμα εισόδου (όπως ένα φλας) θεωρητικά σε μια περίοδο ρολογιού.

Ένας κβαντοποιητής n-bit προσδιορίζει τους 2^n κόδους (στάθμες) με $2^n - 1$ σημεία μετάβασης. Ως εκ τούτου, η αρχιτεκτονική που εμφανίζεται στην Εικόνα 2.2 απαιτεί $2^n - 1$ τάσεις αναφοράς και $2^n - 1$ συγκριτές οι οποίοι δίνουν έξοδο λογικό 1 μέχρι ένα δεδομένο επίπεδο και λογικό 0 παραπάνω. Ένας αποκωδικοποιητής ROM (ή ισοδύναμο κύκλωμα) μπορεί στη συνέχεια να μεταφράσει αυτή την θερμομετρική αναπαράσταση σε μια ψηφιακή έξοδο n-bit.



Εικόνα 2.2: Basic block diagram of the full-flash converter [1].

2.1.1 Τάσεις Αναφοράς

Ο απλούστερος τρόπος για να δημιουργήσει κανείς τις τάσεις αναφοράς είναι να χρησιμοποιήσει έναν αντιστατικό διαιρέτη Κέλβιν που συνδέεται μεταξύ των θετικών και των αρνητικών τάσεων τροφοδοσίας, V_{ref+} , V_{ref-} . Ορισμένες υλοποιήσεις, όπως αυτή που εμφανίζεται στην Εικόνα 2.2, χρησιμοποιούν $R_U/2$ ως τελικά στοιχεία που οδηγούν σε μια i -ωστη τάση αναφοράς ίση με

$$V_r(i) = V_{ref-} \frac{i - 1/2}{2^n - 1} (V_{ref+} + V_{ref-}), i = 1 \dots 2^n - 1 \quad (2.5)$$

Το βήμα ποσοτικοποίησης είναι το δυναμικό εύρος διαιρούμενο με $2^n - 1$, $\Delta = (V_{ref+} - V_{ref-}) / (2^n - 1)$ με πρώτο και τελευταίο διάστημα ποσοτικοποίησης ίσο με $\Delta/2$.

Τα τυχαία και συστηματικά σφάλματα επηρεάζουν τις παραγόμενες τάσεις αναφοράς όπως συμβαίνει όταν ο διαιρέτης Κέλβιν χρησιμοποιείται ως DAC. Ως εκ τούτου, για έναν φλας τύπου μετατροπέα, είναι απαραίτητο να χρησιμοποιείται το ίδιο υλικό αντίστασης, να χρησιμοποιούνται προσαρμοσμένες επαφές και μεταλλικές διασυνδέσεις, και να διασφαλιστεί ο ίδιος προσανατολισμός των αντιστάσεων στη διάταξη. Η αναμενόμενη προσαρμογή με τις σύγχρονες τεχνολογίες είναι της τάξης του 0,1-0,05% που επιτρέπει περίπου 10-11 bit ακρίβειας χωρίς trimming.

Περαιτέρω σφάλματα προκύπτουν λόγω πιθανής διαβάθμισης της θερμοκρασίας κατά μήκος του διαιρέτη τάσης. Ο συντελεστής θερμοκρασίας σε ολοκληρωμένες αντιστάσεις εξαρτάται από το υλικό που χρησιμοποιείται και μπορεί να είναι τόσο μεγάλο όσο 10,000 ppm/°C. Έτσι, μια γραμμική μετατόπιση της θερμοκρασίας 7°C κατά μήκος της της σειράς αντιστάσεων μπορεί να προκαλέσει 1 LSB INL αύξηση για έναν μετατροπέα 7bit. Επίσης, αλλά λιγότερο σημαντικό, ο συντελεστής τάσης οδηγεί σε αλλαγή των τιμών αντίστασης κατά μήκος του διαιρέτη. Δεδομένου ότι η αντίσταση αλλάζει σχεδόν αναλογικά με την πτώσης τάση σε όλον τον διαιρέτη το αποτέλεσμα είναι ισοδύναμο με μια γραμμική διαβάθμιση.

Μια άλλη σημαντική παράμετρος σχεδιασμού είναι η τιμή της μοναδιαίας αντίστασης που θα χρησιμοποιηθεί στη γεννήτρια αναφοράς. Τα διάφορα taps του διαιρέτη συνδέονται με ένα συγκριτή που μπορεί συχνά να λειτουργήσει ως ένα φορτίο χρονοπαραλλαγής. Ο διαιρέτης πρέπει να αντιδρά στο μεταβλητό φορτίο του συγκριτή για να τραβήξει πίσω τις τάσεις των taps σε ακρίβεια μικρότερη από μισό LSB πριν από την latch phase. Ο τύπος του συγκριτή, και η ταχύτητα

και η ανάλυση του μετατροπέα και ο προϋπολογισμός ισχύος του είναι τα στοιχεία που, μέσω της προσομοίωσης, καθορίζουν τη βέλτιστη τιμή της αντίστασης.

2.1.2 Το Offset των Συγκριτών

Δεδομένου ότι το offset του συγκριτή προστίθεται στην διαφορική είσοδο τροποποιεί το κατώφλι μετάβασης. Ως εκ τούτου, σε μια Flash αρχιτεκτονική το offset του i -οστού και το $(i-1)$ -οστού συγκριτή μεταβάλλει το i -οστό διάστημα κβαντισμού, το οποίο γίνεται

$$\Delta_i = V_{thr,i} - V_{thr,i-1} = \Delta - V_{os,i} + V_{os,i-1} \quad (2.6)$$

Για να εξασφαλιστεί ότι δεν λείπουν κωδικοί ή μονοτονία για μια δεδομένη απόδοση, η μέγιστη τιμή της μετατόπισης πρέπει να είναι χαμηλότερη από $1/2\text{LSB}$ διαιρούμενη με τον αριθμό Σίγμα που απαιτούνται για την απόκτηση αυτής της απόδοσης. Έτσι, για παράδειγμα, ένα Flash 8-bit με πλήρη κλίμακα 1 V απαιτεί μετατόπιση (offset) σύγκρισης χαμηλότερη από 0,6 mV για να εξασφαλιστεί απόδοση 99,9%, καθώς το αντίστοιχο σίγμα με κανονική κατανομή των σφαλμάτων είναι $\sigma = 3,3$.

Δεδομένου ότι η αντιστάθμιση προκαλείται κυρίως από τον προενισχυτή του συγκριτή, είναι απαραίτητο να σχεδιάσετε σωστά αυτό το πρώτο στάδιο και να βελτιστοποιήσετε τη διάταξη για να έχετε ένα ελάχιστο όριο, την παράμετρο διαγωγιμότητας μCox και τα mismatches στον λόγο (W/L) στο διαφορικό ζεύγος εισόδου και τα ενεργά φορτία. Το σφάλμα κατωφλίου V_{th} εξαρτάται από το εμβαδό της πύλης και εκτιμάται από

$$\Delta V_{th} = \frac{A_{VT}}{\sqrt{WL}} \quad (2.7)$$

Εάν το μήκος των τρανζίστορ MOS είναι κοντά στο ελάχιστο, τότε το μCox και οι αναντιστοιχίες $\Delta W/W$ είναι αμελητέες και πολύ χαμηλότερες από τη σχετική ασυμφωνία μήκους $\Delta L/L$. Αυτό το σφάλμα πολλαπλασιασμένο με I_D/g_m (ρεύμα και διαγωγιμότητα του διαφορικού ζεύγους εισόδου) καθορίζει το input referred offset. Δεδομένου ότι οι πηγές μετατόπισης που προκαλούνται από το κατώτατο όριο και τη ασυμφωνία $\Delta L/L$ δεν συσχετίζονται, η υπερθέση τους δίνει

$$V_{os,MOS} = \sqrt{\frac{A_{VT}^2}{WL} + \left[\frac{V_{GS} - V_{Th}}{2}\right]^2 \frac{\Delta L^2}{L^2}} \quad (2.8)$$

Το διπολικό ομόλογό του (4,16) υπερθέτει τετραγωνικά το mismatch V_{BE} και το σφάλμα που αντιστοιχεί στο mismatch του εμβαδού του εκπομπού

$$V_{os,BJT} = \sqrt{\Delta V_{BE}^2 + \left(\frac{kT}{q}\right)^2 \frac{\Delta A^2}{A^2}} \quad (2.9)$$

Ο 1^{ος} όρος είναι μικρός καθώς εξαρτάται από το mismatch του ρεύματος εκπομπού. The first term is small as it depends on the emitter current mismatch ΔI_E that hands $\Delta V_{BE} = V_{BE} \log \left[1 + \frac{\Delta I_E}{I_E}\right]$. Ο δεύτερος όρος είναι επίσης μικρός σε σύγκριση με τον ομόλογό του MOS, επειδή το mismatch εμβαδού είναι μικρότερο από το mismatch μήκους · επιπλέον, ο πολλαπλασιαστικός συντελεστής είναι $kT/q = VT = 26 \text{ mV}$ αντί της μισής τάσης υπεροδήγησης του MOS. Κατά συνέπεια, το offset των συγκριτών με BJT είναι σχετικά μικρότερο από αυτό των CMOS συγκριτών.

2.1.3 Πρακτικοί Περιορισμοί

Η ταχύτητα και η ανάλυση των μετατροπέων Full Flash εξαρτώνται από μια σειρά ζητημάτων που καθορίζουν ένα πρακτικό όριο για τη χρήση της αρχιτεκτονικής. Το πρώτο πρόβλημα είναι η απαίτηση μικρής μοναδιαίας αντίστασης για τον διαιρέτη Κελβιν, ώστε να επιτευχθεί υψηλή ανάλυση και ταχύτητα μετατροπής. Με τη σειρά της, μια χαμηλή αντίσταση φορτίου του διαιρέτη απαιτεί μια τάση αναφοράς με πολύ χαμηλή σύνθετη αντίσταση εξόδου για συχνότητες από την DC στη συχνότητα δειγματοληψίας. Για αυτό υπάρχουν δύο πιθανές προσεγγίσεις: η χρήση μιας εξωτερικής αναφοράς με ένα solid φίλτρο on-chip ικανό να κάνει ντάμπινγκ κάθε κουδούνισμα που προκαλείται από την επαγωγή συγκόλλησης, ή χρησιμοποιώντας μια αναφορά on-chip που γίνεται από ένα band-gap και έναν buffer πολύ χαμηλής αντίστασης. Και οι δύο μέθοδοι είναι κατάλληλες για μέτρια ταχύτητα και επίδοση, ωστόσο ακριβείς και σταθερές τάσεις αναφοράς γίνονται κρίσιμο ζήτημα για τη σχεδίαση μετατροπέα άνω των 8 bits και ταχύτητα μετατροπής στο εύρος των 100 MS/s.

Ένα άλλο πρακτικό όριο που καθορίζει τη μέγιστη ανάλυση είναι η εκθετική αύξηση της πολυπλοκότητας του κυκλώματος με τον αριθμό των bits: κάθε επιπλέον bit διπλασιάζεται τόσο η περιοχή πυριτίου όσο και, το σημαντικότερο, η κατανάλωση ενέργειας. Αν και η μεγάλη περιοχή

μπορεί να γίνει δεκτή, η ισχύς είναι μια πολύ σημαντική παράμετρος σχεδιασμού, επειδή οι προδιαγραφές οποιουδήποτε συστήματος καθορίζουν τον προϋπολογισμό ισχύος ο οποίος, με τη σειρά του, καθορίζει την ισχύ για τον μετατροπέα δεδομένων του οποίου η αξία περιορίζει τη μέγιστη ανάλυση για το συχνότητα του ρολογιού του χρήστη.

Ένα άλλο σημαντικό όριο είναι το φορτίο χωρητικότητας στην είσοδο του sample-and-hold που προκαλείται από τα παρασιτικά ενός μεμονωμένου συγκριτή πολλαπλασιαζόμενο με τον αριθμό των συγκριτών. Πράγματι, τα παράσιτα ενός συγκριτή που προκαλούνται από το τρανζίστορ εισόδου είναι συνήθως πολύ χαμηλά, αλλά το συνολικό αποτέλεσμα, για πολλά bit, γίνεται σημαντικό. Εάν η χωρητικότητα ενός μεμονωμένου συγκριτή είναι, για παράδειγμα, 10 fF το χωρητικό φορτίο του S&H που προκαλείται από ένα φλας 8-bit είναι 2,5 pF, μια μεγάλη τιμή αν η συχνότητα του ρολογιού είναι πολλές εκατοντάδες MHz.

Ένα άλλο κρίσιμο ζήτημα αφορά το ρεύμα που πρέπει να δώσει το S&H για τη φόρτιση ή την αποφόρτιση των χωρητικότητας των συγκριτών. Το φορτίο στις παρασιτικές χωρητικότητες μετά τη δειγματοληψία των τάσεων αναφοράς είναι $2^n C_p V_{ref} / 2$. Μία είσοδος πλήρους εύρους τάσης τραβάει το ίδιο φορτίο από το S&H που πρέπει να παρέχεται σε κλάσμα α της περιόδου μέτρησης. Ο παραγόμενος παλμός ρεύματος εξαρτάται από την ταχύτητα του S&H, αλλά η μέγιστη τιμή του είναι

$$I_{S\&H,peak} > \frac{f_s 2^n C_p \Delta V_{in,max}}{2\alpha} \quad (2.10)$$

Για $\Delta V_{in,max} = 1 V$, $2^n C_p = 2.5 pF$, $\alpha = 0.1$ και $f_s = 500 MHz$ το ρεύμα του S&H ξεπερνάει τα $6.25 mA$.

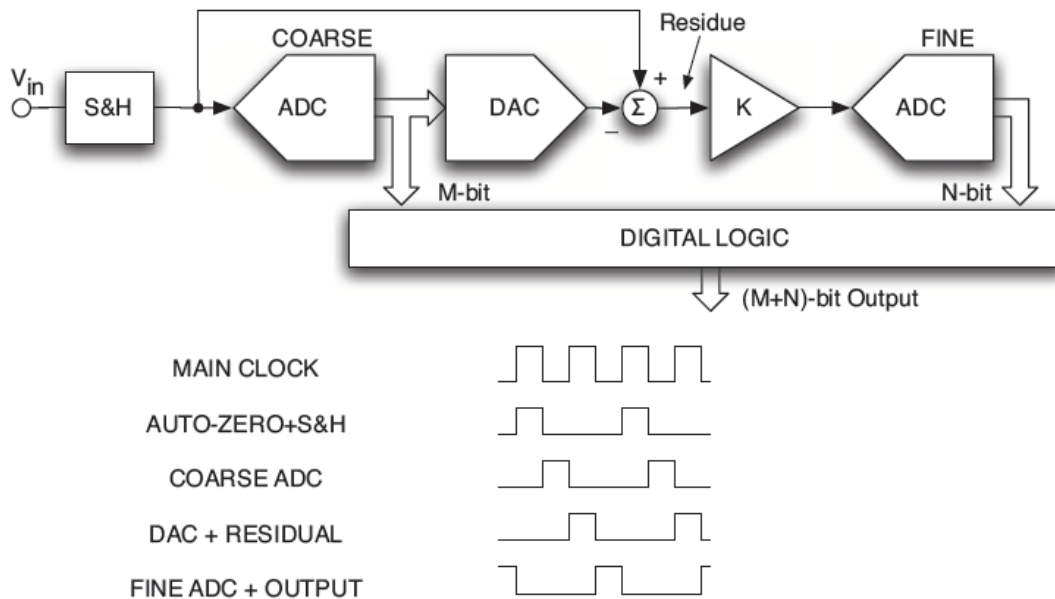
Τα όρια που συζητήθηκαν παραπάνω είναι τέτοια που με τις παρούσες τεχνολογίες δεν είναι πρακτικό να σχεδιάσετε ένας Full-Flash 8 bit με ταχύτητες μετατροπής υψηλότερες από 500 MS/s ή ένας 6-bit που λειτουργεί σε περισσότερα από 2 GS/s.

2.2 Sub-Ranging και Two-step Μετατροπείς

Όταν η ανάλυση είναι υψηλότερη από 8-bit, τότε αντί για ένα full flash, μπορεί να είναι πιο βολικό να χρησιμοποιηθεί ένας sub-ranging ή two-step αλγόριθμος που εξασφαλίζουν καλύτερο trade-off ταχύτητας-ακριβείας. Για την εφαρμογή sub-ranging ή two-step αλγορίθμου απαιτούνται δύο (ή τρεις) περίοδοι ρολογιού για την ολοκλήρωση της μετατροπής, αλλά

χρησιμοποιούν μικρότερο αριθμό συγκριτών με αποτέλεσμα να επωφελούνται ως προς την περιοχή πυριτίου, την κατανάλωση ισχύος και τη φόρτωση παρασιτικής χωρητικότητας στο S&H.

Η Εικόνα 2.3 δείχνει το βασικό σχήμα μιας τέτοιας εφαρμογής. Χρησιμοποιεί ένα sample-and-hold στην είσοδο για να οδηγήσει έναν M-bit μετατροπέα Flash που υπολογίζει το MSBs (coarse conversion). Ο DAC στη συνέχεια μετατρέπει τα M-bits πίσω σε ένα αναλογικό σήμα το οποίο αφαιρείται από τη κρατούμενα εισόδου για να δώσει το σφάλμα κβαντοποίησης coarse (ονομάζεται επίσης το υπόλειμμα). Στη συνέχεια, το υπόλειμμα μετατρέπεται σε ψηφιακό από ένα δεύτερο φλας N-bits που αποδίδει το LSB (fine conversion). Η ψηφιακή λογική συνδυάζει coarse και fine αποτελέσματα για να αποκτήσει την έξοδο n = (M + N)-bit.



Εικόνα 2.3: Μπλοκ Διάγραμμα sub-ranging ($K=1$) και two-step αρχιτεκτονικών ($K>1$).

Η χρήση του σταδίου ενίσχυσης διαφοροποιείται μεταξύ των δύο αρχιτεκτονικών καθώς η sub-ranging δε χρησιμοποιεί καθόλου ενίσχυση. Το κέρδος του ενισχυτή που χρησιμοποιείται στη μέθοδο δύο βημάτων αυξάνει το πλάτος του υπολείμματος για καλύτερη εκτίμηση του LSB τμήματος. Επιπλέον, εάν το κέρδος ισούται με 2^M , το δυναμικό εύρος του ενισχυμένου υπολείμματος ισούται με εκείνο της εισόδου που καθιστά δυνατή την κοινή χρήση των τάσεων αναφοράς μεταξύ των coarse και fine flash μετατροπέων.

Η Εικόνα 2.3 δείχνει τον έλεγχο χρονισμού της αρχιτεκτονικής μετατροπής δύο βημάτων (ή της sub-ranging) που απαιτεί τέσσερα λογικά σήματα που παράγονται από το κύριο ρολόι: auto-zero and S&H, coarse ADC conversion, DAC plus residue generation, and fine conversion plus output. Υποθέτοντας ότι η μισή περίοδος ρολογιού είναι αρκετή για να επιτύχει κάθε λειτουργία ή ομάδα λειτουργιών, ο αλγόριθμος χρειάζεται δύο περιόδους ρολογιού. Σε ορισμένες περιπτώσεις, ο μετατροπέας χρησιμοποιεί τρεις χρονικές περιόδους, όταν είναι απαραίτητο να χρησιμοποιηθεί μια συγκεκριμένη χρονοϋποδοχή για μία από τις συνδυασμένες λειτουργίες ή για να αντιστοιχιστούν δύο χρονικές υποδοχές σε ένα κρίσιμο βήμα.

Είναι προφανές ότι ο αριθμός των συγκριτών που απαιτούνται για την αρχιτεκτονική δύο βημάτων και sub-ranging είναι πολύ χαμηλότερος από τον αριθμό που απαιτείται για μια αρχιτεκτονική full-flash. Για παράδειγμα, για 8-bits $M = N = 4$ το σχήμα χρησιμοποιεί $2(2^4 - 1) = 30$ συγκριτές, η οποία είναι 8 φορές μικρότερη από $(2^8 - 1) = 255$ συγκριτές που απαιτούνται από το ομόλογό του full-flash 8-bit. Η περιοχή πυριτίου και η ισχύς που έχουν εξοικονομηθεί είναι πολύ περισσότερο από ό, τι απαιτείται για τον σχεδιασμό του DAC και της γεννήτριας υπολειμμάτων. Επιπλέον, το S&H φορτώνεται μόνο με 2^M συγκριτές.

Το προφανές μειονέκτημα είναι η μειωμένη ισοτιμία που απαιτείται για τη χρήση δύο ή τριών περιόδων ρολογιού για την ολοκλήρωση της μετατροπής. Ωστόσο, δεδομένου ότι η ταχύτητα του S&H είναι η συμφόρηση της μεσαίας ανάλυσης full-flashes, το ρολόι του sub-ranging σχήματος μπορεί να καταλήξει να είναι υψηλότερο από αυτό του full flash, καθώς η μειωμένη παρασιτική χωρητικότητα επιτρέπει ταχύτερο S&H.

2.3 Pipeline ADC

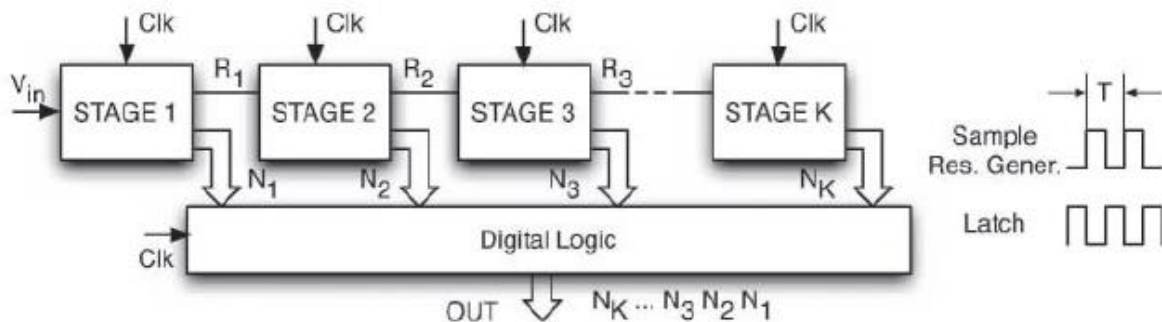
Ένας pipelining μετατροπέας δεδομένων χρησιμοποιεί μία αλυσίδα μεμονωμένων σταδίων, το καθένα από τα οποία εκτελεί μία από τις στοιχειώδεις λειτουργίες που απαιτούνται από έναν διαδοχικό αλγόριθμο. Ουσιαστικά, το pipeline καταλήγει στο διάστημα αυτό που πρέπει να γίνει με την πάροδο του χρόνου από ένα διαδοχικό σχέδιο.

Η απλούστερη διαδοχική μέθοδος είναι ο αλγόριθμος δύο βημάτων που χρησιμοποιεί δύο περιόδους ρολογιού, μία για τη μετατροπή των MSBs και η άλλη για τα LSBs. Η pipeline έκδοση του δύο βημάτων λαμβάνει MSBs και LSBs σε ένα μόνο χρονικό διάστημα με την αναδιάταξη

του ελέγχου χρονισμού που δίνεται στην Εικόνα 2.3: το πρώτο στάδιο δειγματοληπτεί και καθορίζει τα MSBs ενός δείγματος εισόδου, ενώ το δεύτερο στάδιο υπολογίζει το υπόλειμμα και τα LSBs του προηγούμενου δείγματος. Ταυτόχρονα, η ψηφιακή λογική συναρμολογεί τα bits και παρέχει την ψηφιακή έξοδο του δείγματος που εισήλθε δύο κύκλους ρολογιού πριν. Παρατηρήστε ότι η μέθοδος δύο βημάτων μπορεί να επεκταθεί σε έναν αλγόριθμο πολλών βημάτων και να υλοποιηθεί ως αρχιτεκτονική pipeline.

Ένας άλλος διαδοχικός αλγόριθμος που μπορεί να υλοποιηθεί σε pipeline είναι ο successive approximation. Η διοχέτευση (pipeline) λαμβάνει ένα bit ανά στάδιο αντί για ένα bit ανά περίοδο ρολογιού. Κάθε στάδιο παράγει δύο εξόδους: το απαιτούμενο bit, και τη διαφορά μεταξύ της εισόδου και του εσωτερικού DAC, το υπόλειμμα. Η ακρίβεια των αναλογικών σημάτων πρέπει να συμμορφώνεται με τον αριθμό των bit που θα καθοριστούν από αυτό το στάδιο και έπειτα.

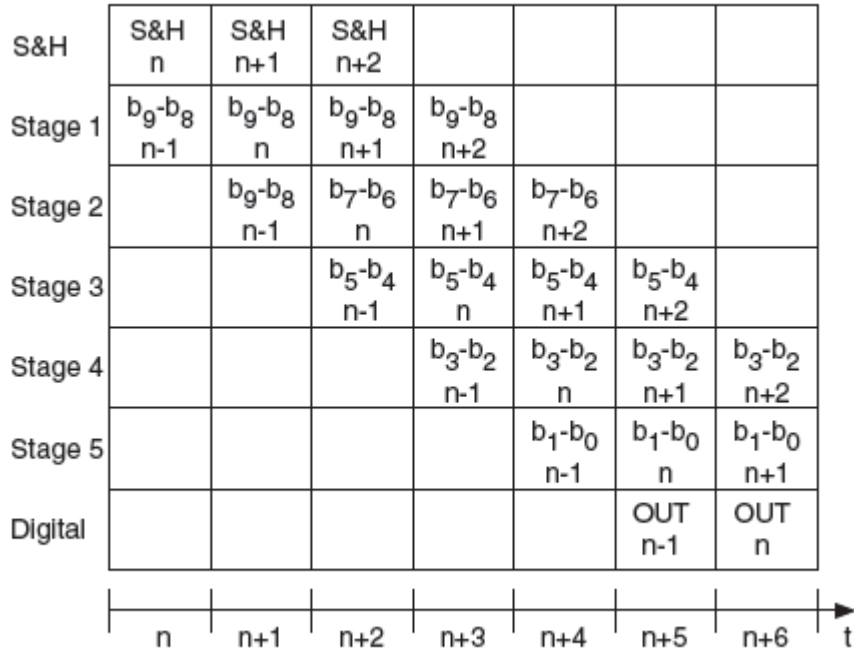
Η αρχιτεκτονική pipeline μπορεί επίσης να δημιουργήσει πολλαπλά bit ανά στάδιο και, αν αυτό συμβαίνει, κάθε στάδιο απαιτεί ένα multi-bit ADC για να αποκτηθεί η ψηφιακή έξοδος και έναν multi-bit DAC για να δημιουργηθεί η είσοδος για το επόμενο στάδιο. Η συνολική ανάλυση της αρχιτεκτονικής του αγωγού δίνεται από το άθροισμα των bits σε κάθε στάδιο. Σημειώστε ότι ο αριθμός των bits σε κάθε στάδιο μπορεί να είναι ίσος ή να διαφέρει ο ένας από τον άλλο ανάλογα με τα trade-offs του design.



Εικόνα 2.4: Αρχιτεκτονική Pipeline ADC

Η Εικόνα 2.4 δείχνει το διάγραμμα μπλοκ μιας αρχιτεκτονικής διοχέτευσης με στάδια K . Το σχήμα χρονισμού υποθέτει ότι το ρολόι έχει κύκλο δασμού 50% και ότι μια φάση ρολογιού χρησιμοποιείται για δειγματοληψία και η άλλη φάση χρησιμοποιείται για τη μανδάλωση των συγκριτών. Μετά την πάροδο του χρόνου, κατά την επόμενη φάση δειγματοληψίας, κάθε στάδιο δημιουργεί μια αναλογική έξοδο που θα υποβληθεί σε δειγματοληψία από το επόμενο στάδιο του pipeline. Το πρώτο στάδιο παράγει N_1 bits, το δεύτερο στάδιο N_2 bits και ούτω καθεξής. Ως εκ τούτου ολόκληρο το pipeline οδηγεί σε $N_1 + N_2 + \dots + N_K$ bits. Η ψηφιακή λογική συνδυάζει τα bit από κάθε στάδιο και δημιουργεί τις λέξεις εξόδου με ρυθμό FS, αν και με καθυστέρηση ($K + 1$) περιόδων ρολογιού (μία για τη δειγματοληψία της εισόδου σε κάθε στάδιο). Ο χρόνος καθυστέρησης, που προκαλείται από αυτή την καθυστέρηση, είναι συνέπεια της λειτουργίας του pipeline. Αυτό είναι ένα μικρό όριο και δεν θα προκαλέσει προβλήματα για τις περισσότερες εφαρμογές, εκτός εάν χρησιμοποιούν το μετατροπέα σε ένα βρόχο ανάδρασης. Η λειτουργία της ψηφιακής λογικής είναι απλή, καθώς είναι απαραίτητο να καθυστερήσουν σωστά τα κομμάτια των μπλοκ και να τα συνδυάσουν πλάι-πλάι. Θα δούμε σύντομα ότι με την ψηφιακή διόρθωση η λειτουργία της ψηφιακής λογικής είναι λίγο πιο περίπλοκη.

Ως παράδειγμα της λειτουργίας χρονισμού η Εικόνα 2.5 απεικονίζει τον διαδοχικό έλεγχο ενός pipeline 10bit, 5 σταδίων, 2bit ανά στάδιο. Υποθέτοντας ότι μια αναλογική τιμή εισόδου λαμβάνεται υπό δειγματοληψία στην n -οστή περίοδο ρολογιού. Στην $(n + 1)$ -η περίοδος ρολογιού δημιουργούνται τα bits B9 και B8. Κατά την επόμενη περίοδο ρολογιού (το $(n + 2)$ -το διάστημα ρολογιού), το κύκλωμα δημιουργεί τα bits B7 και B6. Αυτό συνεχίζεται μέχρι το $(n + 5)$ -ο διάστημα κατά το οποίο καθορίζονται τα bits B1 και B0. Τέλος, το $(n + 6)$ -th χρησιμοποιείται από την ψηφιακή λογική για να συνδυάσετε τα bits και να κάνετε το αποτέλεσμα διαθέσιμο.

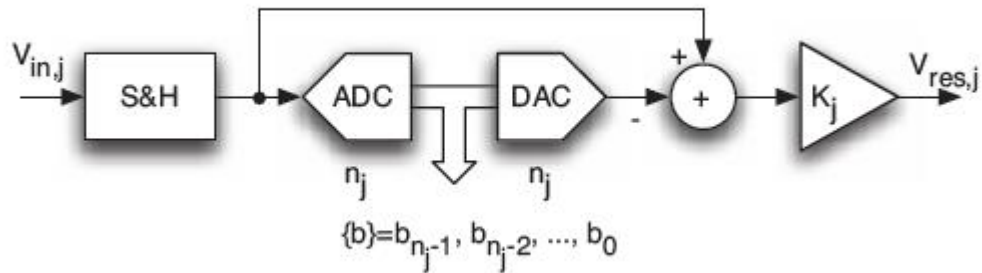


Εικόνα 2.5: Timing control ενός 2bit ανά στάδιο 10bit pipeline μετατροπέα.

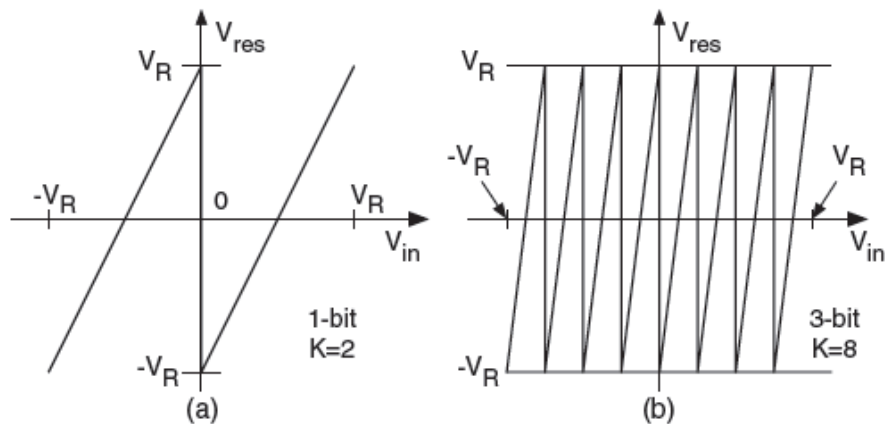
Το διάγραμμα μπλοκ ενός γενικού σταδίου διοχέτευσης εμφανίζεται στην Εικόνα 2.6. Ο ADC δημιουργεί j -bit, ενώ ο DAC μετατρέπει το αποτέλεσμα σε αναλογικό χρησιμοποιώντας τον ίδιο αριθμό bit. Ωστόσο, όπως θα δούμε σύντομα, οι αρχιτεκτονικές που χρησιμοποιούν ψηφιακή διόρθωση έχουν ανάλυση DAC, η οποία είναι χαμηλότερη από αυτή του ADC. Η αφαίρεση της εξόδου μετατροπέα D/A από την V_{IN} δίνει το σφάλμα κβαντοποίησης του V_{IN} το οποίο μετά την ενίσχυση καθορίζει τη νέα τάση υπολειμμάτων

$$V_{res}(j) = \{V_{res}(j-1) - V_{DAC}(b_j)\}K_j \quad (2.11)$$

Το δυναμικό εύρος του υπολείμματος είναι ίσο με αυτό της εισόδου αν, για ένα n_j bit DAC το κέρδος είναι 2^{n_j} . Αυτή η συνθήκη χρησιμοποιείται συχνά καθώς επιτρέπει την ίδια τάση αναφοράς για όλα τα στάδια.



Εικόνα 2.6: Μπλοκ Διάγραμμα ενός σταδίου του pipeline.



Εικόνα 2.7: Χαρακτηριστική συνάρτησης μεταφοράς υπολείμματος. 1-bit (a) και 3-bit (b).

Η Εικόνα 2.7(a) δείχνει την ιδανική χαρακτηριστική μεταφοράς της γεννήτριας υπολειμμάτων με εύρος εισόδου $-V_R \dots +V_R$, 1-bit ADC και DAC και $K=2$. Με αρνητική είσοδο ο DAC αφαιρεί $-V_R/2$ κάνοντας το αρχικό σημείο μετά τον πολλαπλασιασμό κατά 2 ίσον με $-V_R$. Στο $-V_R/2$ το υπόλειμμα διασχίζει 0 και ράμπες έως $+V_R$ λίγο πριν από την μηδενική διέλευση εισόδου που είναι το σημείο στο οποίο ο DAC αλλάζει από $-V_R/2$ έως $+V_R/2$ φέρνοντας το υπόλειμμα κάτω στο $-V_R/2$.

Για 3-bit ανά στάδιο και $K=8$ η γραφική του υπολείμματος που φαίνεται στην Εικόνα 2.7(b) έχει 7 σπασίματα και 7 μεταβάσεις μεταξύ των 8 διαστημάτων κβαντοποίησης του DAC.

Δεδομένου ότι το πλάτος του σφάλματος ποσοτικοποίησης είναι $VR/4$ ο πολλαπλασιασμός κατά 8 κάνει το δυναμικό εύρος του υπολείμματος ίσο με την είσοδο, $\pm VR$.

2.4 Αρχιτεκτονική SAR

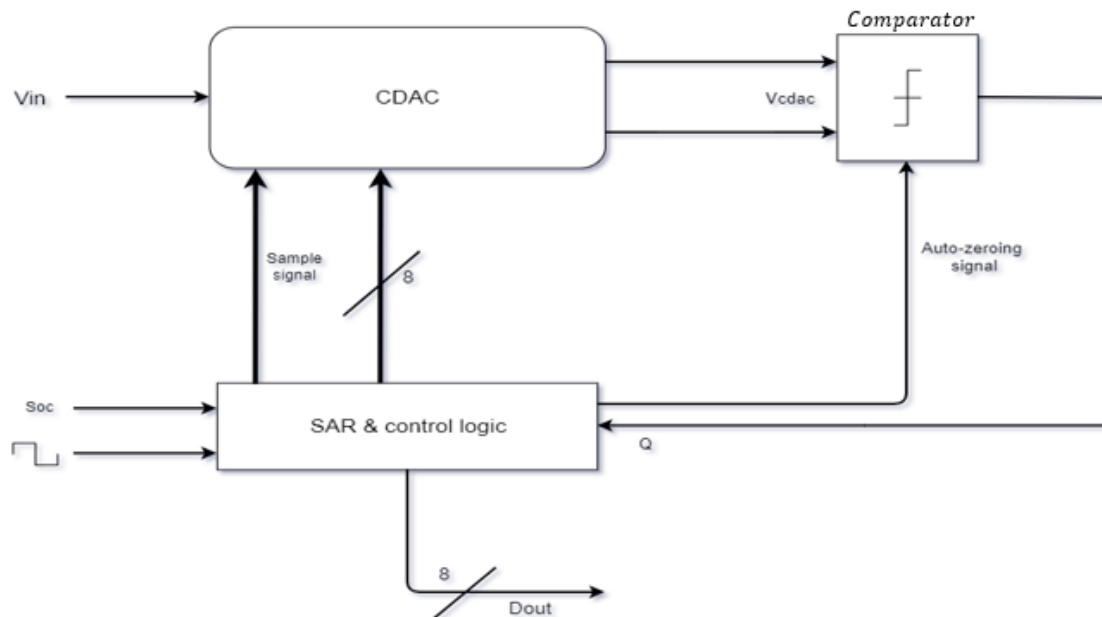
Στην παρούσα εργασία χρησιμοποιήθηκε η αρχιτεκτονική του successive approximation μετατροπέα. Για αυτόν τον λόγο δεν θα αναλυθεί στο παρόν κεφάλαιο. Στο επόμενο κεφάλαιο θα μπούμε σε βάθος στην αρχιτεκτονική και τη λειτουργία ενός SAR ADC καθώς και στα πλεονεκτήματα και μειονεκτήματα του σε σχέση με τις αρχιτεκτονικές που αναλύθηκαν στο παρόν κεφάλαιο.

3 SAR ADC σε βάθος

Στο κεφάλαιο αυτό θα αναλύσουμε την αρχιτεκτονική του successive approximation ADC η οποία χρησιμοποιήθηκε στην παρούσα εργασία.

Τα βασικά της μπλοκ, όπως παρουσιάζονται στην Εικόνα 3.1 είναι:

- Χωρητικός DAC ή αλλιώς CDAC
- Συγκριτής
- Ψηφιακό κύκλωμα υλοποίησης αλγορίθμου SAR

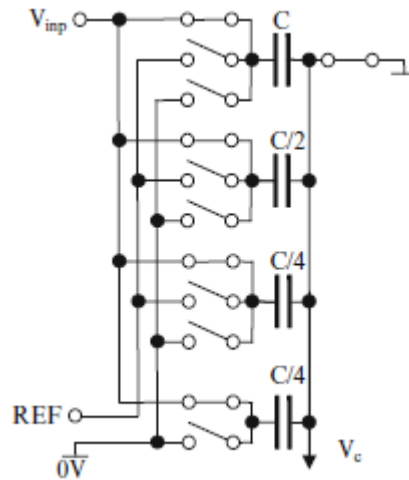


Εικόνα 3.1: Μπλοκ διάγραμμα SAR ADC.

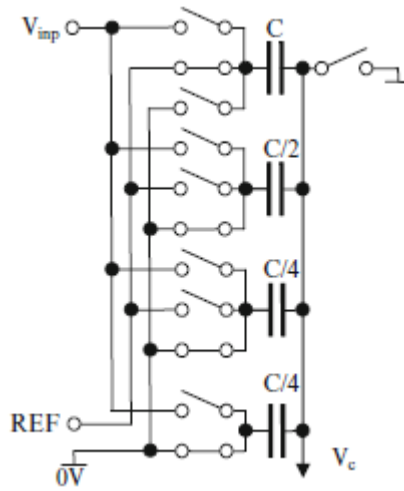
3.1 Χωρητικός DAC (CDAC)

Ο DAC είναι η καρδιά του μετατροπέα SAR. Οι differential και integral (DNL και INL) μη γραμμικότητες του αντικατοπτρίζονται άμεσα στην συνάρτηση μεταφοράς του ADC. Τυπικές δομές ενός DAC είναι ο string DAC, η R-2R δομή ή ο current steering DAC. Όλες τους παρουσιάζουν περιορισμούς στην ταχύτητα λειτουργίας και στην απόδοση.

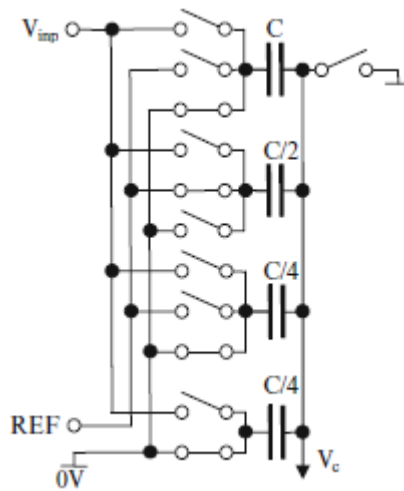
Ιδανικός για έναν SAR ADC είναι ο χωρητικός DAC (CDAC), ο οποίος βασίζεται στην αρχή της ανακατανομής φορτίου. Ένα παράδειγμα για έναν CDAC 3 bits παρουσιάζεται στις Εικόνα 3.2, Εικόνα 3.3, Εικόνα 3.4 και Εικόνα 3.5.



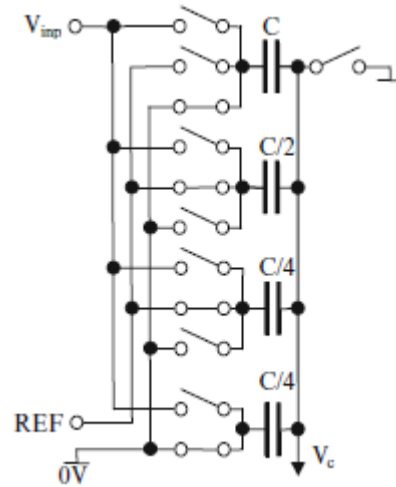
Εικόνα 3.2: CDAC κατά τη διαδικασία δειγματοληψίας.



Εικόνα 3.3: CDAC κατά την απόφαση του MSB.



Εικόνα 3.4: CDAC κατά την απόφαση του MSB-1.



Εικόνα 3.5: CDAC κατά την απόφαση του MSB-2.

Στην Εικόνα 3.2, όλοι οι πυκνωτές είναι συνδεδεμένοι στον κόμβο του σήματος εισόδου, V_{inp} για να το δειγματοληψίσουν. Το συνολικό φορτίο που αποθηκεύεται στους πυκνωτές υπολογίζεται από

$$Q_{sample} = \left(C + \frac{C}{2} + \frac{C}{4} + \frac{C}{4} \right) \times V_{inp} = 2C \times V_{inp} \quad (3.1)$$

Το φορτίο παγώνει ανοίγοντας τον hold διακόπτη μεταξύ V_c και ground. Τότε ανοίγουν οι διακόπτες που συνδέουν τους πυκνωτές στο V_{inp} . Για τον υπολογισμό του MSB, ο πυκνωτής με χωρητικότητα C συνδέεται στην τάση REF και όλοι οι υπόλοιποι πυκνωτές συνδέονται στο ground, όπως φαίνεται στην Εικόνα 3.3. Τώρα το φορτίο στους πυκνωτές υπολογίζεται από την σχέση

$$Q_{MSB} = C(REF - V_c) + \left(\frac{C}{2} + \frac{C}{4} + \frac{C}{4} \right) (0V - V_c) \quad (3.2)$$

Q_{sample} και Q_{MSB} είναι ίσα, καθώς το φορτίο έχει «παγώσει». Αυτό το γεγονός οδηγεί

$$2CV_{inp} = C(REF - V_c) + C(0V - V_c) \quad (3.3)$$

Λύνοντας την (3.3) ως προς V_c

$$V_c = \frac{REF}{2} - V_{inp} \quad (3.4)$$

Η τάση V_c συνδέεται με τον αρνητικό ακροδέκτη εισόδου του συγκριτή, ενώ ο θετικός ακροδέκτης εισόδου είναι συνδεδεμένος στο ground. Έτσι ο συγκριτής θα αποφανθεί αν η τάση V_c είναι μικρότερη ή ίση από τα 0 V

$$V_c = \frac{REF}{2} - V_{inp} \leq 0 \Leftrightarrow \frac{REF}{2} \leq V_{inp} \quad (3.5)$$

Αν η έξοδος του συγκριτή είναι λογικό 1, τότε η τάση εισόδου ήταν μεγαλύτερη από το μισό της τάσης αναφοράς. Για χάριν παραδείγματος υποθέτουμε ότι η τάση αναφοράς είναι 4 V και η τάση εισόδου είναι 1.9 V. Συνεπώς το αποτέλεσμα του συγκριτή είναι λογικό 0. Συνεπώς για τον υπολογισμό του MSB-1, ο πυκνωτής C συνδέεται στο ground και ο $\frac{C}{2}$ στην τάση αναφοράς.

Η Εικόνα 3.4 δείχνει τον CDAC κατά την διαδικασία υπολογισμού του επόμενου σημαντικότερου ψηφίου. Το συνολικό φορτίο στο capacitive array είναι

$$Q_{MSB-1} = \frac{C}{2}(REF - V_c) + (C + \frac{C}{4} + \frac{C}{4})(0V - V_c) \quad (3.6)$$

Ξανά, το φορτίο είναι ίσο με το αρχικό Q_{sample} , οπότε στον συγκριτή θα πραγματοποιηθεί η σύγκριση

$$\frac{REF}{4} \leq V_{inp} \quad (3.7)$$

Ο συγκριτής στο συγκεκριμένο παράδειγμα θα έχει αποτέλεσμα σύγκρισης λογικό 1, καθώς η τάση εισόδου είναι μεγαλύτερη από το ένα τέταρτο της τάσης αναφοράς. Συνεπώς, ο πυκνωτής $\frac{C}{2}$ παραμένει συνδεδεμένος στην τάση αναφοράς και ο επόμενος συνδέεται και αυτός στη τάση αναφοράς για τον υπολογισμό του 3^{ου} και τελευταίου bit, όπως φαίνεται στην Εικόνα 3.5. Αυτό οδηγεί σε

$$Q_{MSB-2} = \left(\frac{C}{2} + \frac{C}{4}\right)(REF - V_c) + \left(C + \frac{C}{4}\right)(0V - V_c) \text{ και} \quad (3.8)$$

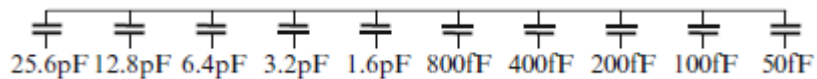
$$V_c = \frac{3REF}{8} - V_{inp} \leq 0 \Leftrightarrow \frac{3REF}{8} \leq V_{inp}$$

Για το παράδειγμα αυτό το αποτέλεσμα του συγκριτή είναι πάλι λογικό 1, συνεπώς ο πυκνωτής $\frac{C}{4}$ παραμένει στην τάση αναφοράς. Οπότε το αποτέλεσμα της μετατροπής είναι 011, καθώς το MSB ήταν ίσο με 0 αφού το αποτέλεσμα της σύγκρισης ήταν 0, ενώ τα άλλα δυο bits είναι 1 αφού το αποτέλεσμα του συγκριτή ήταν 1.

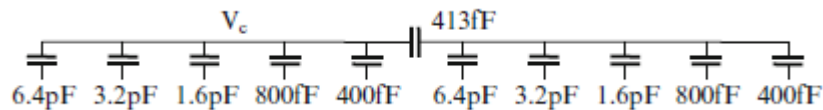
3.1.1 Βασικές Αρχιτεκτονικές CDAC

Για τους μετατροπείς με περισσότερα από 10 bits, η αναλογία μεταξύ του πυκνωτή MSB και του πυκνωτή LSB γίνεται σημαντική λόγω της δυαδικής κλιμάκωσης (βλέπε Εικόνα 3.6). Ένας σειριακός πυκνωτής μπορεί να τοποθετηθεί μεταξύ ενός MSB και μιας συστοιχίας πυκνωτών LSB, όπως φαίνεται στην Εικόνα 3.7. Ο σειριακός πυκνωτής ονομάζεται επίσης πυκνωτής κλιμάκωσης. Η λύση με τον πυκνωτή κλιμάκωσης έχει μεγαλύτερο πυκνωτή LSB και λιγότερη συνολική χωρητικότητα σε σύγκριση με το απλό δυαδικό CDAC. Καλύτερο matching μπορεί να επιτευχθεί σε μικρότερο μέγεθος CDAC.

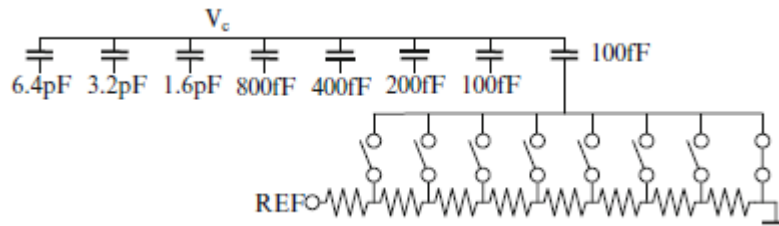
Μια εναλλακτική λύση εμφανίζεται στην Εικόνα 3.8, όπου τα LSBs υλοποιούνται προσαρμόζοντας την τάση που εφαρμόζεται στον μικρότερο πυκνωτή. Ένας ωμικός καταμεριστής, που ονομάζεται επίσης string DAC, χρησιμοποιείται για τον συντονισμό της τάσης αναφοράς, έτσι ώστε V_c να έχει αλλαγές σε βήματα LSB.



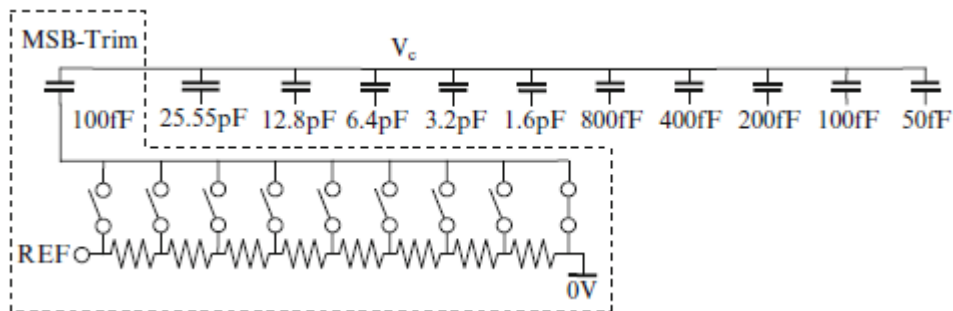
Εικόνα 3.6: Capacitor array με πυκνωτές δυαδικής κλιμάκωσης 10 bit CDAC.



Εικόνα 3.7: Capacitor array ενός 10 bit CDAC με εν σειρά scale-down πυκνωτή.



Εικόνα 3.8: CDAC συνδεδασμένος με ωμικό string DAC για LSB evaluation.



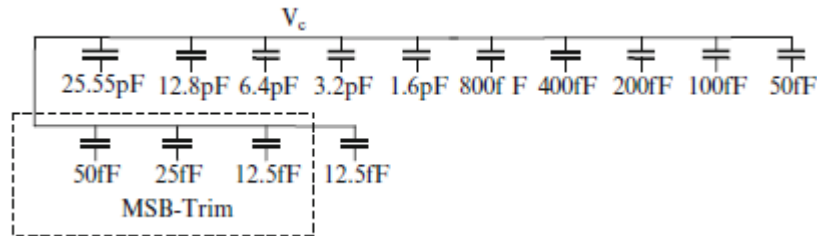
Εικόνα 3.9: MSB trim κύκλωμα χρησιμοποιώντας ωμικό string DAC.

Οι πυκνωτές συνήθως είναι matched έως και 0.1% , έτσι ώστε να επιτυγχάνεται άμεσα μια ακρίβεια 10 bit. Εάν η ανάλυση είναι μεγαλύτερη από 10 bits, απαιτείται μια λύση με calibration ή trim.

Η Εικόνα 3.9 εμφανίζει μια τεχνική trim για τον πυκνωτή MSB. Ο πυκνωτής MSB μειώνεται κατά μια τιμή που αντιστοιχεί σε ένα LSB και ένας πυκνωτής trim 2 LSB ενεργοποιείται παράλληλα. Εάν αυτός ο πυκνωτής trim φορτιστεί στη μισή τάση αναφοράς σύγχρονα με τον πυκνωτή MSB που αλλάζει σε REF, τότε ο πυκνωτής MSB έχει την ίδια κατανομή φόρτισης με πριν. Αλλά τώρα, το βάρος μπορεί να αλλάξει είτε με trim ή calibration του ADC. Το βάρος του πυκνωτή MSB μπορεί να αυξηθεί κατά ένα LSB, αν ο πυκνωτής trim φορτιστεί στην τάση αναφοράς. Με τον ίδιο τρόπο μειώνεται κατά ένα LSB εάν ο πυκνωτής trim παραμείνει στο ground.

Το μειονέκτημα αυτής της δομής είναι ότι η αναφορά πρέπει να οδηγήσει ένα DC ρεύμα μέσα από τον string DAC, το οποίο προστίθεται στην καταναλισκόμενη ισχύ. Αυτό το

μειονέκτημα είναι εντονότερο σε 16 ή 18 bits ADCs, όπου περισσότερα bits γίνονται trim. Μία εναλλακτική είναι χωρητικό trim όπως φαίνεται στην Εικόνα 3.10.



Εικόνα 3.10: MSB trim κύκλωμα χρησιμοποιώντας πυκνωτές.

3.1.2 Λειτουργία Διαφορικού CDAC και λύσεις trim

Οι λύσεις Trim χρησιμοποιούνται εδώ και αρκετές δεκαετίες. Η τυπική προσέγγιση ήταν κοπή με λέιζερ από λεπτές αντιστάσεις film ή links, τα οποία είναι κατασκευασμένα από πολυμερές ή μέταλλο, κατά την δημιουργία του wafer. Δυστυχώς, η διαδικασία συναρμολόγησης θα μετατοπίσει τις μετρούμενες παραμέτρους. Αυτό οφείλεται στη μηχανική καταπόνηση, αλλά και σε ένα ανομοιογενές διηλεκτρικό του υλικού συσκευασίας, το οποίο ονομάζεται molding compound. Αυτό θα αλλάξει τους παρασιτικούς πυκνωτές μέσα στον CDAC και θα επηρεάσει το DNL των συγκεκριμένων bits έως 6 LSB για 16 bit ADCs. Επιπλέον, η μετατόπιση της συσκευασίας έχει ένα σημαντικό variation, έτσι ώστε η σχεδίαση ενός τέλεια trimmed CDAC είναι σχεδόν αδύνατη. Τέλεια trimmed ADCs είναι ως εκ τούτου χαρακτηρισμένοι ως high-grade, και πωλούνται σε υψηλότερη τιμή.

Η κοπή με laser μπορεί να γίνει οπουδήποτε πάνω στο die και δεν απαιτεί πρόσθετα κυκλώματα. Ως εκ τούτου, η επαφή μπορεί επίσης να τοποθετηθεί στο wiring, και μπορούν να αποσυνδεθούν πυκνωτές εύκολα και αποτελεσματικά ως προς τον χώρο.

In-packaging trim solutions σχεδιάστηκαν, όπου η πληροφορία για το trim αποθηκεύεται είτε «καίγοντας» ενώσεις ηλεκτρονικά είτε εισάγοντας μία μνήμη όπως η EPROM (Electrically Programmable ROM) ή OTPs (One-Time-Programmable-ROM).

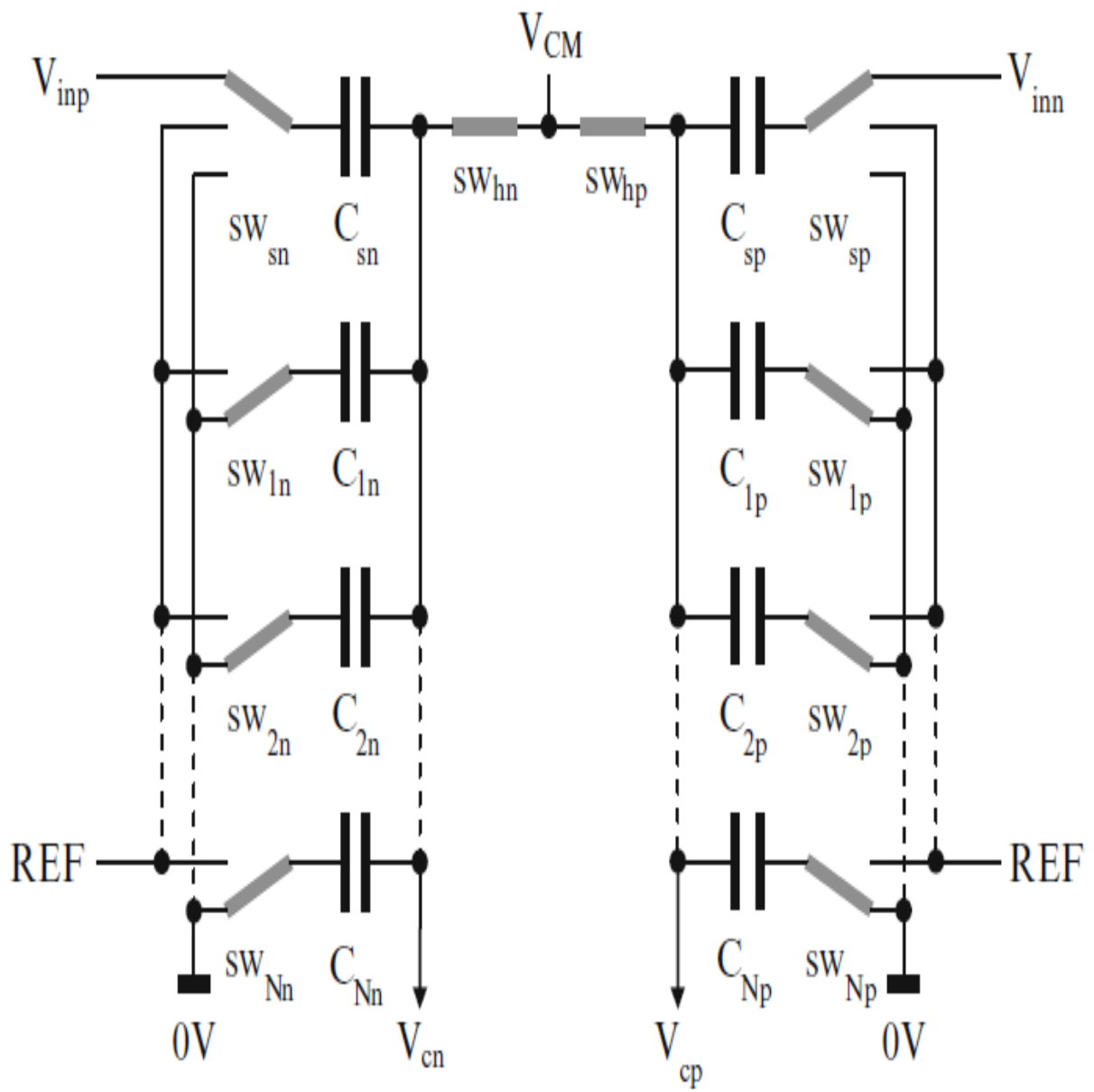
Συνήθως, γινόταν trim μόνο το matching των δυαδικά κλιμακωμένων πυκνωτών. Αλλά πολύ περισσότερα από αυτό είναι εφικτά. Offset, gain και CMRR μπορούν επίσης να

προσαρμοστούν μέσα στο capacitive array του CDAC. Ένας γενικός υπολογισμός γίνεται παρακάτω σε έναν πλήρως διαφορικό CDAC, ο οποίος θα εξηγήσει τις διάφορες επιδράσεις trimming.

Για τους υπολογισμούς χρησιμοποιήσαμε τον CDAC που φαίνεται στην Εικόνα 3.11. Στις περισσότερες περιπτώσεις η τάση εισόδου δειγματοληπτείται κατευθείαν, όμως στην προκειμένη περίπτωση χρησιμοποιούμε ξεχωριστούς πυκνωτές δειγματοληψίας, $C_{sn,p}$, ενώ οι πυκνωτές των bits ονομάζονται $C_{1n,p} \dots C_{Nn,p}$. Η ανάλυση του CDAC επίσης παραμένει γενική στα N-bit. Η πλήρως διαφορική τοπολογία θα κρατήσει τα charge injections των διακοπών για το hold της τάσης common mode, $sw_{hn,p}$, συμμετρικά. Οι πυκνωτές C_{jn} και C_{jp} ($j \in \{1, \dots, N\}$) έχουν δυαδική κλιμάκωση ($C_{jn,p} = C \times 2^{-(j-1)}$), όπου ο C_{1n} εκφράζει τον πυκνωτή για το MSB και ο C_{Nn} εκφράζει τον πυκνωτή για το LSB.

Σε λειτουργία sampling. Οι εισοδοί V_{inp} και V_{inn} είναι συνδεδεμένοι στους πυκνωτές δειγματοληψίας, ενώ οι υπόλοιποι πυκνωτές του capacitive array είναι στο ground. Οι κόμβοι V_{CN} και V_{CP} , που είναι συνδεδεμένοι με τα άλλα pins των πυκνωτών, είναι συνδεδεμένοι σε μία τάση common mode, η οποία μπορεί να χρησιμοποιηθεί για να οριστεί στη συνέχεια ένα αναμενόμενο σημείο λειτουργίας για τον συγκριτή. Το φορτίο που αποκτούν οι πυκνωτές κατά τη δειγματοληψία είναι

$$Q_{sp,n} = C_{sp,n}(V_{CM} - V_{inn,p}) + \sum_{j=1}^N C_{jp,n}V_{CM} \quad (3.9)$$



Εικόνα 3.11: Πλήρως διαφορικός CDAC.

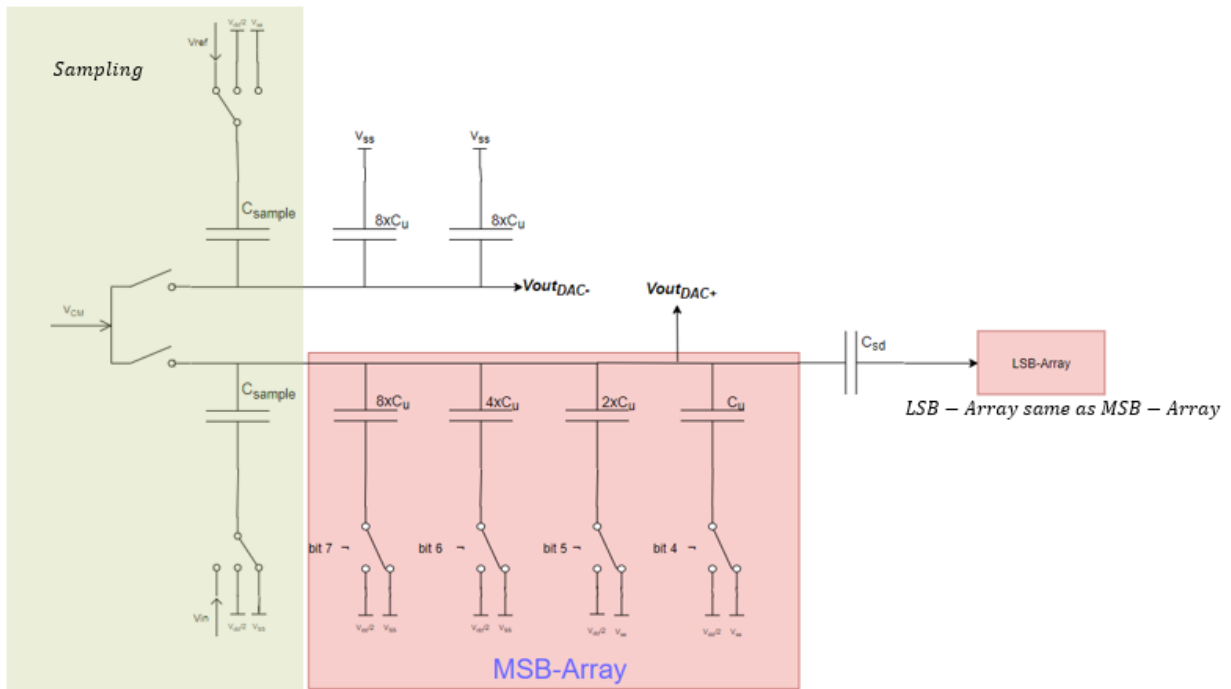
Τα φορτία παγώνουν ανοίγοντας τους διακόπτες που συνέδεαν τη τάση common mode, οι οποίοι ιδανικά παράγουν ολίοδιο charge injection. Χάριν στο κοινό σημείο λειτουργίας, οι διακόπτες έχουν μικρή επιρροή στην παραμόρφωση του ADC. Σύμφωνα με την αρχή λειτουργίας της ανακατανομής φορτίου, το φορτίο μετά το άνοιγμα των διακοπών δειγματοληψίας θα είναι

$$Q_{ip,n} = C_{sp,n}(V_{CP,N} - REF) + \sum_{j=1}^N (C_{jp,n}(V_{CP,N} - x_{jp,n}V_{CM})) \quad (3.10)$$

όπου $x_{jp,n}$ είναι 1 αν ο αντίστοιχος διακόπτης έχει συνδεθεί στη τάση REF και 0 αν έχει συνδεθεί στο ground, σύμφωνα με τον αλγόριθμο του successive approximation.

Το φορτίο παραμένει σταθερό κατά τη διάρκεια της μετατροπής αφού και οι δύο κόμβοι, V_{CN} και V_{CP} , είναι σε κόμβους υψηλής αντίστασης. Η διαφορική τάση που θα μπει στον συγκριτή είναι $V_C = V_{CP} - V_{CN}$.

Στην παρούσα εργασία χρησιμοποιήθηκε μια παραλλαγή του πλήρως διαφορικού CDAC και θα ήταν χρήσιμο να αναφερθεί σε αυτό το σημείο. Η αρχιτεκτονική που χρησιμοποιήσαμε ονομάζεται pseudo-differential και η διαφορά της είναι ότι η μία είσοδος του CDAC είναι η τάση εισόδου και η άλλη μία τάση αναφοράς. Αυτό πραγματοποιήθηκε για να λάβουμε σε single ended κύκλωμα το πλεονέκτημα του συμμετρικού charge injection της πλήρως διαφορικής αρχιτεκτονικής. Δηλαδή έχουμε μία τοπολογία όπως αυτή του σχήματος στην Εικόνα 3.12, όπου οι πυκνωτές sampling είναι ίσοι με τον πυκνωτή του MSB, δηλαδή 8C.



Εικόνα 3.12: Pseudo-differential τοπολογία.

Για την παραγωγή του reference του συγκριτή χρησιμοποιούμε τον ακροδέκτη $V_{CP} \equiv V_{out,DAC+}$ του CDAC κρατώντας όλους τους πυκνωτές στο ground. Το φορτίο στο μέρος αυτό του CDAC είναι τότε

$$Q_p = 8C(V_{CM} - V_{inn}(= REF)) + 16CV_{CM}$$

$$Q'_p = 8C(V_{CP} - REF) + 16CV_{CP}$$

Επιλέγοντας $V_{inn} = V_{CM} = REF$ έχουμε μια παραγόμενη τάση αναφοράς για τη σύγκριση ίση με REF. Ουσιαστικά δεν αλλάζει κάτι από το να βάζαμε απευθείας την REF στον έναν ακροδέκτη του συγκριτή, ωστόσο με αυτή την τεχνική πετυχαίνουμε και συμμετρικό charge injection στους διακόπτες της τάσης common mode, η οποία αφού ιδανικά είναι ίδια και στους δύο διακόπτες απαλείφεται.

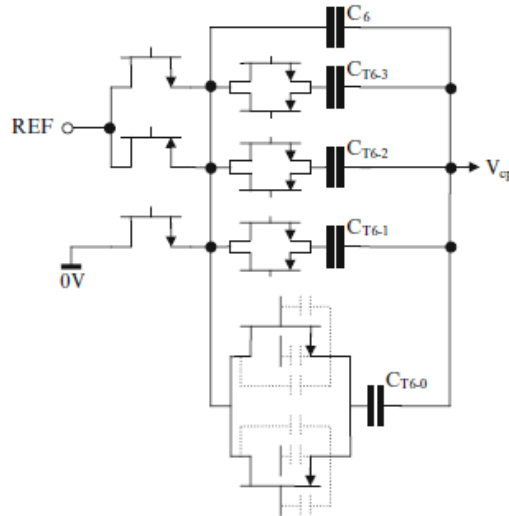
Σύμφωνα με την τεχνική του charge redistribution πάλι, προκύπτει και η τάση του δεύτερου ακροδέκτη του CDAC όπου υπάρχει το σήμα πληροφορίας $V_{CN} \equiv V_{out,DAC}$. Η τάση αυτή προκύπτει

$$V_{CN} = V_{CM} + REF \times \frac{1 + \sum_j^N b_{jn} \times \frac{1}{2^{j-1}}}{3 - 1/2^{N-1}} - \frac{V_{inp}}{3 - 1/2^{N-1}} \quad (3.11)$$

Υπό τη συνθήκη ότι $V_{CM} = REF$ και επιλέγοντας $V_{inp} = V_{input}$ έχουμε την εξής συνθήκη προς σύγκριση

$$V_C = V_{CP} - V_{CN} \geq 0 \Rightarrow REF + \sum_j^N \left(REF \times b_{jn} \times \frac{1}{2^{j-1}} \right) \leq V_{input} \quad (3.12)$$

Για το trimming των πυκνωτών του capacitive array χρησιμοποιήθηκε μία τεχνική παραλλήλων πυκνωτών στα MSB που «προγραμματίζονται» μέσω μίας ROM που οδηγεί διακόπτες NMOS που συνδέουν ή αποσυνδέουν παράλληλα πυκνωτές, όπως παρουσιάζεται στην Εικόνα 3.13.



Εικόνα 3.13: Trimming πυκνωτές.

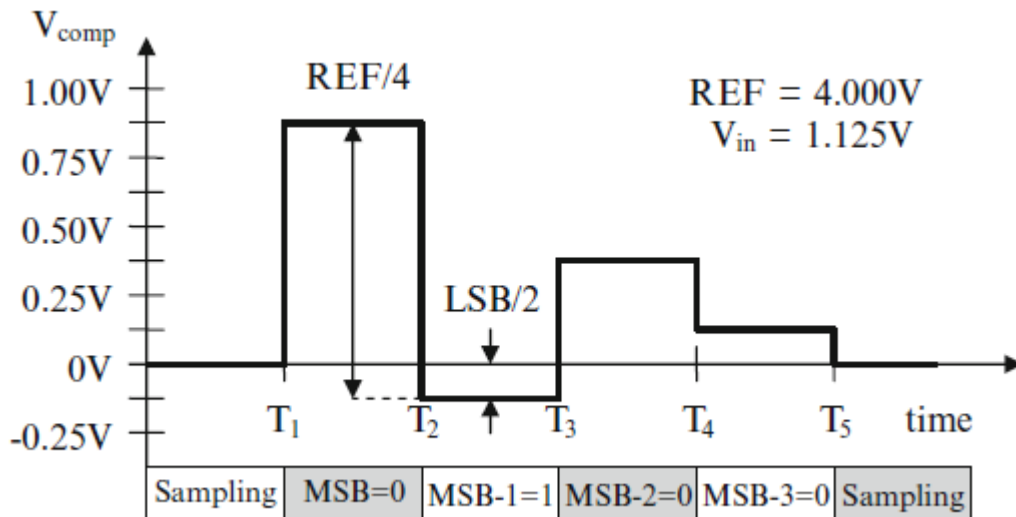
3.2 Συγκριτής

Η σύγκριση, αν η διαφορική έξοδος του CDAC είναι θετική ή αρνητική θα καθοριστεί από τον συγκριτή. Το αποτέλεσμα αυτό έρχεται από μεγάλη ενίσχυση της διαφορικής εισόδου του συγκριτή και την αντιστοίχισή της σε ένα από τα δύο λογικά επίπεδα, λόγω του κορεσμού της εξόδου του σταδίου ενίσχυσης, μέσω μανδαλωτών ή γενικότερα ψηφιακής λογικής.

3.2.1 Βασική τοπολογία συγκριτή

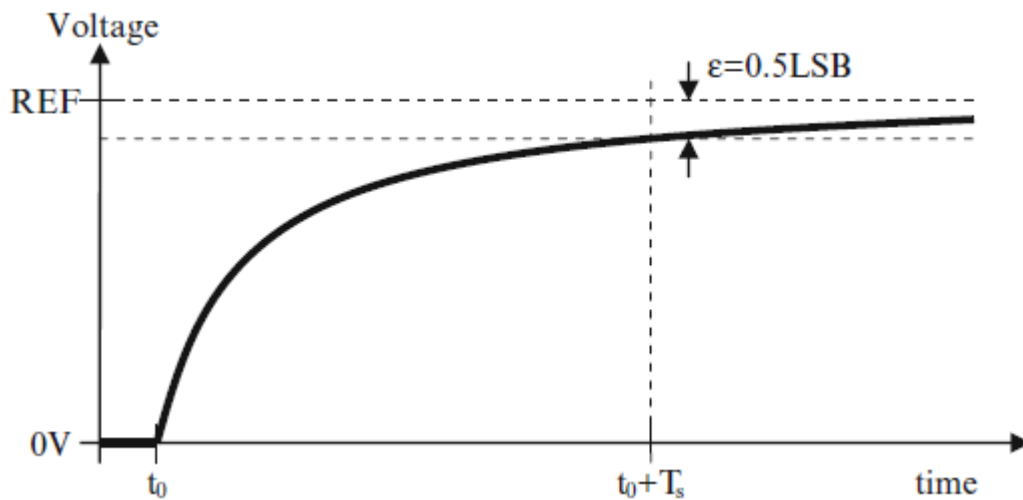
Η αρχιτεκτονική του συγκριτή εξαρτάται κυρίως από την επιθυμητή ταχύτητα του ADC. Πρέπει να είναι ικανός να ανιχνεύει διαφορική τάση πλάτους μισού LSB ή και λιγότερο ακόμα κι αν έφτασε στα όρια της λειτουργίας του στην απόφαση του προηγούμενου bit. Αυτή η συνθήκη συμβαίνει για παράδειγμα, αν η τάση εισόδου είναι $\frac{REF}{2} + \frac{LSB}{2}$. Κατά τη διάρκεια απόφασης του MSB, ο DAC ρυθμίζεται στο REF. Η διαφορική είσοδος του συγκριτή είναι τότε $\frac{REF}{2} - \frac{LSB}{2}$, έτσι ώστε ο συγκριτής υπερδιηγείται. Κατά τη διαδικασία απόφασης του επόμενου bit, ο DAC ρυθμίζεται στο $\frac{REF}{2}$, έτσι ώστε η διαφορική τάση του συγκριτή να είναι μόνο μισό LSB. Ο συγκριτής τώρα πρέπει να είναι αρκετά γρήγορος ώστε σε μικρό χρονικό διάστημα να αλλάξει κατάσταση λειτουργίας ώστε να επιτρέψει στην τάση αναφοράς να ρυθμιστεί. Η Εικόνα 3.14 δείχνει την ιδανική είσοδο του συγκριτή κατά τη δειγματοληψία και την διαδικασία μετατροπής.

Θεωρώντας μοντέλο πρώτης τάξης για το πρώτο στάδιο του συγκριτή, το οποίο είναι συνήθως ένας προενισχυτής, το settling του συγκριτή θα είναι εκθετικό. Ο συγκριτής θα πρέπει να δίνει αποτέλεσμα εντός ενός κύκλου ρολογιού για ανάλυση n-bit, καθώς στο υπόλοιπο μέρος της περιόδου χρησιμοποιείται για τον καθορισμό του σημείου λειτουργίας του. Για να επιτευχθεί αυτό χρησιμοποιούνται πολύ συχνά κυκλώματα διακοπτικών πυκνωτών. Ένα τέτοιο κύκλωμα χρησιμοποιείται και στους συγκριτές των SAR ADCs μετά από έναν διακοπτικό CDAC.



Εικόνα 3.14: Είσοδος συγκριτή κατά τη διάρκεια μετατροπής ενός 4-bit ADC.

Αν μία τάση εισόδου διαφέρει πολύ από την τάση REF, τότε το settling error, ϵ , μετά από χρόνο για settling, T_s , πρέπει να είναι μικρότερο από μισό LSB. Αυτό παρουσιάζεται στην Εικόνα 3.15.



Εικόνα 3.15: Εκθετικό settling σε switched capacitor design.

Το σφάλμα τάσης $\epsilon(t)$ υπολογίζεται στην παρακάτω σχέση υπό την προϋπόθεση ότι το $t_0 = 0$.

$$\varepsilon(t) = REF - V(t) = REF - \left(REF - REF * e^{-\frac{1}{\tau}} \right) = REF * e^{-\frac{1}{\tau}} \quad (3.13)$$

$$\mu\varepsilon(T_S) < \frac{REF}{2^{n+1}}$$

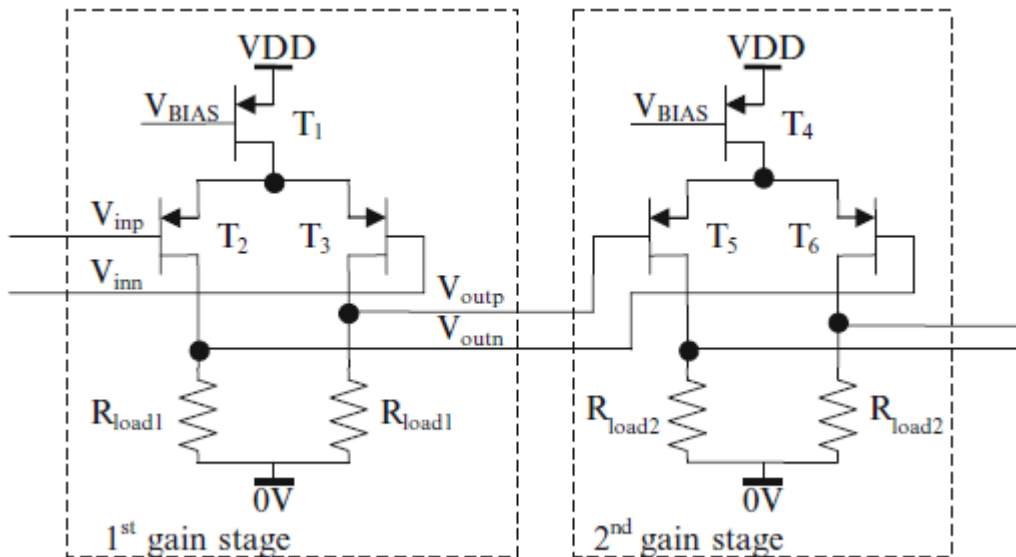
Σχέση αυτή μπορεί να λυθεί ως προς τ , που είναι η σταθερά χρόνου της απόκρισης πρώτης τάξης του συγκριτή. Η σταθερά χρόνου ισούται με το γινόμενο της αντίστασης R και της χωρητικότητας C για ένα RC βαθυπερατό φίλτρο, όπως είναι το μοντέλο πρώτης τάξης για τον προενισχυτή του συγκριτή.

$$\tau = RC < \frac{T_S}{\ln(2) * (n + 1)} \quad (3.14)$$

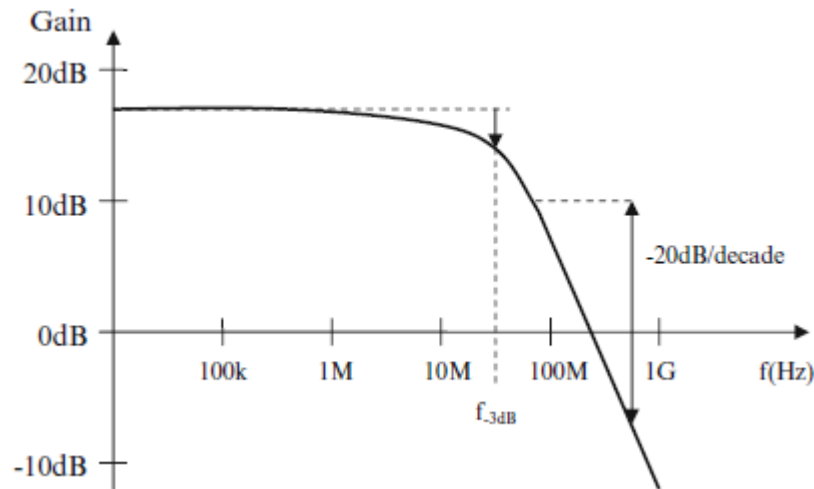
Η σταθερά χρόνου επίσης σχετίζεται με την συχνότητα $-3dB$ της συνάρτησης μεταφοράς του ενεργού κυκλώματος, όπου εδώ συμπίπτει με το εύρος ζώνης του συγκριτή.

$$f_{-3dB} = \frac{1}{2\pi\tau} < \frac{\ln(2) * (n + 1)}{2\pi T_S} \quad (3.15)$$

Στην παρούσα υπάρχει μία τυπική τοπολογία ενός σταδίου εισόδου για τον συγκριτή, η οποία επίσης χρησιμοποιήθηκε και στην παρούσα εργασία. Ενώ στη εικόνα φαίνεται πως επηρεάζεται το κέρδος συναρτήσει της τάσης εισόδου, για το οποίο θα δοθεί λύση στην επόμενη υποενότητα,



Εικόνα 3.16: Typical differential input pair inside the comparator.

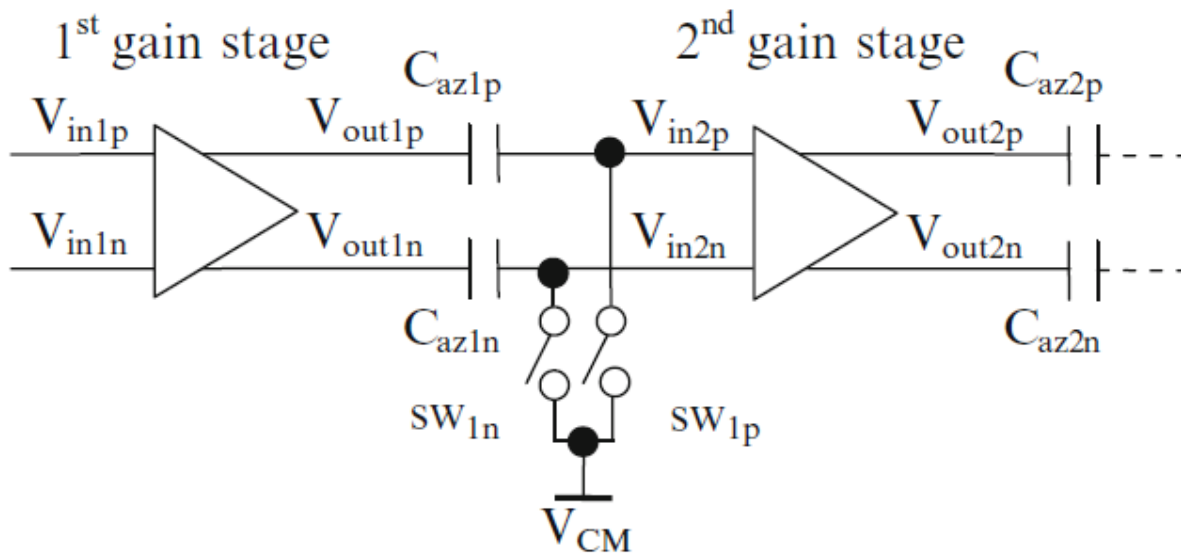


Εικόνα 3.17: Typical AC-responses of the comparator input stage.

3.2.2 Τεχνική Offset Cancellation

Όπως αναφέρθηκε στην προηγούμενη υποενότητα, η τοπολογία σε σειρά πολλαπλών διαφορικών σταδίων, καθιστά το offset που δημιουργεί το κάθε στάδιο σημαντικό. Όχι μόνο αντικατοπτρίζεται στη συνάρτηση μεταφοράς του ADC, επηρεάζοντας έτσι την γραμμικότητα και τα όρια λειτουργίας, αλλά οδηγεί και σε μη ιδανικό σημείο λειτουργίας των διαφορικών ζευγών με αποτέλεσμα να χάνεται κέρδος σύμφωνα με την Εικόνα 3.17. Αν το πρώτο στάδιο για παράδειγμα έχει σχετικό offset 10 mV και το κέρδος τριών αλληπαλλήλων σταδίων είναι 20 dB , τότε το τρίτο στάδιο θα έχει input offset 1 V και θα είναι τελείως εκτός ορίων λειτουργίας.

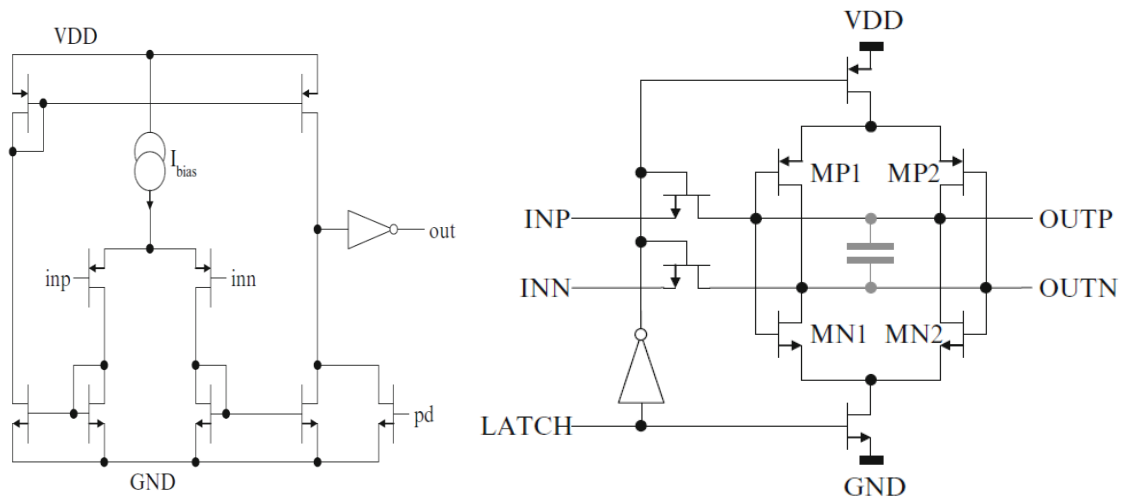
Για αυτό τον λόγο είναι απαραίτητη η χρήση offset cancellation. Συνήθως, οι διαφορικές εισοδοί ενός σταδίου ενίσχυσης βραχυκυκλώνονται κατά τη διάρκεια της δειγματοληψίας και το output offset αποθηκεύεται σε auto-zero πυκνωτές, οι οποίοι ονομάζονται C_{az1p} και C_{az1n} για το πρώτο στάδιο στην Εικόνα 3.18.



Εικόνα 3.18: Offset cancellation circuit.

Τοποθετούνται σε σειρά με το μονοπάτι του σήματος. Η μία πλευρά συνδέεται με την έξοδο ενός σταδίου ενίσχυσης και «βλέπει» το input offset πολλαπλασιασμένο με το κέρδος του σταδίου αυτού. Η άλλη πλευρά του πυκνωτή συνδέεται στην είσοδο του επόμενου σταδίου και με τους διακόπτες (sw_{1p} και sw_{1n}), οι οποίοι θα βραχυκυκλώσουν τους πυκνωτές στην τάση common mode. Στο τέλος της διαδικασίας δειγματοληψίας, οι διακόπτες ανοίγουν, ώστε να αποθηκευτεί το offset στους πυκνωτές.

Στις παρακάτω εικόνες φαίνονται δύο τοπολογίες για το τελευταίο στάδιο του συγκριτή που αποτελούνται από ένα στάδιο ενίσχυσης και το κύκλωμα απόφασης που θα δώσει τελικά την λογική τιμή 1 ή 0 ανάλογα με την διαφορική είσοδο του συγκριτή, ώστε να σταλούν σήματα από την ψηφιακή λογική, που υλοποιεί τον αλγόριθμο του SAR, στο CDAC και να επαναληφθεί η διαδικασία μέχρις ότου να φτάσει στον επιθυμητό αριθμό bit.



Εικόνα 3.19: Τοπολογίες εξόδου συγκριτών.

4 Επισκόπηση Τεχνολογίας

Σε αυτό το κεφάλαιο θα ασχοληθούμε με την τεχνολογία που χρησιμοποιήθηκε στην παρούσα εργασία, η οποία είναι CMOS TSMC (Taiwan Semiconductor Manufacturing Company) 28 νανομέτρων. Πιο συγκεκριμένα θα παρουσιάσουμε κάποιες βασικές παραμέτρους και μετρήσεις που λάβαμε υπόψιν μας για την σχεδίαση του μετατροπέα.

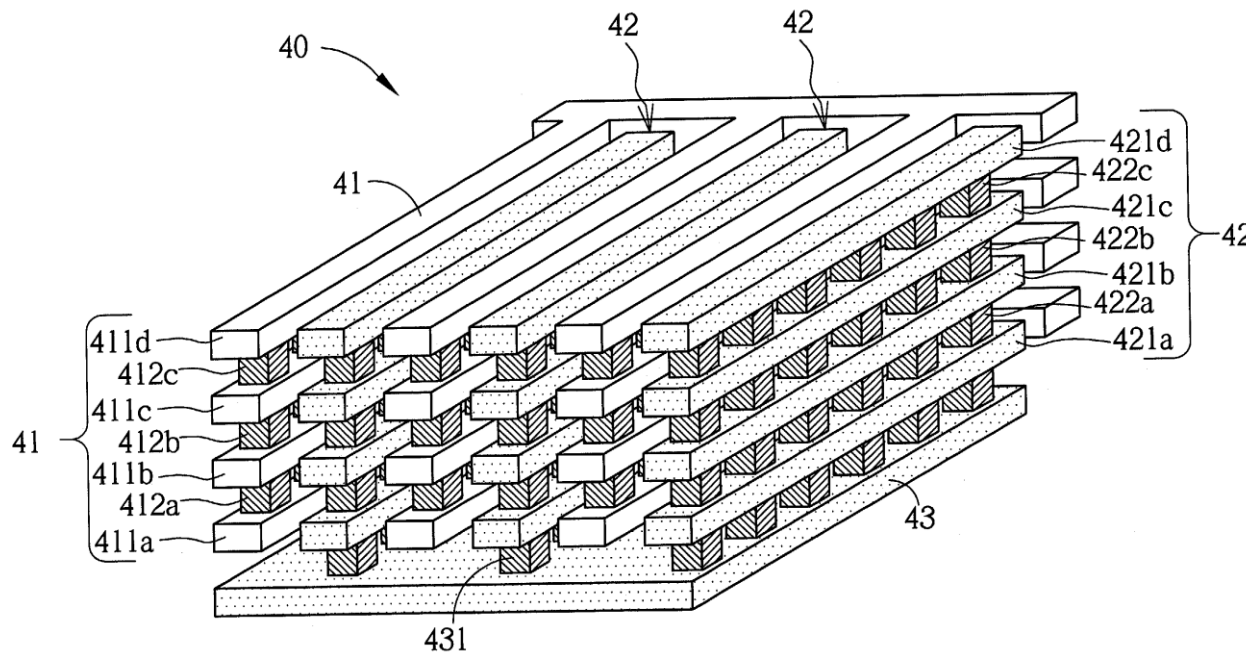
Θα ασχοληθούμε με τρία βασικά στοιχεία της τεχνολογίας:

- Πυκνωτές (Εξάρτηση από τη συχνότητα)
- Τρανζίστορ (R_{on} , R_{off} διακοπών)
- Ταχύτητα ψηφιακής λογικής (Fan-out 4)

4.1 Πυκνωτές

Όπως σε όλα τα κυκλωματικά στοιχεία, έτσι και οι πυκνωτές δεν παρουσιάζουν ιδανική συμπεριφορά. Εκτός των παρασιτικών του στοιχείου, υπάρχει και η εξάρτηση από τη συχνότητα που επηρεάζει την τιμή της χωρητικότητας του πυκνωτή και έτσι το όριο λειτουργίας του κυκλώματος.

Στην παρούσα εργασία οι πυκνωτές που χρησιμοποιήθηκαν τόσο στον CDAC όσο και στο offset-cancelation κύκλωμα του συγκριτή είναι MOM Capacitors (metal-oxide-metal), οι οποίοι εκ κατασκευής τους έχουν χαμηλότερες τιμές παρασιτικών χωρητικοτήτων από άλλα είδη ολοκληρωμένων πυκνωτών (π.χ. MIM Caps). Στην Εικόνα 4.1 φαίνεται η διάταξη ενός MOM Cap πάνω στο chip.

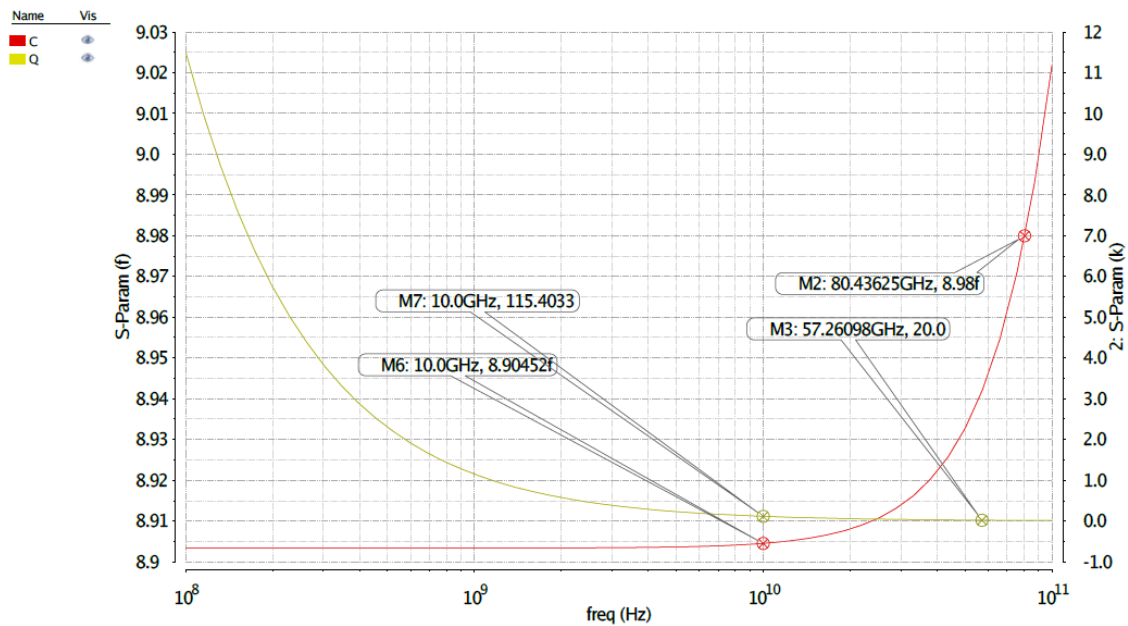


Εικόνα 4.1: MOM Capacitor layout.

Για τις μετρήσεις μας επιλέξαμε τον μοναδιαίο πυκνωτή του CDAC καθώς οι υπόλοιποι είναι παραλληλίες αυτού. Παρακάτω παραθέτονται οι γεωμετρικές παράμετροι του μοναδιαίου πυκνωτή που χρησιμοποιήσαμε:

$$\left\{ \begin{array}{l} w_f = 50nm \\ l_f = 1\mu m \\ \text{space between fingers} = 50nm \\ \text{Top Layer: M5} \\ \text{Bottom Layer: M3} \\ n_f = 34 \end{array} \right\} \rightarrow C_u = 8.88fF$$

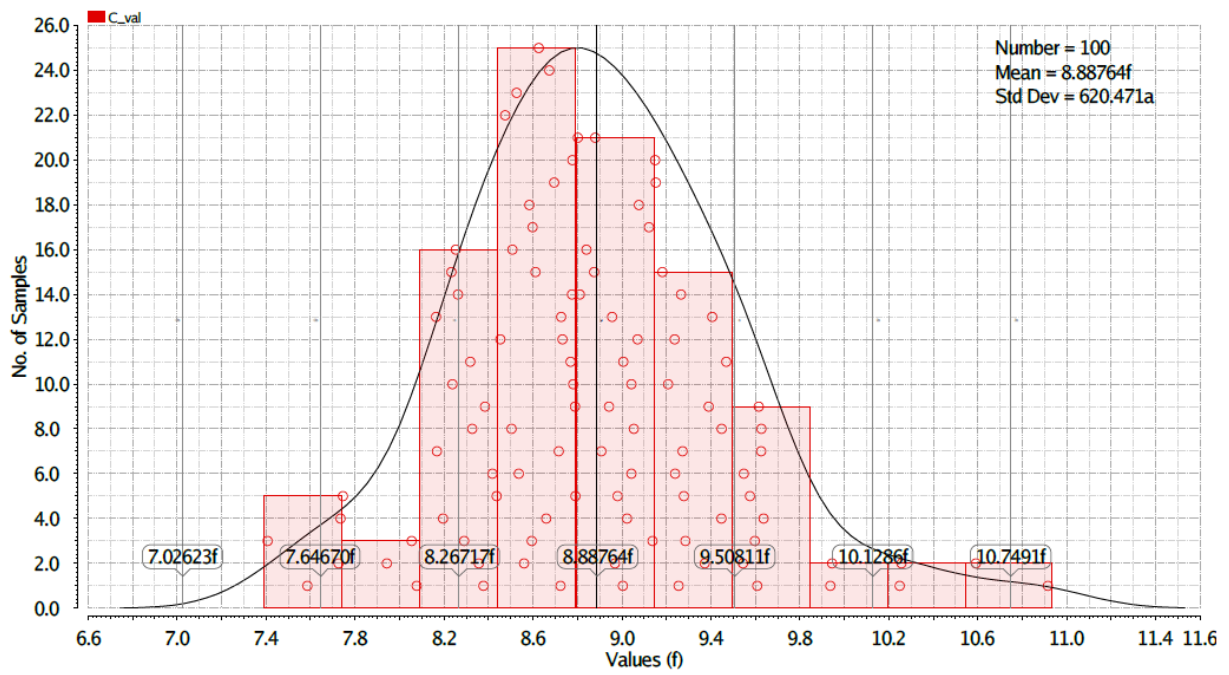
Στην Εικόνα 4.2 απεικονίζεται η χωρητικότητα και ο συντελεστής ποιότητας του μοναδιαίου πυκνωτή. Έως τη συχνότητα ενδιαφέροντος (10GHz) ο συντελεστής ποιότητας παραμένει αρκετά πάνω από το εμπειρικό όριο του 20 και η τιμή της χωρητικότητας έχει σφάλμα λιγότερο από 1%. Τα όρια αυτά ξεπερνούνται αρκετά αργότερα σε όρους συχνότητας όπως φαίνεται από το γράφημα.



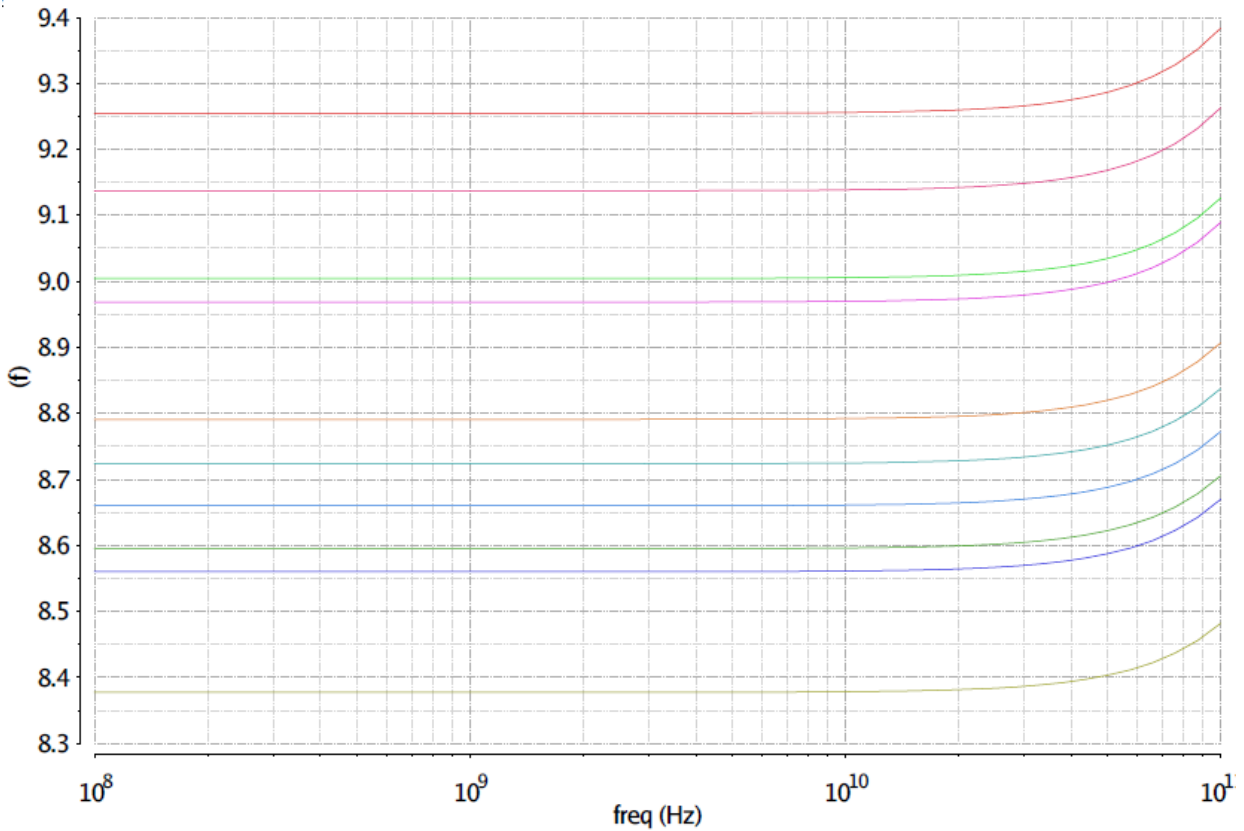
Εικόνα 4.2: Συντελεστής ποιότητας και χωρητικότητα συναρτήσει της συχνότητας.

Το σημαντικότερο πρόβλημα στην κατασκευή ολοκληρωμένων στοιχείων είναι η απόκλιση των γεωμετρικών παραμέτρων που έχει δώσει ο σχεδιαστής αρχικά στο schematic. Συνεπώς πρέπει στη συνέχεια να λαμβάνει κανείς υπόψιν του τις αποκλίσεις αυτές μέσω στατιστικών μετρήσεων που έχουν δοθεί από τον κατασκευαστή στο φύλλο δεδομένων της τεχνολογίας και έχουν ενσωματωθεί στις βιβλιοθήκες του σχεδιαστικού εργαλείου. Μέσω των προσομοιώσεων Monte-Carlo μπορούμε να εκτιμήσουμε τις αποκλίσεις αυτές.

Στην Εικόνα 4.3 φαίνεται η κατανομή της τιμής της χωρητικότητας του μοναδιαίου πυκνωτή για 100 δείγματα, ενώ στην Εικόνα 4.4 απεικονίζονται οι χαρακτηριστικές του πυκνωτή ως προς τη συχνότητα για 10 δείγματα.



Εικόνα 4.3: Κατανομή C_u από Monte-Carlo προσομοίωση.



Εικόνα 4.4: Χαρακτηριστικές C_u vs f από Monte-Carlo προσομοίωση.

4.2 Διακόπτες

Δεύτερο βασικό στοιχείο του κυκλώματος του CDAC που είναι και το βασικότερο μπλοκ ενός SAR ADC είναι οι διακόπτες που χρησιμοποιούμε τόσο για την ανακατανομή φορτίου όσο και για τη δειγματοληψία. Επιπλέον μέσω διακοπών παρέχεται στο κύκλωμα και η τάση αναφοράς.

Η τεχνολογία που στην οποία υλοποιήσαμε την σχεδίαση μας παρέχει μια ποικιλία από τρανζίστορ ώστε να είναι στην κρίση του σχεδιαστή ποιο τρανζίστορ θα χρησιμοποιηθεί για κάθε σκοπό.

Για τους διακόπτες χρησιμοποιήσαμε low voltage transistors τα οποία κατανέμονται σε 5 υποκατηγορίες :

- Ultra-Low V_t
- Low V_t
- Standard V_t
- High V_t
- Ultra-High V_t

Όσο μικρότερη τιμή έχει η τάση κατωφλίου V_t , τόσο γρηγορότερη απόκριση έχει το τρανζίστορ και συνεπώς τόσο μικρότερη R_{on} και R_{off} έχει ο διακόπτης.

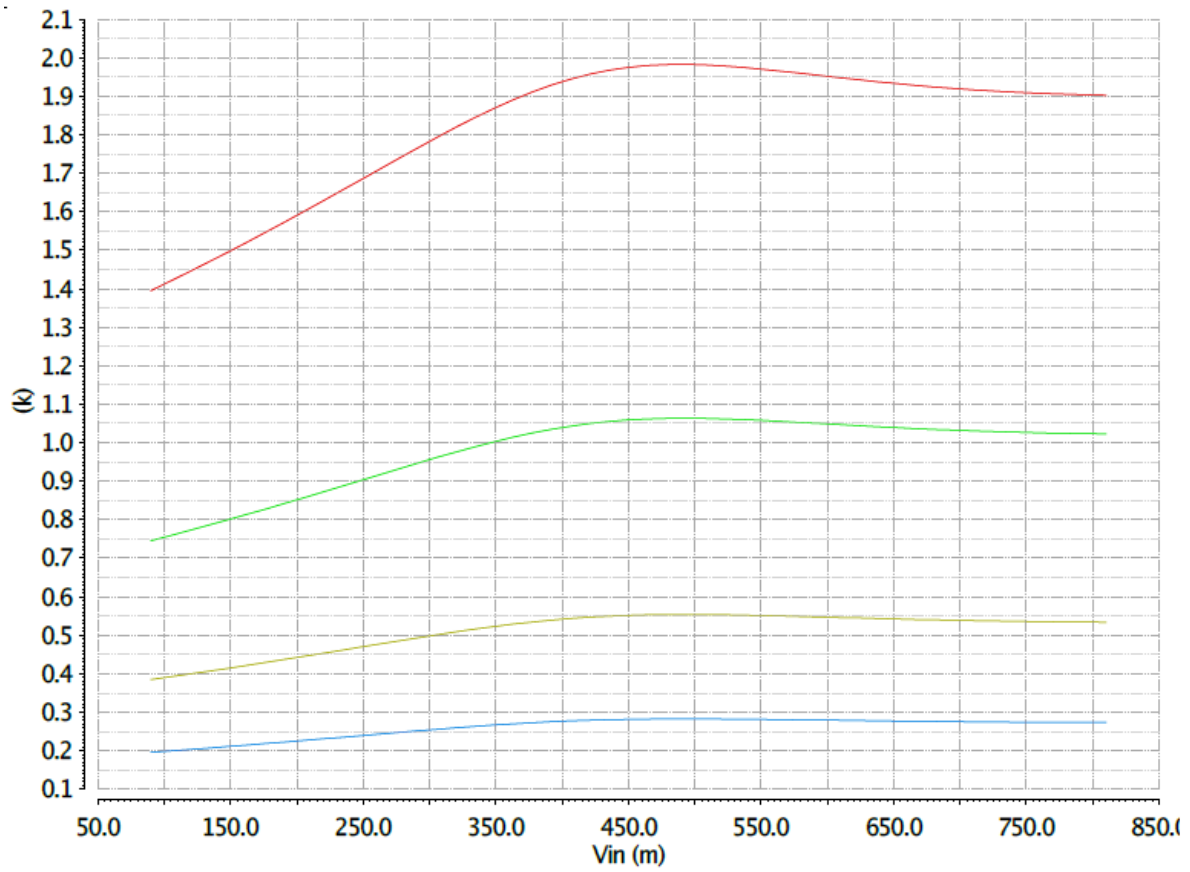
Εμείς χρησιμοποιήσαμε τρανζίστορ ultra-low και standard V_t . Τα ultra-low V_t τρανζίστορ χρησιμοποιήθηκε στους διακόπτες που οδηγούν τους πυκνωτές της δειγματοληψίας και της ανακατανομής φορτίου ώστε μέσω της μικρής R_{on} να πετύχουμε μικρή σταθερά χρόνου που θα μας επιτρέψει να εξασφαλίσουμε μεγαλύτερη ταχύτητα στον μετατροπέα.

Τα standard V_t τρανζίστορ χρησιμοποιήθηκαν στους διακόπτες που παρέχουν την τάση αναφοράς κατά τη δειγματοληψία ώστε με την μεγάλη R_{off} να ελαχιστοποιήσουμε τη διαρροή φορτίου.

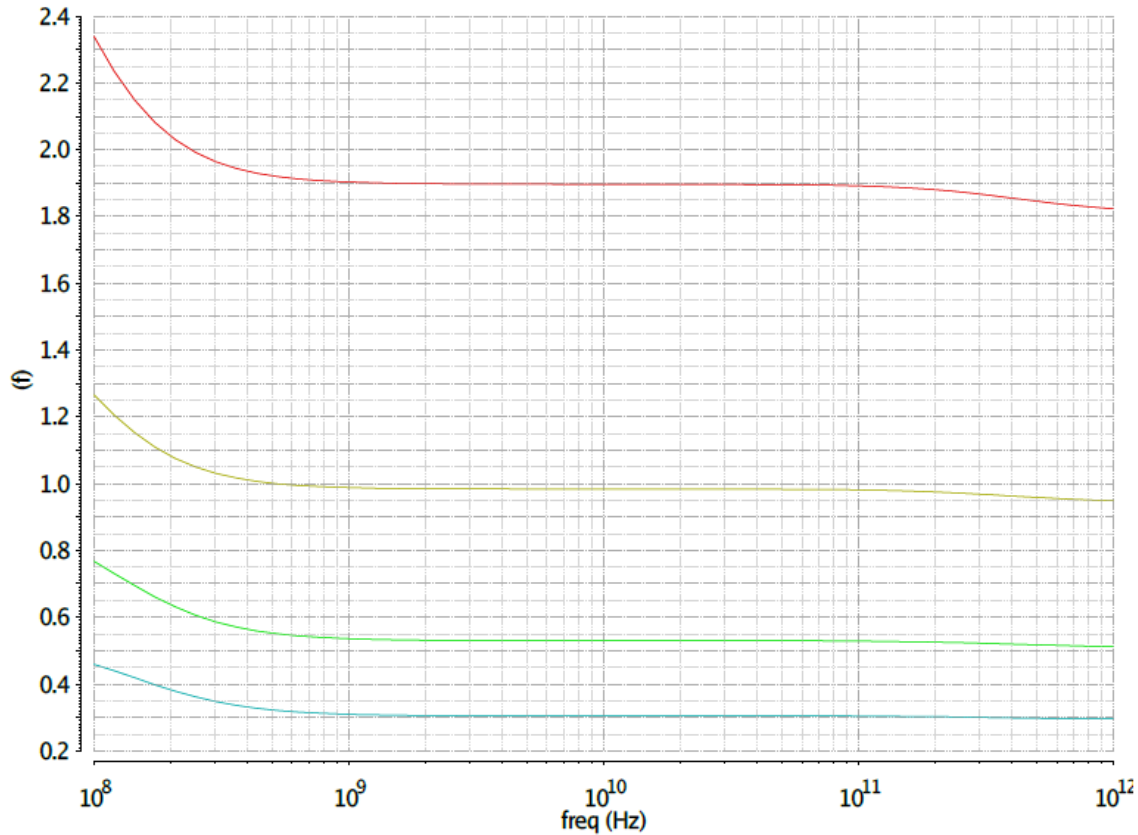
Το sizing των διακοπών είναι ανάλογο με τους πυκνωτές που οδηγούν ώστε να παραμένει σταθερή η σταθερά χρόνου για κάθε bit του CDAC. Ο παρακάτω πίνακας δείχνει τα γεωμετρικά χαρακτηριστικά των διακοπών (πύλες μετάδοσης).

Load Cap.	$nmos w_f$	$pmos w_f$	l_f	n_f
C_u	100 nm	120 nm	30 nm	2
$2 \times C_u$	200 nm	240 nm	30 nm	2
$4 \times C_u$	400 nm	480 nm	30 nm	2
$8 \times C_u$	800 nm	960 nm	30 nm	2

Παρακάτω παραθέτονται διάφορες μετρήσεις για τους διακόπτες που οδηγούν τους πυκνωτές. Προφανώς όσο μεγαλύτερο το πλάτος της πύλης τόσο μικρότερη η αντίσταση του διακόπτη όταν είναι κλειστός και τόσο μεγαλύτερη η χωρητικότητά του όταν είναι ανοικτός.



Εικόνα 4.6: R_{on} vs Τάση εισόδου.



Εικόνα 4.7: C_{off} vs συχνότητα.

4.3 Ταχύτητα ψηφιακή λογικής

Στην παρούσα εργασία η υλοποίηση του αλγορίθμου successive approximation πραγματοποιήθηκε με κώδικα Verilog. Συνεπώς δε μπορούμε να υπολογίσουμε με ακρίβεια την ταχύτητα του SAR. Παρ'όλα αυτά μπορούμε να εκτιμήσουμε την ταχύτητα αυτή μετρώντας τον χρόνο απόκρισης της απλούστερης λογικής πύλης, που είναι ο αντιστροφέας, οδηγώντας τέσσερις φορές τον εαυτό του.

Η μέτρηση αυτή που θα πάρουμε ονομάζεται Fan-out 4 και θα δώσει μία εκτίμηση για την μέγιστη ταχύτητα που μπορεί να έχει το ρολόι στο πραγματικό κύκλωμα.

$$\max T_{clk} \approx 6 \times FO4 \quad (4.1)$$

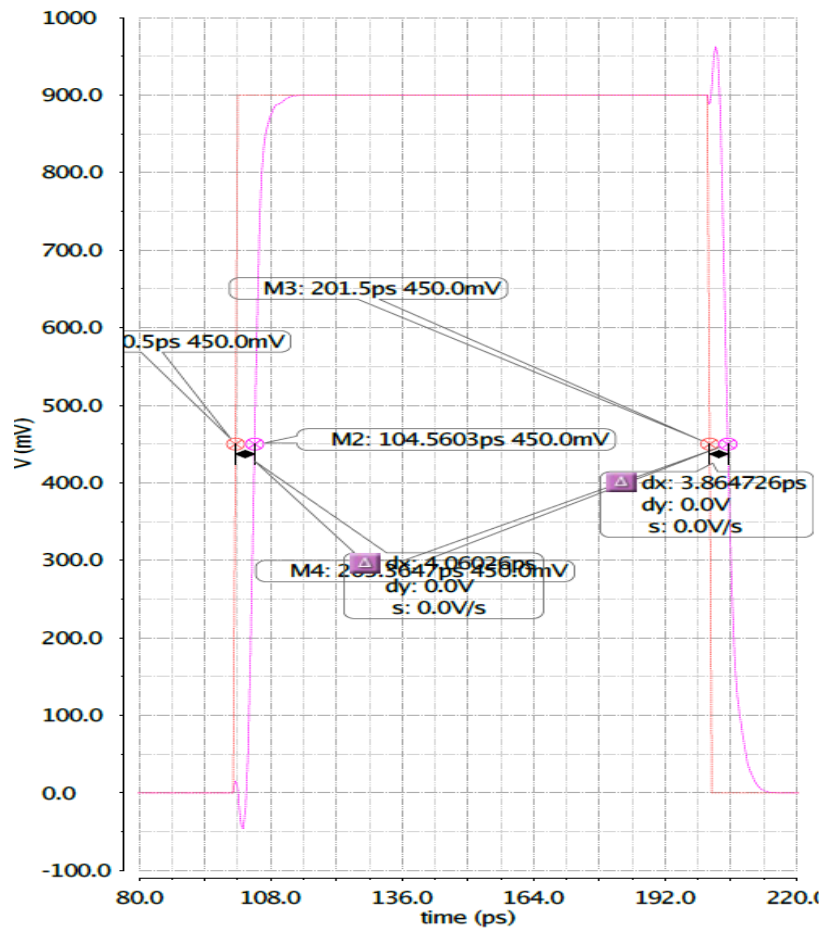
Πήραμε μετρήσεις για μοναδιαίο αντιστροφέα με τις εξής γεωμετρικές παραμέτρους:

- $w_{f,n} = 100 \text{ nm}$
- $w_{f,p} = 180 \text{ nm}$
- $n_f = 4$
- $l = 30 \text{ nm}$

➤ Για αντιστροφέα με standard V_t τρανζίστορ πήραμε : $FO4 = 12.8 \text{ ps}$

➤ Για αντιστροφέα με ultra-low V_t τρανζίστορ πήραμε : $FO4 = 7.9 \text{ ps}$

Στην Εικόνα 4.8 απεικονίζεται η απόκριση ενός μοναδιαίου αντιστροφέα με τρανζίστορ ultra-low τάσης κατωφλίου για τη μέτρηση χρόνου ανόδου και καθόδου ώστε να βρεθεί η αναλογία πλάτους πύλης p_{mos} και n_{mos} για να είναι ίσοι οι χρόνοι αυτοί.



Εικόνα 4.8: Απόκριση μοναδιαίου αντιστροφέα.

5 Υλοποίηση & Αποτελέσματα Προσομοιώσεων

Στο κεφάλαιο αυτό θα παρουσιάσουμε την σχεδιαστική πορεία της παρούσας εργασίας, τα προβλήματα που αντιμετωπίσαμε και την επίλυσή τους, καθώς και αποτελέσματα προσομοιώσεων.

Αναλυτικότερα, θα μιλήσουμε εκτενώς για την σχεδίαση του συγκριτή και του CDAC καθώς αυτά είναι τα βασικότερα μπλοκ ενός SAR ADC. Στη συνέχεια θα αναφερθούμε στο κομμάτι της ψηφιακής λογικής όπου υλοποιούμε τον αλγόριθμο του successive approximation σε Verilog και τέλος στην τεχνική της παραλληλοποίησης (interleaving), η οποία επίσης υλοποιήθηκε σε Verilog.

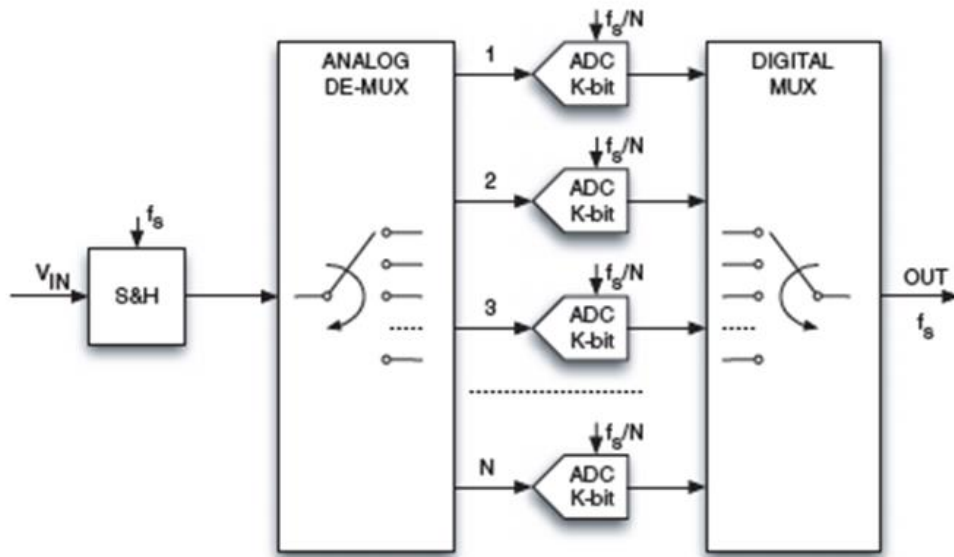
Στην Εικόνα 5.1 παρουσιάζεται η αρχιτεκτονική που χρησιμοποιήθηκε στην παρούσα εργασία με την μόνη διαφορά ότι το κύκλωμα της δειγματοληψίας δεν υλοποιήθηκε, καθώς ο CDAC σε κάθε μπλοκ δειγματοληπτεί το σήμα εισόδου, όπως θα δούμε παρακάτω αναλυτικότερα.

Στην Εικόνα 5.2 απεικονίζεται το μπλοκ διάγραμμα του SAR ADC που χρησιμοποιήθηκε για τον σχεδιασμό του πλήρους Time-Interleaved SAR ADC και στην παρούσα εργασία θα τον αποκαλούμε sub-ADC για συντομία.

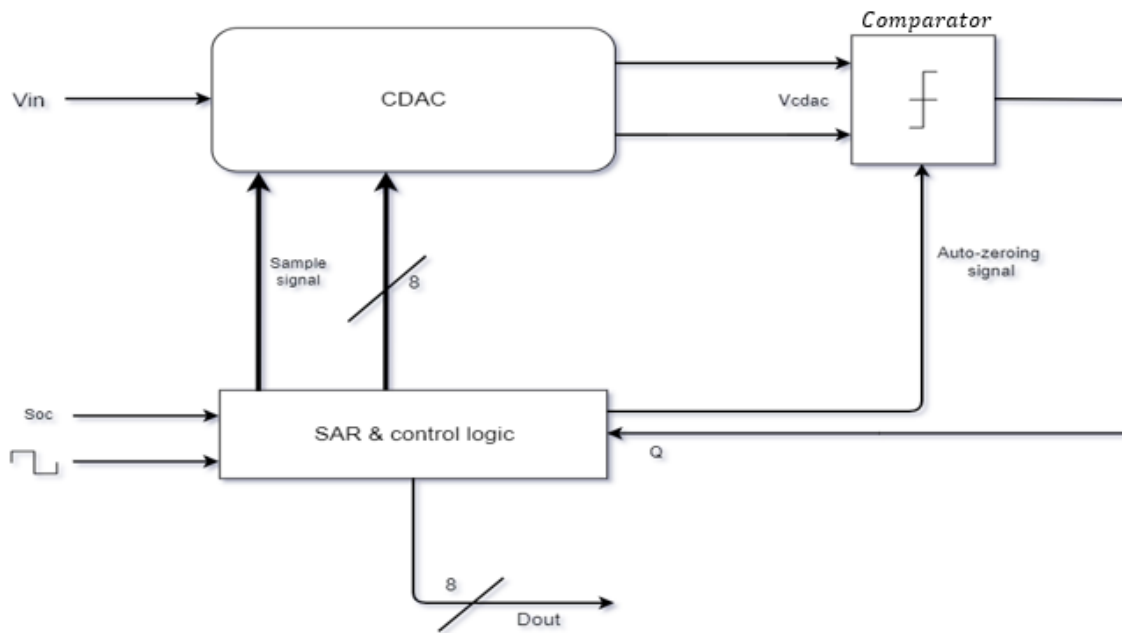
Τα σημαντικότερα μπλοκ από πλευράς επίδοσης είναι ο CDAC και συγκριτής και επηρεάζουν της παρακάτω παραμέτρους :

- Συγκριτής → Ταχύτητα, Εύρος ζώνης, Κατανάλωση Ισχύος.
- CDAC → Γραμμικότητα, Offset και Gain Error, Ταχύτητα, ENOB.

Προφανώς και η ψηφιακή λογική συνδράμει στην κατανάλωση ισχύος, όμως δεν μπορούμε να υπολογίσουμε ακριβώς την ισχύ που καταναλώνεται, διότι υλοποιήθηκε σε Verilog. Συνεπώς προβλέφθηκε ένα ποσό ισχύος για τον υπολογισμό του Figure of Merit από παρόμοιες εργασίες.



Εικόνα 5.1: Μπλοκ Διάγραμμα του πλήρους SAR ADC.



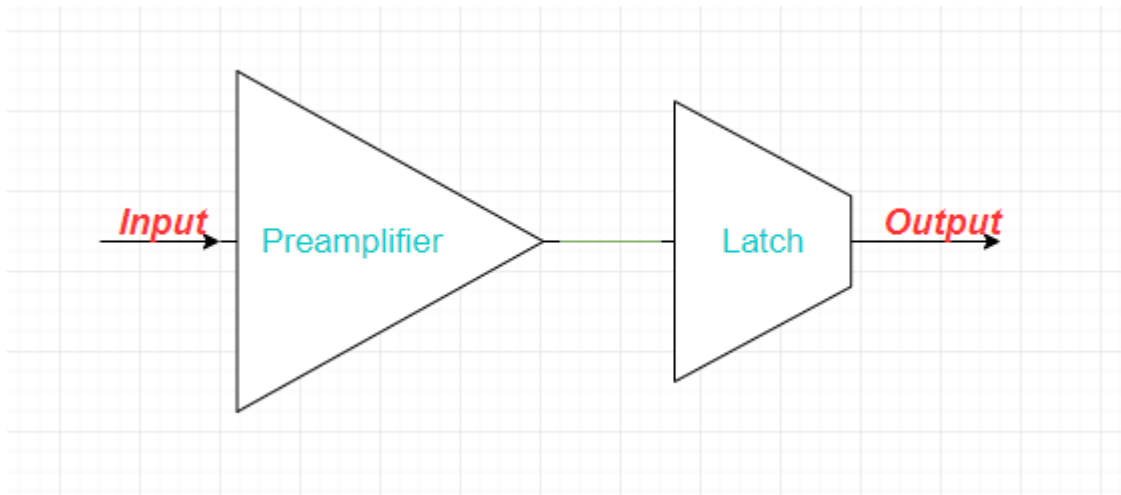
Εικόνα 5.2: Μπλοκ Διάγραμμα του sub-ADC SAR.

5.1 Σχεδίαση Sub-ADC

5.1.1 Σχεδίαση Συγκριτή

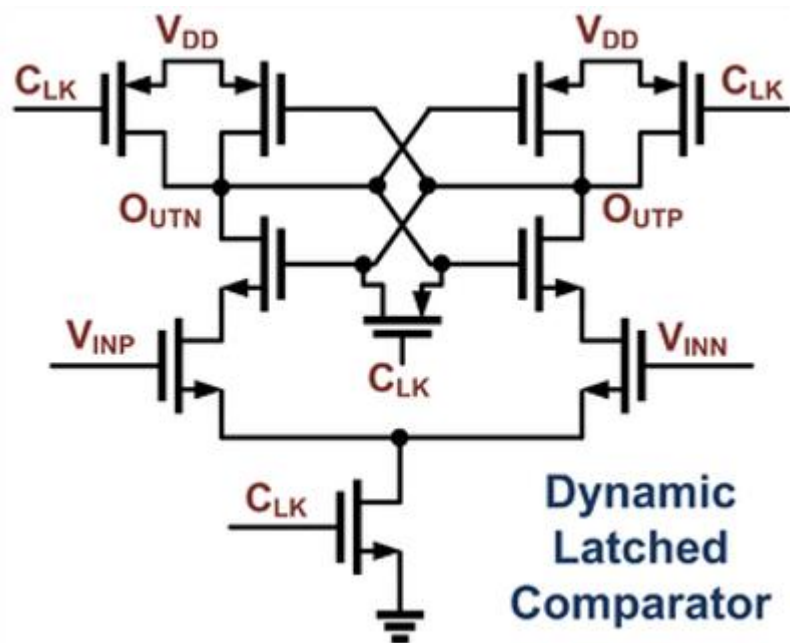
Για την σχεδίαση του συγκριτή απαιτούνται δύο βασικές προϋποθέσεις που είναι κρίσιμης σημασίας για την επιθυμητή απόδοση του μετατροπέα της παρούσας εργασίας.

Πρώτη προϋπόθεση είναι η γρήγορη απόκριση του κυκλώματος. Τόσο το εύρος ζώνης όσο και το settling time του συγκριτή καθορίζουν την ταχύτητα μετατροπής του ADC. Εξετάστηκαν δύο επιλογές για τον σχεδιασμό του συγκριτή, οι οποίες βασίζονται στην ίδια high level αρχιτεκτονική, η οποία φαίνεται στην Εικόνα 5.3. Η διαφορά των δύο προσεγγίσεων είναι τόσο ο προ-ενισχυτής όσο και το κύκλωμα απόφασης του συγκριτή.



Εικόνα 5.3: High Level μοντέλο του συγκριτή.

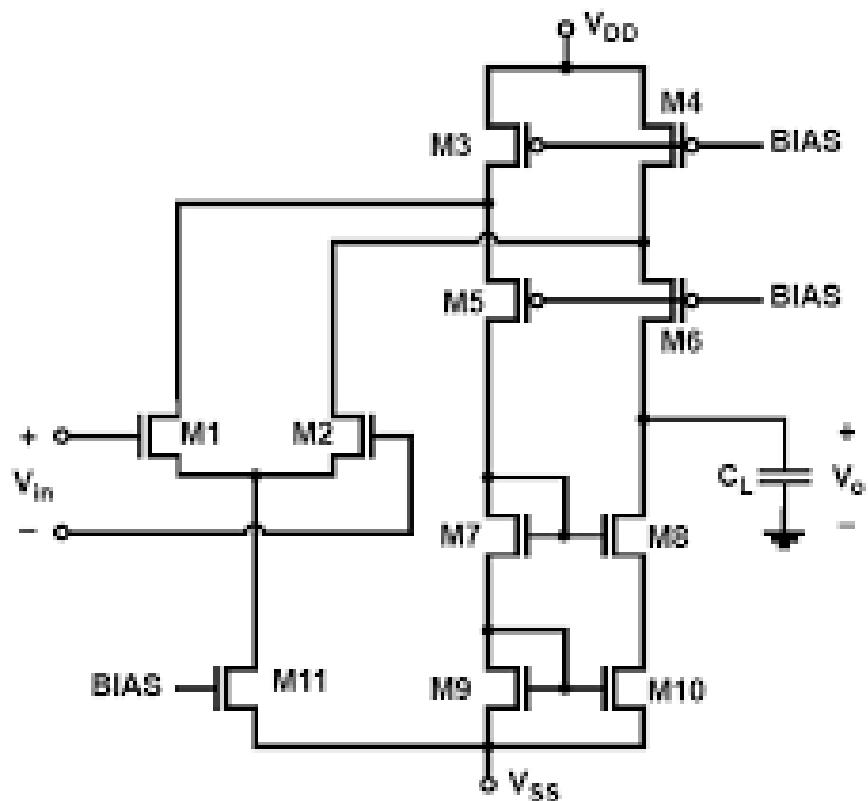
Η πρώτη μας επιλογή ήταν ένα κύκλωμα προενισχυτή με θετική ανάδραση και ως κύκλωμα απόφασης ένας μανδαλωτής (αναφερόμαστε πάντα σε ενικό αριθμό όμως μιλάμε για διαφορικό κύκλωμα τόσο ως προς την είσοδο όσο και την έξοδο). Στην Εικόνα 5.4 φαίνεται το πρώτο κύκλωμα που δοκιμάσαμε αλλά εν τέλει δε χρησιμοποιήθηκε καθώς η θετική ανάδραση φόρτωνε την είσοδο με επιπλέον χωρητικότητα άρα μειωνόταν το εύρος ζώνης και επιπλέον είχε μεγαλύτερο χρόνο απόκρισης από τον επιθυμητό (μικρότερο από 100ps).



Εικόνα 5.4: Latch Comparator.

Στη συνέχεια, εφόσον δεν δούλεψε η λύση με θετική ανάδραση στραφήκαμε σε μία "brute-force" προσέγγιση, η οποία ακολουθεί πάλι το σχήμα στην Εικόνα 5.3. Ο σκοπός του προενισχυτή είναι να ενισχύσει αρκετά το σήμα εισόδου στον συγκριτή ώστε να μπορεί να δουλέψει επιτυχώς το κύκλωμα απόφασης. Συνεπώς, βασικός στόχος είναι το κέρδος παράλληλα με το εύρος ζώνης.

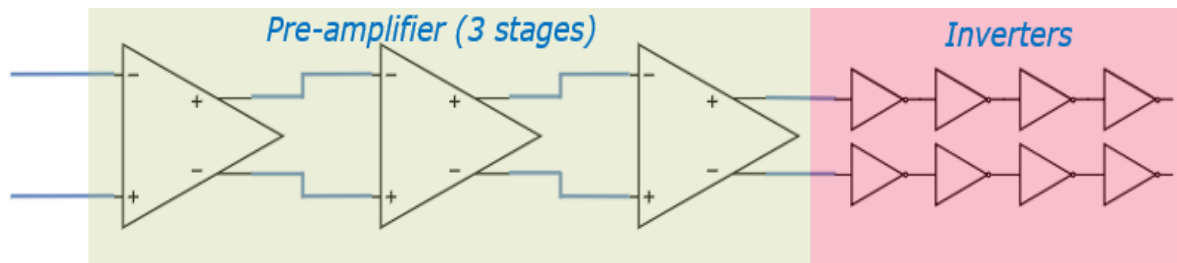
Αρχικά δοκιμάσαμε την τοπολογία που απεικονίζεται στην . Η προσπάθεια αυτή εγκαταλείφθηκε σχεδόν αμέσως λόγω αδυναμίας των προδιαγραφών της τεχνολογίας. Η σχετικά υψηλή τάση κατωφλίου σε συνδυασμό με την χαμηλή τάση τροφοδοσίας, ακόμα και στα ultra-low V_t τρανζίστορς, αφήνει πολύ μικρό δυναμικό εύρος για την είσοδο του προενισχυτή, και επιπροσθέτως τα τρανζίστορ M5 και M6 λειτουργούσαν στην περιοχή τριόδου με αποτέλεσμα να μειώνεται σημαντικά το κέρδος.



Εικόνα 5.5: Συνδεσμολογία Cascode που χρησιμοποιήθηκε για τον προενισχυτή.

Συνεπώς, χρησιμοποιήθηκε μία απλούστερη μεν αλλά με κάποια διαφορετικά προβλήματα, τα οποία φυσικά αντιμετωπίστηκαν, σχεδίαση. Η λύση αυτή ήταν ένας μονοσταδιακός διαφορικός ενισχυτής, δηλαδή ένα διαφορικό ζεύγος το οποίο παρουσιάζεται στην Εικόνα 5.7, σαν μοναδιαίο μπλοκ.

Το συνολικό κύκλωμα του συγκριτή αποτελείται από έναν προενισχυτή τριών όμοιων σταδίων και μία συστοιχία από ψηφιακούς αντιστροφείς σε κάθε μία από τις δύο εξόδους, όπως φαίνεται στην Εικόνα 5.6.



Εικόνα 5.6: Προτεινόμενη σχεδίαση Συγκριτή.

Τα specs του προτεινόμενου προενισχυτή είναι:

- $A_{V,d} = 32.7dB$
- $f_{-3dB} = 3.4GHz$
- $Power\ Consumption = 429\mu W$
- $C_{in} = 3 - 4\ fF$

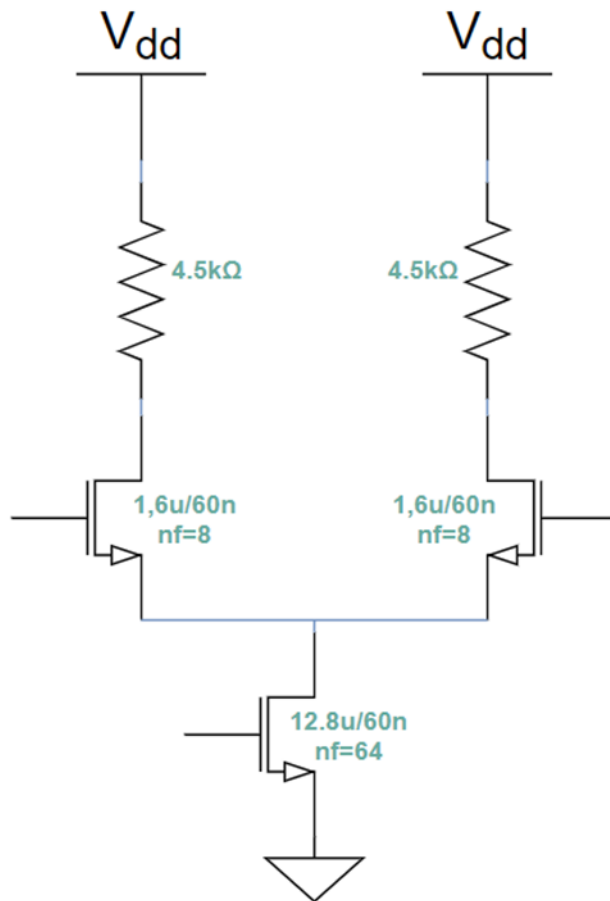
Ενώ της συστοιχίας των αντιστροφών (οι οποί υλοποιήθηκαν με ultra-low V_t τρανζίστορ) είναι :

- $\tau_{delay} = 10ps$
- $t_{rise} = 3.4ps$
- $t_{fall} = 4.2ps$

Το καθένα από τα τρία στάδια του προενισχυτή είναι ένα διαφορικό ζεύγος. Η απλή αυτή σχεδίασα οφείλεται σε δύο παράγοντες: (α) η χαμηλή τάση τροφοδοσίας (900mV) που είναι στις προδιαγραφές της τεχνολογίας δεν επιτρέπει κασκοδική συνδεσμολογία, όπως αναφέρθηκε παραπάνω καθώς η τάση κατωφλίου ακόμα και των ultra-low V_t τρανζίστορ είναι κοντά στα 400mV και (β) τα τρανζίστορ της τεχνολογίας έχουν μικρή αντίσταση εξόδου της τάξης των 10 k Ω , οπότε είναι αναγκαίο να χρησιμοποιηθεί αλυσίδα διαφορικών ζευγών για να επιτευχθεί ένα αξιοπρεπές κέρδος.

Η δεύτερη προϋπόθεση που απαιτείται για τον συγκριτή είναι η όσο το δυνατόν μικρότερη χωρητικότητα εισόδου. Αυτό είναι απαραίτητο ώστε να μην φορτωθεί με επιπλέον χωρητικότητα

ο CDAC που τροφοδοτεί με δεδομένα τον συγκριτή και επίσης για να πετύχουμε μέγιστο εύρος ζώνης και settling time. Συνεπώς, χρησιμοποιήθηκαν όσο το δυνατόν μικρότερα τρανζίστορ στα διαφορικά ζεύγη του προενισχυτή με γνώμονα πάντα το επαρκές κέρδος. Τα μεγέθη των τρανζίστορ και το design του διαφορικού ζεύγους φαίνονται στην Εικόνα 5.7.

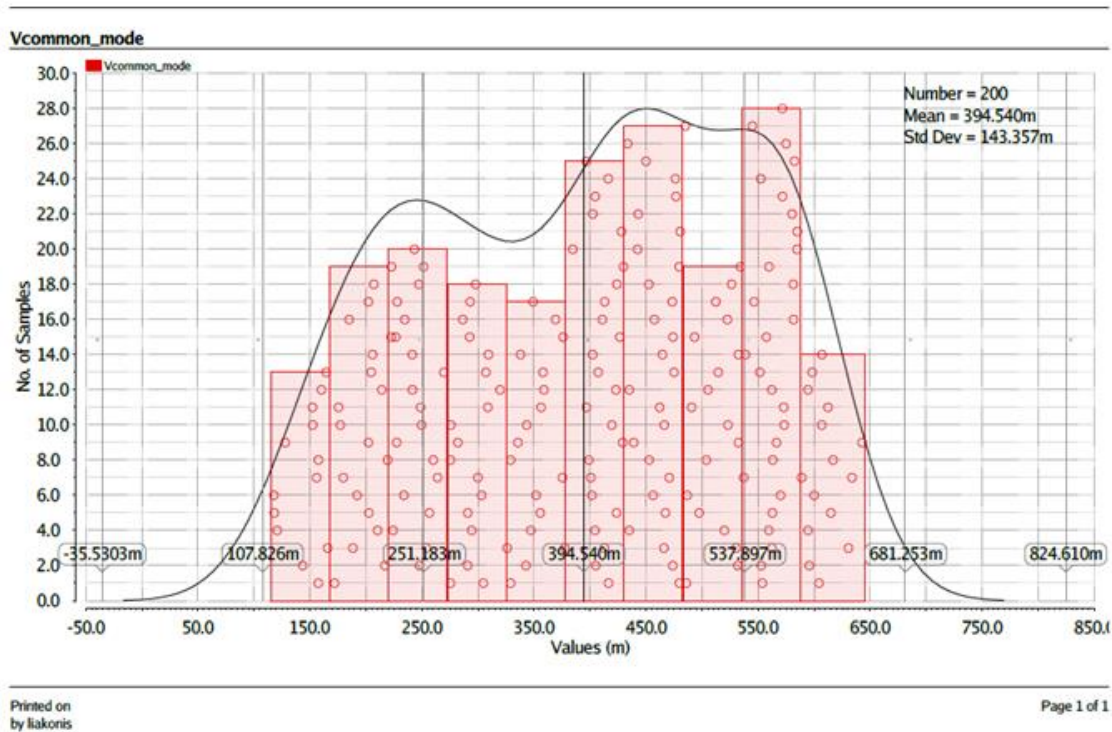


Εικόνα 5.7: Διαφορικό ζεύγος του προενισχυτή.

Με τα μεγέθη που επιλέξαμε στο κύκλωμα που απεικονίζεται στην Εικόνα 5.7 επιτεύχθηκαν οι βασικοί στόχοι του συγκριτή σε επίπεδο schematic. Ωστόσο δε μπορούμε να

αγνοήσουμε τις επιπτώσεις και τα προβλήματα που θα προκύψουν από το layout και το tape-out του παραπάνω κυκλώματος.

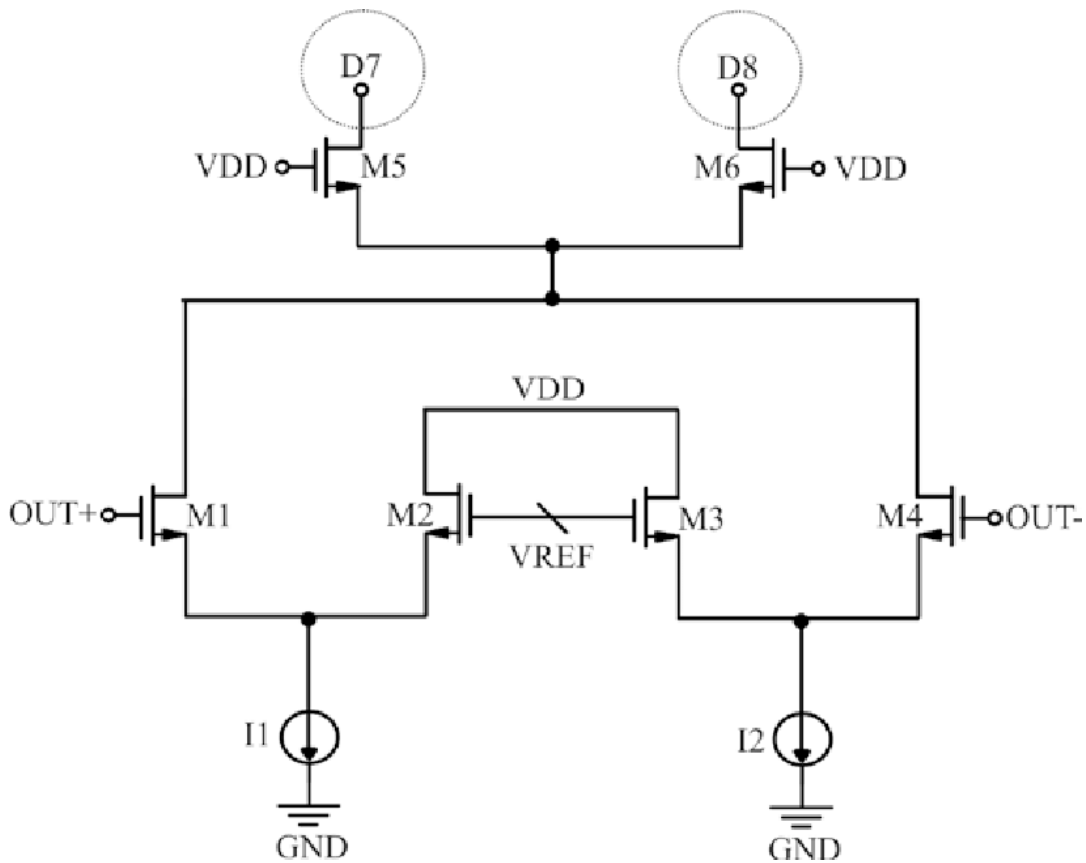
Στο σημείο αυτό είναι χρήσιμο να αναφέρουμε την λειτουργία του κυκλώματος του προτεινόμενου συγκριτή. Ο συγκριτής μας για να δώσει αποτέλεσμα εκμεταλλεύεται το τεράστιο κέρδος των ψηφιακών αντιστροφών. Με την παραμικρή απόκλιση από την τάση common mode, η οποία είναι στα 455mV ο αντιστροφέας θα δώσει είτε λογικό «1» είτε λογικό «0» με ένα περιθώριο απόφασης περίπου 4mV. Αυτό σημαίνει ότι για μηδενική τάση εισόδου στον συγκριτή πρέπει να διατηρείται η τάση στους κόμβους εξόδου στον προενισχυτή στα 450 mV. Αυτό, όμως, είναι αδύνατον να συμβεί στον παρόν προενισχυτή, καθώς υπάρχει μεγάλο mismatch και process variation. Αυτό γίνεται προφανές στην Εικόνα 5.8, όπου φαίνεται το αποτέλεσμα από Monte-Carlo προσομοίωση του προενισχυτή. Η μέση τιμή είναι στα ~394mV και η τυπική απόκλιση είναι ~143mV. Δηλαδή μόνο κατα τύχη θα έχουμε το επιθυμητό αποτέλεσμα!



Εικόνα 5.8: Αποτέλεσμα Monte-Carlo στους κόμβους εξόδου του προενισχυτή.

Το πρόβλημα το offset στην έξοδο του προενισχυτή, όπως αναφέρθηκε, οδηγεί σε προβλήματα στη λειτουργία του συνολικού κυκλώματος του συγκριτή. Η πρώτη απόπειρα αντιμετώπισής του ήταν μέσω ενός κυκλώματος ανάδρασης Common mode feedback. Παίρνοντας τη διαφορική τάση εξόδου του διαφορικού ζεύγους ελέγχουμε την πηγή ρεύματος που πολώνει το διαφορικό ζεύγος ώστε να έχουμε σταθερή μέση τιμή στην έξοδο του προενισχυτή, δηλαδή

$$(V_{out+} + V_{out-})/2 = V_{CM} \quad (5.1)$$



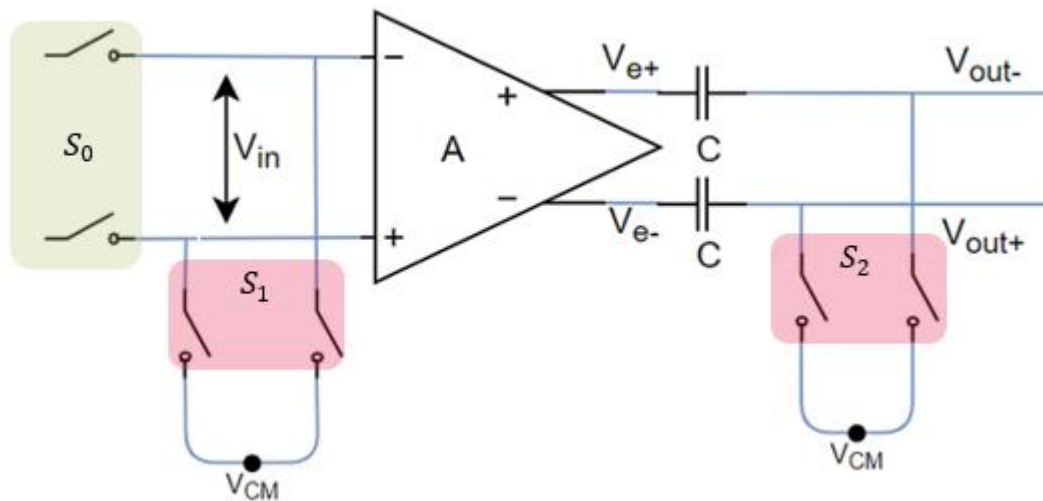
Εικόνα 5.9: Κύκλωμα common mode feedback.

Με αυτή τη λύση όμως προκύπτει πάλι το πρόβλημα που αντιμετωπίσαμε με τη θετική ανάδραση, δηλαδή μείωση της ταχύτητας και του εύρους ζώνης του προενισχυτή.

Εκτός του προβλήματος με το εύρος ζώνης, το οποίο είναι αρκετό για να απορρίψουμε και αυτή τη λύση, υπάρχει και δεύτερο μειονέκτημα. Στην παρούσα τοπολογία προενισχυτή, το κύκλωμα CMFB ελέγχει μεν την μέση τιμή της διαφορικής τάσης εξόδου αλλά δε μπορεί να

ρυθμίσει την κάθε μία ξεχωριστά, το οποίο είναι και το ζητούμενο για τη σωστή λειτουργία του κυκλώματος. Για παράδειγμα ενώ η μέση τιμή είναι στα 450 mV , οι επιμέρους τάσεις μπορεί να είναι 650 mV και 250 mV . Συνεπώς απορρίπτεται και αυτή η προσέγγιση.

Εν τέλει, η λύση που χρησιμοποιήσαμε για την αντιμετώπιση του προβλήματος του mismatch είναι μια τεχνική offset cancelation που λέγεται auto-zeroing. Πρακτικά, αποθηκεύεται το σφάλμα λόγω mismatch σε έναν πυκνωτή και αφαιρείται στην έξοδο.



Εικόνα 5.10: Κύκλωμα offset-cancellation προσαρμοσμένο στον προενισχυτή

Το τελικό κύκλωμα του προενισχυτή είναι αυτό που φαίνεται στην Εικόνα 5.10. Η τάση στους κόμβους εξόδου πριν τους πυκνωτές είναι

$$V_{e\pm} = V_{CM} \pm \frac{A}{2} \times V_{in} + \delta V \quad (5.2)$$

όπου δV είναι το σφάλμα λόγω mismatch.

Η λειτουργία του κυκλώματος πραγματοποιείται σε δύο στάδια. Αρχικά, οι διακόπτες S_1 και S_2 είναι κλειστοί ενώ οι S_0 παραμένουν ανοιχτοί. Οπότε το φορτίο των πυκνωτών είναι

$$Q_c = C \times (V_{e+} - V_{CM}) = C \times \delta V \quad (5.3)$$

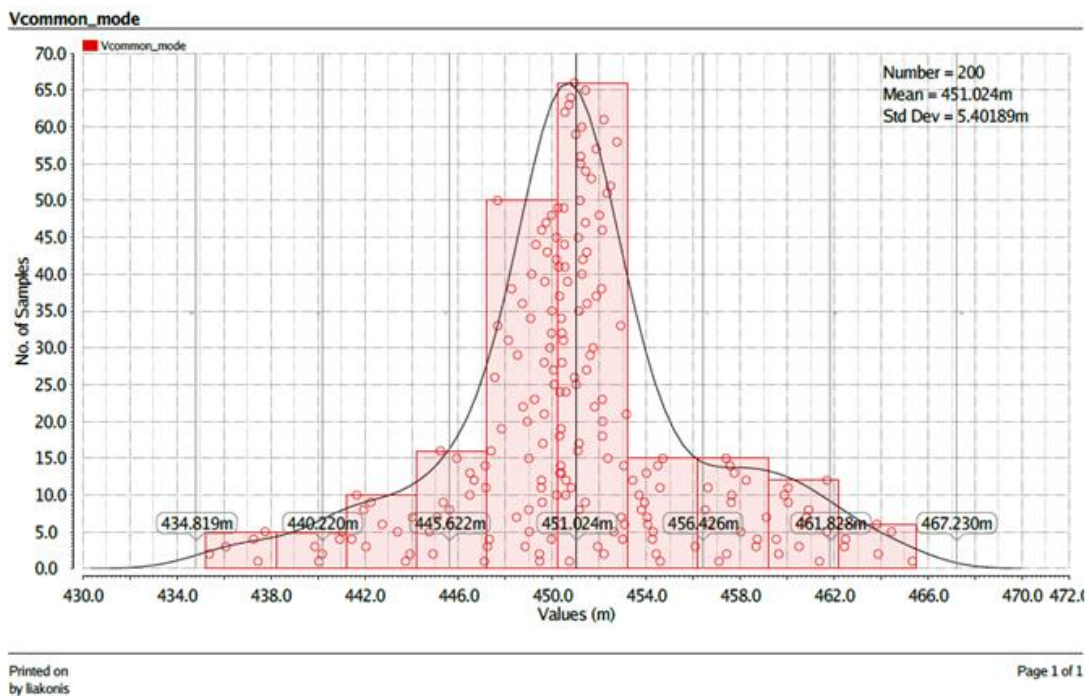
Στο επόμενο βήμα ανοίγουν οι διακόπτες S_1 και S_2 και κλείνουν οι S_0 με αποτέλεσμα να εφαρμόζεται η V_{in} στην είσοδο του προενισχυτή και οι κόμβοι εξόδου του συνολικού κυκλώματος, $V_{out\pm}$, να είναι floating. Επομένως το φορτίο τώρα των πυκνωτών είναι

$$Q'_c = C \times (V_{e+} - V_{out-}) = C \times (V_{CM} + \frac{A}{2} \times V_{in} + \delta V - V_{out-}) \quad (5.4)$$

Η αλλαγή αυτή γίνεται σε μικρό χρονικό διάστημα, ώστε το φορτίο στα άκρα του πυκνωτή σε κάθε κόμβο παραμένει σταθερό, δηλαδή

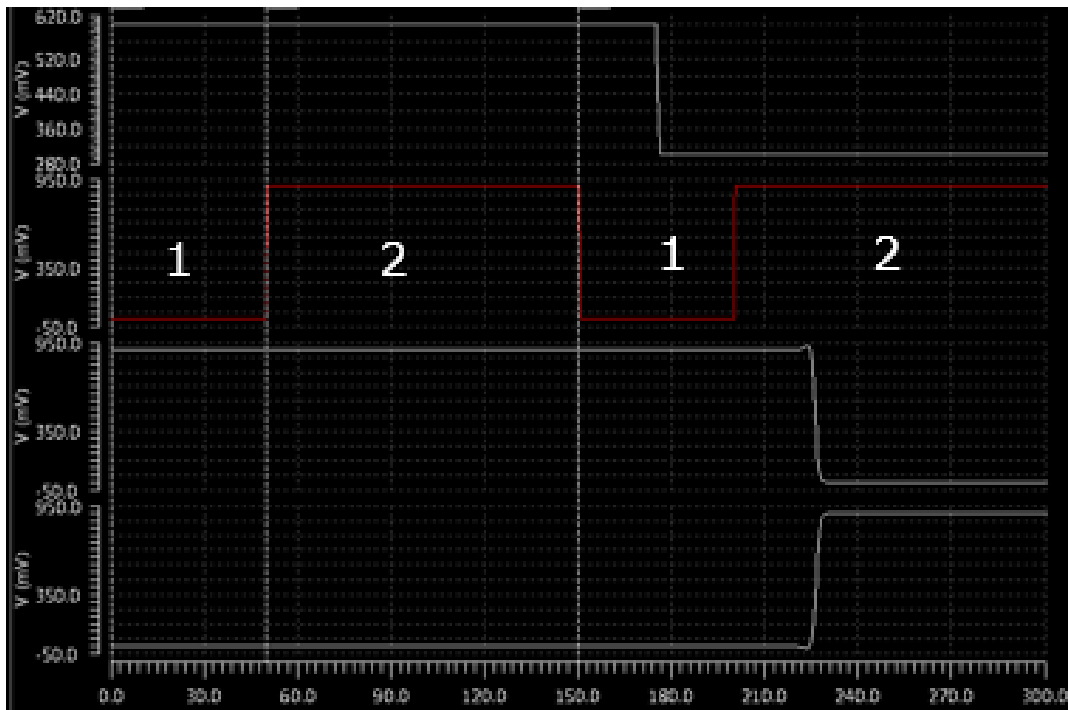
$$Q_c = Q'_c \Rightarrow \begin{cases} V_{out-} = V_{CM} + \frac{A}{2} \times V_{in} \\ \text{και ομοίως} \\ V_{out+} = V_{CM} - \frac{A}{2} \times V_{in} \end{cases} \quad (5.5)$$

Συνεπώς, ενώ το mismatch ακόμα υπάρχει, το σφάλμα που δημιουργεί στην τάση εξόδου αποθηκεύεται σε πρώτο χρόνο και μετά αφαιρείται ώστε να μην επηρεάζει το αποτέλεσμα. Όπως φαίνεται και στην Εικόνα 5.11 η μέση τιμή της τάσης σε κάθε κόμβο εξόδου είναι $\sim 451mV$ και η τυπική απόκλιση $\sim 5mV$ για τον ίδιο αριθμό δειγμάτων.

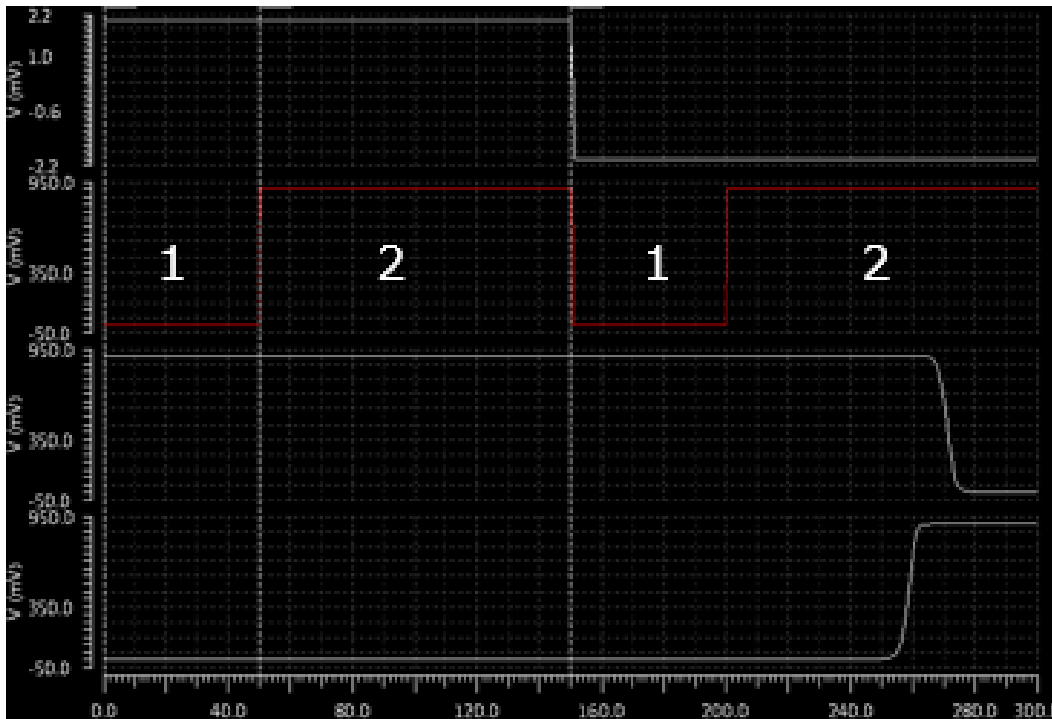


Εικόνα 5.11: Αποτέλεσμα Monte-Carlo στους κόμβους εξόδου του προενισχυτή μετά το offset-cancellation.

Η διαδικασία της απόρριψης του offset, όπως αναφέρθηκε παραπάνω πραγματοποιείται σε δύο στάδια. Από μετρήσεις που πήραμε καταλήξαμε ότι το πρώτο στάδιο όπου γίνεται η φόρτιση του common mode χρειάζεται maximum 39ps οπότε ορίστηκε στα 50ps ώστε να υπάρχει περιθώριο. Το δεύτερο στάδιο απαιτεί maximum 70ps που είναι το μέγιστο settling time στη διαδικασία της σύγκρισης, οπότε ορίστηκε στα 100ps. Στις παρακάτω εικόνες φαίνονται τα transient αποτελέσματα δύο συγκρίσεων. Στην 1^η γραμμή φαίνεται η τάση εισόδου, στην 2^η το timing του συγκριτή που ελέγχει τους διακόπτες, και στην 3^η και 4^η φαίνονται οι δύο συμπληρωματικές έξοδοι του συγκριτή. Η απαίτηση είναι στο τέλος της περιοχής 2 η 3^η γραφική να ακολουθεί την τάση εισόδου ενώ η 4^η να είναι η αντίστροφη.



Εικόνα 5.12: Αποτέλεσμα σύγκρισης με είσοδο $\pm 150\text{mV}$.



Εικόνα 5.13: Αποτέλεσμα σύγκρισης με είσοδο $\pm 2mV$.

Παρατηρούμε ότι για διαφορική τάση εισόδου $150mV$ κατά απόλυτη τιμή το settling time μετρούμενο από την στιγμή που μπαίνουμε στην φάση 2 (2^η φαση 2) είναι περίπου $25ps$. Ομοίως το settling time για απόλυτη τιμή διαφορικής τάσης εισόδου $2mV$ είναι για την rising έξοδο $70ps$ και για την falling $58ps$. Η διαφορά αυτή οφείλεται στο γεγονός ότι το pmos αρχίζει να άγει με μικρότερη απόκλιση από την common mode τάση (τραβάει το λογικό 1) απ'ότι το nmos (τραβάει το λογικό 0).

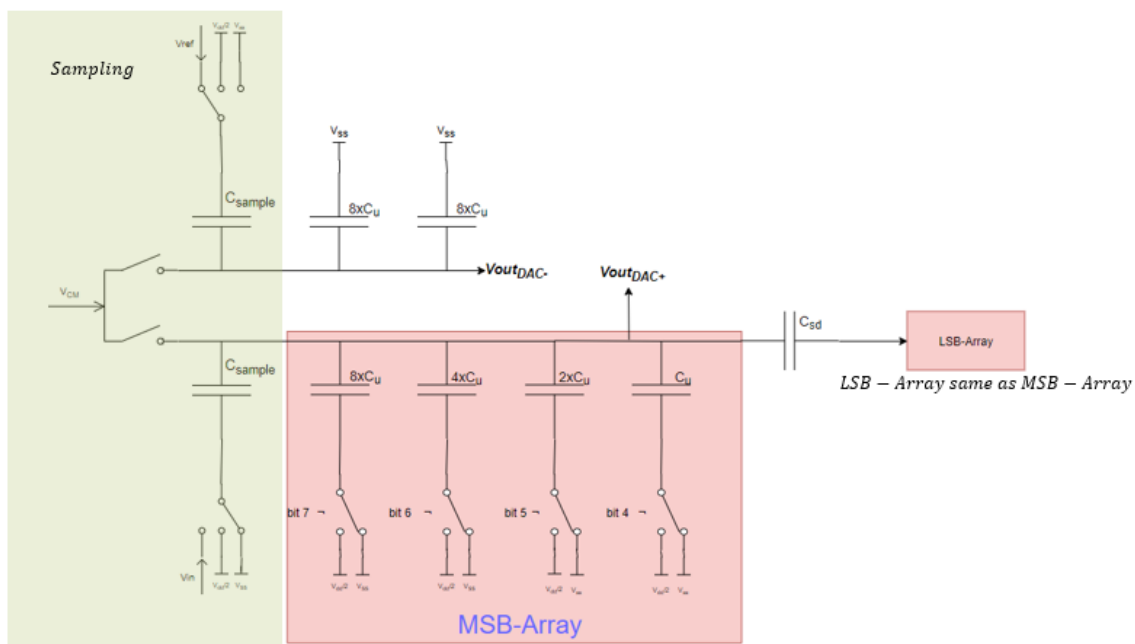
5.1.2 Σχεδίαση CDAC

Στην ενότητα θα δείξουμε την αρχιτεκτονική που χρησιμοποιήσαμε χωρίς πολλές λεπτομέρειες, καθώς καλύφθηκε το θέμα αυτό αναλυτικά στο κεφάλαιο 3, και επίσης θα παρουσιάσουμε αποτελέσματα και σχηματικά από την υλοποίησή μας.

Στην Εικόνα 5.14 απεικονίζεται το κύκλωμα του CDAC που χρησιμοποιήσαμε. Επιλέξαμε pseudo-differential αρχιτεκτονική με ξεχωριστό πυκνωτή δειγματοληψίας C_{sample} ο οποίος είναι

ίσος με τον μεγαλύτερο πυκνωτή από το capacitive array. Η επιλογή αυτής της αρχιτεκτονικής, όπως δείξαμε στο κεφάλαιο 3, μειώνοντας το SNR αυξάνουμε την γραμμικότητα του κυκλώματος καθώς δε φτάνει στα άκρα της τροφοδοσίας. Επιπλέον χρησιμοποιήσαμε έναν bridge capacitor για να μειώσουμε το binary scaling των πυκνωτών.

Επιπλέον πλεονέκτημα της pseudo-differential αρχιτεκτονικής σε σύγκριση με τη single-ended είναι η συμμετρία στο charge injection στους διακόπτες δειγματοληψίας καθώς στη μία πλευρά CDAC δειγματοληπτούμε το σήμα εισόδου και στην άλλη φορτίζουμε και παγώνουμε το φορτίο των πυκνωτών με την τάση αναφοράς μέσω ίδιων διακοπών με εκείνους της δειγματοληψίας. Η μέθοδος αυτή έχει άμεσο αντίκτυπο στην συνάρτηση μεταφοράς του ADC καθώς η ασυμμετρία στο charge injection είναι ένας από του βασικούς παράγοντες που επηρεάζουν την γραμμικότητα.



Εικόνα 5.14: Κύκλωμα CDAC (πριν την εισαγωγή των trim capacitors).

Στην Εικόνα 5.16 φαίνεται το τελικό κύκλωμα που φτιάξαμε στο Virtuoso Cadence. Το sizing του CDAC έγινε ως εξής: η αρχική επιλογή της τιμής της χωρητικότητας του μοναδιαίου πυκνωτή έγινε μέσω της βιβλιογραφίας και ενός webinar που παρακολουθήσαμε στην πορεία της παρούσας εργασίας. Για 8 bit ADC μία καλή τιμή ήταν μεταξύ 8 και 10 fF , οπότε επιλέξαμε την πλησιέστερη στη μεση τιμή χωρητικότητα που μας επιτρέπει η τεχνολογία, η οποία είναι στα

$\sim 8.8 fF$. Οι πυκνωτές που χρησιμοποιήθηκαν είναι mom capacitors (metal-oxide-metal), οι οποίοι είναι ιδανικοί για high-speed κυκλώματα. Οι διαστάσεις του μοναδιαίου πυκνωτή είναι

$$\left\{ \begin{array}{l} w_f = 50nm \\ l_f = 1\mu m \\ \text{space between fingers} = 50nm \\ \text{Top Layer: M5} \\ \text{Bottom Layer: M3} \\ n_f = 34 \end{array} \right\} \rightarrow C_u = 8.88fF$$

Στη συνέχεια επιλέχθηκαν οι διαστάσεις των διακοπών με διαδοχικές προσομοιώσεις έως ότου να πετύχουμε την επιθυμητή ταχύτητα του κυκλώματος, με αρχική τιμή τέτοια ώστε σταθερά χρόνου σε κάθε bit να είναι περίπου 3-4 φορές μικρότερη από το settling time του συγκριτή, δηλαδή $\sim 75 ps \times \frac{1}{4} = 18.75$. Η αντίσταση αγωγής του διακόπτη στον πυκνωτή με χωρητικότητα $C_u \times 2^i$ με $i = 0 \dots 3$ είναι $R/2^i$ όπου R είναι η αντίσταση του μοναδιαίου διακόπτη. Το sizing των διακοπών φαίνεται στον παρακάτω πίνακα

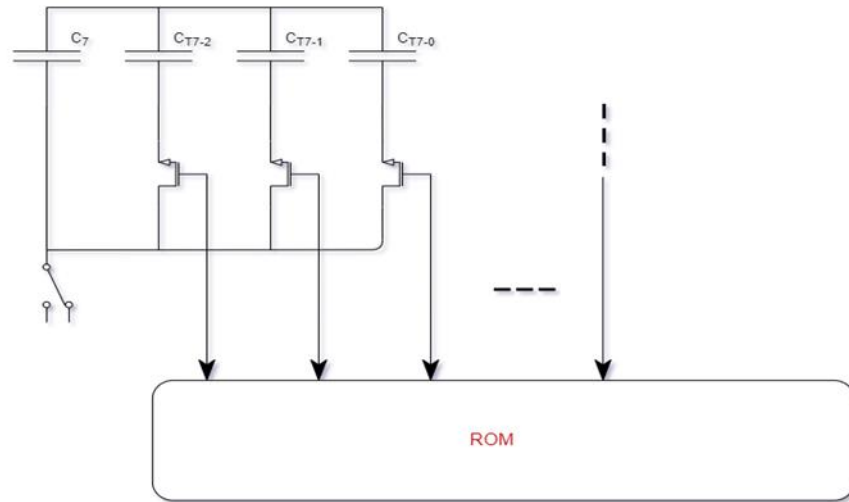
Load Cap.	<i>nmos</i> w_f	<i>pmos</i> w_f	l_f	n_f
C_u	100 nm	120 nm	30 nm	2
$2 \times C_u$	200 nm	240 nm	30 nm	2
$4 \times C_u$	400 nm	480 nm	30 nm	2
$8 \times C_u$	800 nm	960 nm	30 nm	2

Η αντίσταση αγωγής του μοναδιαίου διακόπτη είναι τελικά $\sim 2k\Omega$ άρα η σταθερά χρόνου είναι $\sim 17.6ps$.

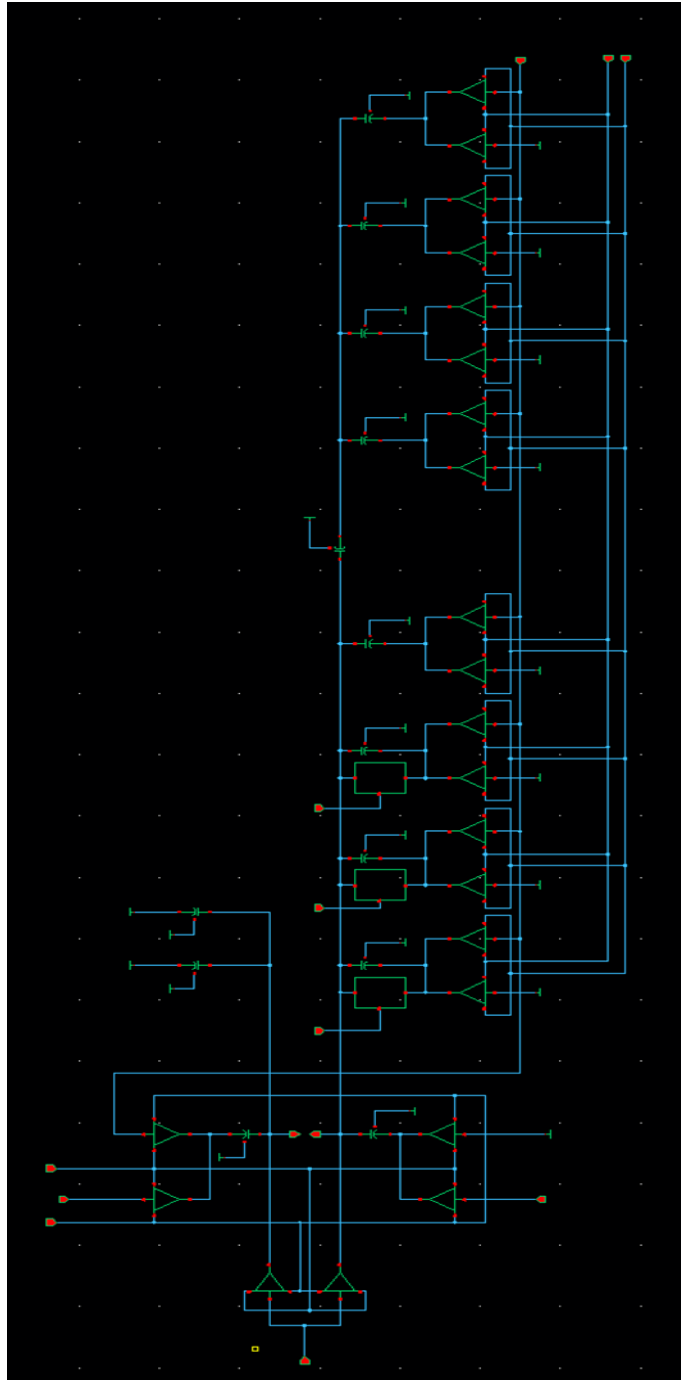
Παρά τους υπολογισμούς, προφανώς στη συνάρτηση μεταφοράς εμφανίζονται μη γραμμικότητες που οφείλονται εν μέρη στο sizing των πυκνωτών. Αυτό συμβαίνει λόγω των παρασιτικών χωρητικότητων και αντιστάσεων των πραγματικών πυκνωτών. Για τον λόγο αυτό στο τελικό κύκλωμα οι πυκνωτές των 2 MSB έχουν αριθμό finger 38 και 36 αντί για 34 που αναφέραμε προηγουμένως, καθώς με αυτή την αλλαγή (μέσω trial-and-error) προέκυψε καλύτερη συνάρτηση μεταφοράς, όπως θα δούμε σε επόμενη υποενότητα.

Στην Εικόνα 5.16 φαίνεται το τελικό κύκλωμα όπου έχουμε εισάγει παράλληλα με τους 3 MSB πυκνωτές για proof of concept επιπλέον δικτύωμα πυκνωτών για την διόρθωση της

συνολικής τιμής των πυκνωτών από κατασκευαστικά σφάλματα λόγω mismatch. Το υποκύκλωμα των πυκνωτών για το trimming απεικονίζεται στην Εικόνα 5.15.

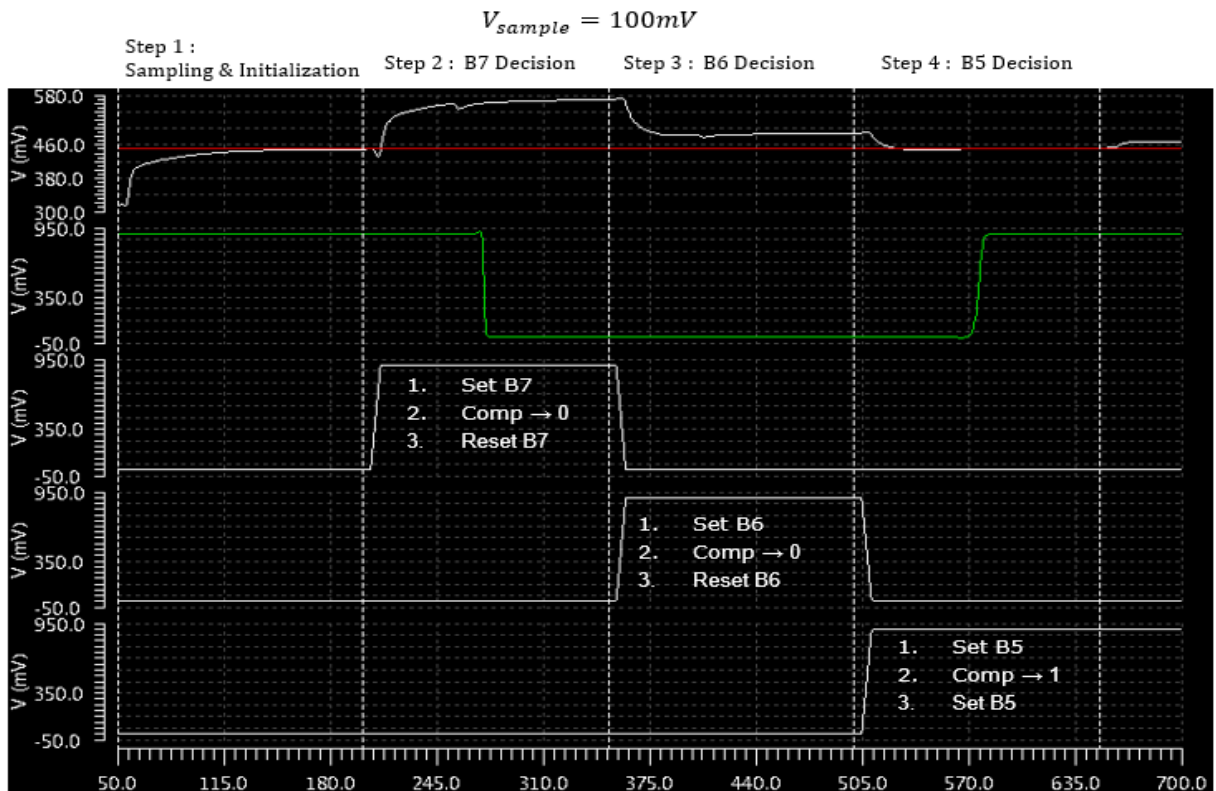


Εικόνα 5.15: Υποκύκλωμα πυκνωτών trimming.



Εικόνα 5.16: Τελικό κύκλωμα CDAC στο Virtuoso.

Στην Εικόνα 5.17 απεικονίζεται ένα παράδειγμα μετατροπής ενός δείγματος εισόδου $100mV$. Για λόγους χώρου απεικονίζονται μόνο τα τρία πρώτα bit, καθώς δε θα ήταν εμφανείς οι γραφικές παραστάσεις.



Εικόνα 5.17: Παράδειγμα μετατροπή για τα τρία πρώτα MSB.

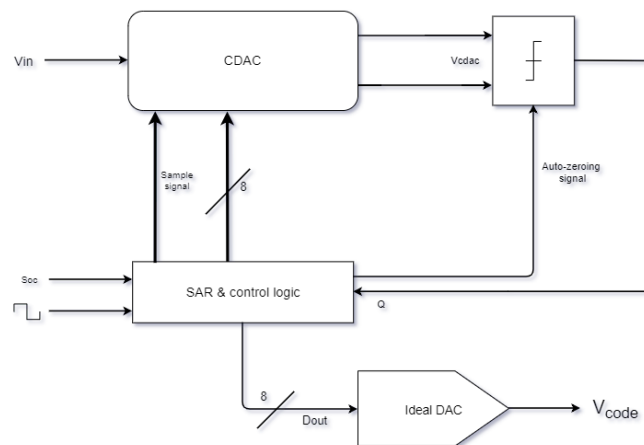
Η πρώτη γραφική δείχνει τις δύο εξόδους του CDAC. Με κόκκινο είναι η παραγόμενη τάση αναφοράς που πάει στη μία είσοδο του συγκριτή και με λευκό είναι το αποτέλεσμα της ανακατανομής φορτίου. Στην δεύτερη γραφική απεικονίζεται το αποτέλεσμα του συγκριτή σε κάθε βήμα της μετατροπής. Στις τρεις τελευταίες γραμμές απεικονίζονται τα σήματα που ελέγχουν τους πυκνωτές για την ανακατανομή φορτίου ανάλογα με την απόφαση του συγκριτή, τα οποία παράγονται από την ψηφιακή λογική.

5.1.3 Αποτελέσματα του Sub-ADC

Για να αποφανθούμε για την απόδοση του sub-ADC χρησιμοποιήσαμε την συνδεσμολογία που φαίνεται στην Εικόνα 5.18. Η λειτουργία του είναι τελείως απλή: με έναν DAC σχεδιασμένο με ιδανικές εξαρτημένες πηγές τάσης αναπαράγουμε από τα 8 bit εξόδου του ADC μία αναλογική τιμή τάσης, ώστε να τη συγκρίνουμε με την είσοδο του ADC, η οποία δίνεται από την εξής σχέση

$$V_{code} = [D_{out}] \times \begin{bmatrix} 1/2 \\ 1/4 \\ 1/8 \\ 1/16 \\ 1/32 \\ 1/64 \\ 1/128 \\ 1/256 \end{bmatrix} \times 900 \text{ mV} \quad (5.6)$$

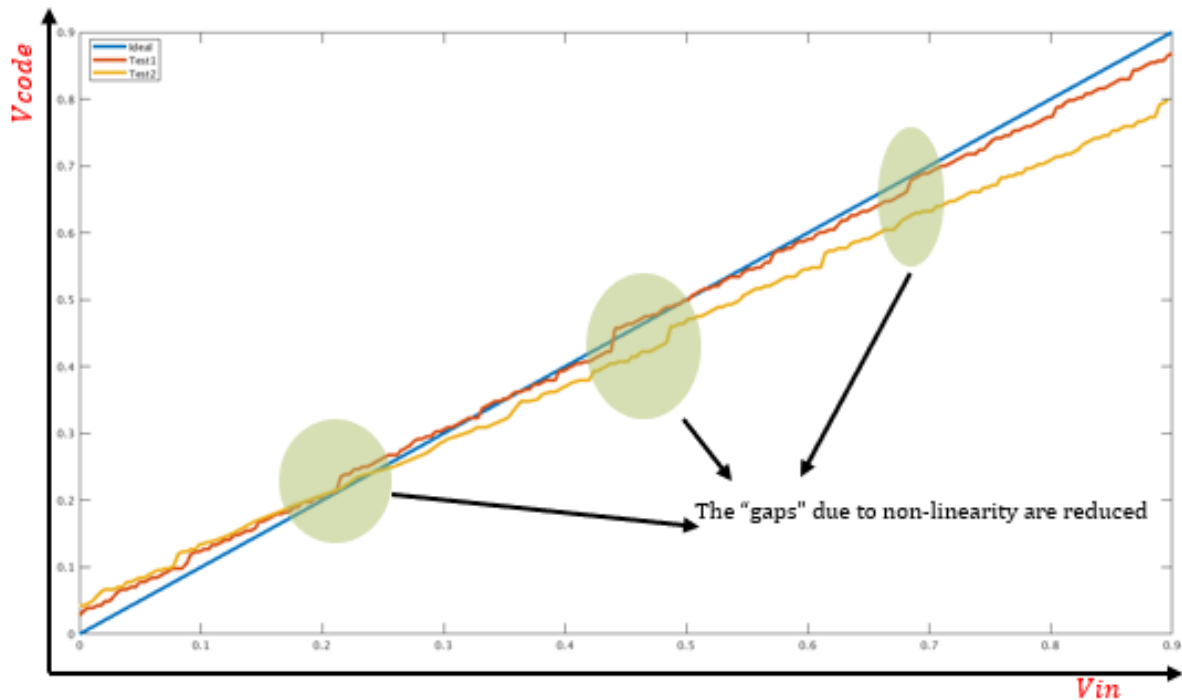
Το αναλογικό αυτό σήμα θα μας δώσει εικόνα για την συνάρτηση μεταφοράς του sub-ADC όσο και για το φάσμα μετά από βαθυπερατό φιλτράρισμα (antialiasing filtering).



Εικόνα 5.18: Συνδεσμολογία sub-ADC για μετρήσεις.

5.1.3.1 Συνάρτηση μεταφοράς

Για τη συνάρτηση μεταφοράς εφαρμόσαμε τάση εισόδου στον μετατροπέα από $0mV$ έως $896.484375mV$ με βήμα 1 LSB . Στην εικόνα τάδε φαίνονται τα αποτελέσματα της μέτρησης αυτής πριν γίνει επεξεργασία στο MATLAB για διόρθωση του offset και gain error.



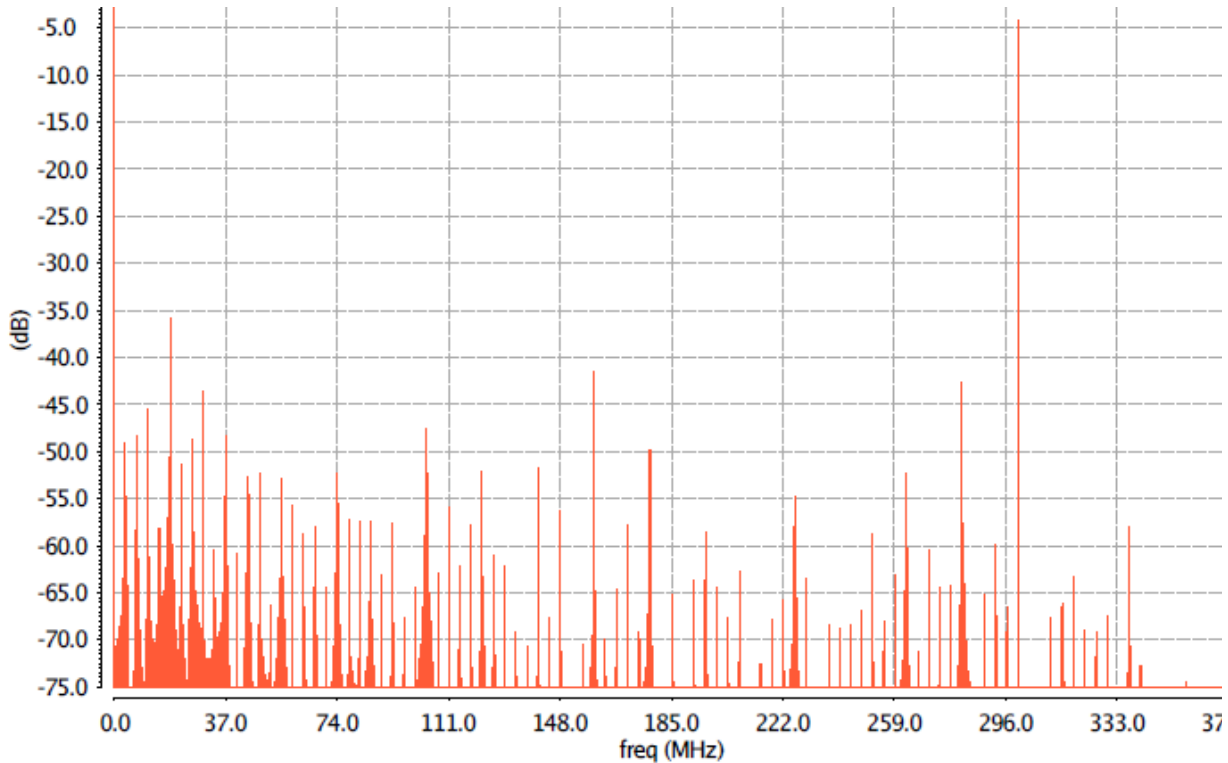
Εικόνα 5.19: Συνάρτηση μεταφοράς.

Με μπλε χρώμα είναι η ιδανική συνάρτηση μεταφοράς. Με κόκκινο χρώμα είναι η συνάρτηση μεταφοράς πριν το trimming των πυκνωτών ενώ με πορτοκαλί μετά από manual trimming, όπου όπως φαίνεται από τα σημεία που έχουμε επισημάνει έχουμε βελτίωση της γραμμικότητας.

Για την πλήρη διόρθωση της συνάρτησης μεταφοράς και συνεπώς και της γραμμικότητας, πραγματοποιείται calibration μέσω κάποιου look-up table που καλείται να δημιουργήσει ο μηχανικός που θα κάνει validate το κάθε chip.

5.1.3.2 Απόκριση συχνότητας

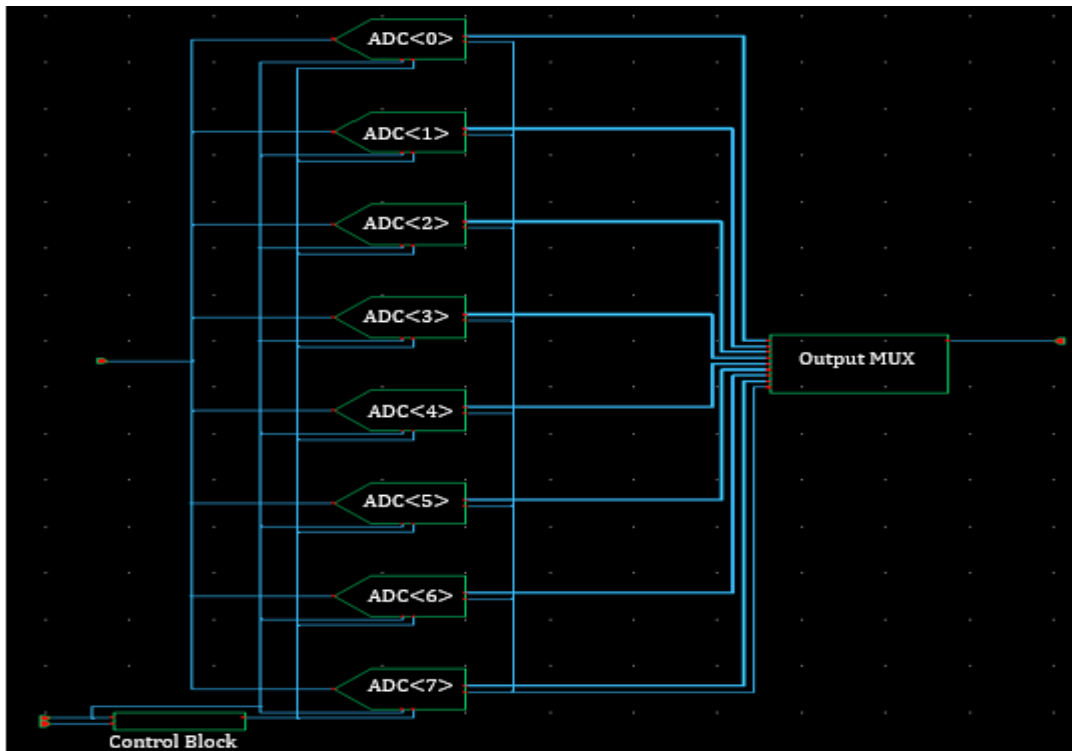
Για την απόκριση συχνότητας χρησιμοποιήθηκε το κύκλωμα που προαναφέραμε με προσθήκη ενός anti-aliasing φίλτρου στην έξοδο του ιδανικού DAC. Για το φάσμα, βάλουμε ημιτονοειδή είσοδο full scale στα 300MHz, λίγο μικρότερη από το μισό της συχνότητας δειγματοληψίας που είναι 740MS/s.



Εικόνα 5.20: Φάσμα εξόδου sub-ADC.

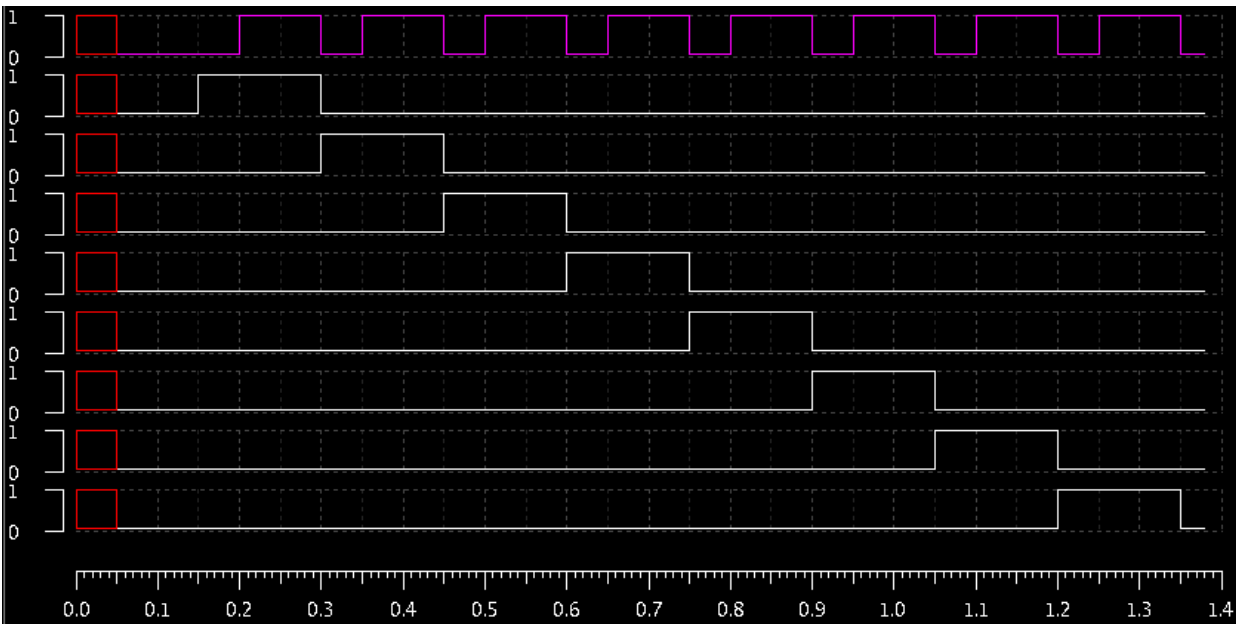
5.2 Interleaving Και Συνολικά Αποτελέσματα

Το interleaving των sub-ADC που σχεδιάσαμε πραγματοποιήθηκε με τη βοήθεια ψηφιακής λογικής με Verilog, παραλληλοποιώντας 8 συσκευές όπως φαίνεται στην παρακάτω εικόνα. Στην παρούσα εργασία, το στάδιο αυτό πραγματοποιήθηκε με ιδανικά στοιχεία καθώς η δυσκολία του και η μελέτη του γίνονται σε επίπεδο layout.



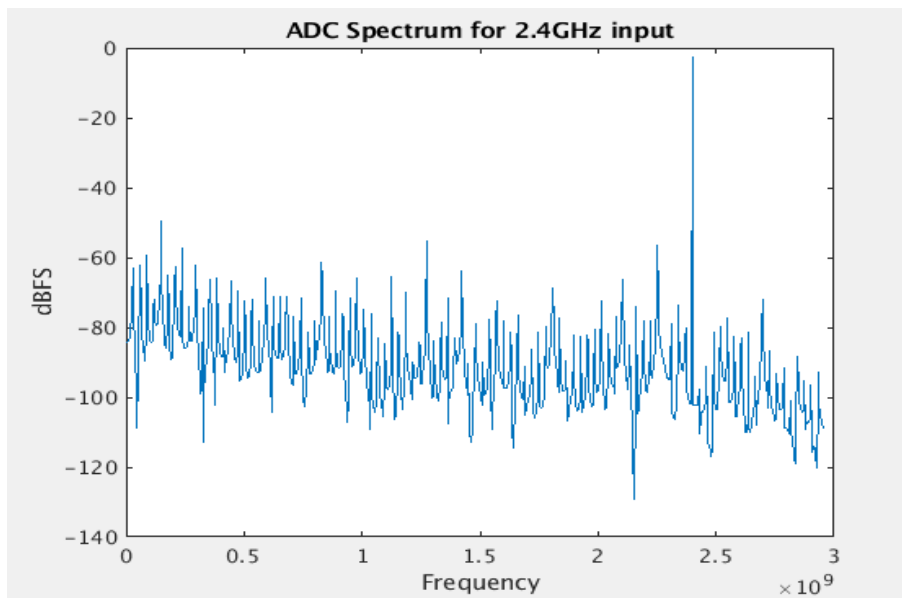
Εικόνα 5.21: Πλήρες κύκλωμα ADC.

Το μπλοκ ελέγχου στέλνει διαδοχικά τα σήματα που απεικονίζονται στην Εικόνα 5.22, ώστε να δειγματοληφτούν διαδοχικά οι sub-ADCs. Κάθε sub-ADC εκτός από τα 8 bit εξόδου, έχει και ένα bit ελέγχου ώστε να δίνει σήμα στον πολυπλέκτη εξόδου ποιον sub-ADC να συνδέσει στην έξοδο του πλήρους ADC.



Εικόνα 5.22: Σήματα ελέγχου Interleaving.

Λαμβάνοντας αυτή τη φορά την ψηφιακή έξοδο του ADC και μετά από επεξεργασία στο MATLAB έχουμε το παρακάτω φάσμα



Εικόνα 5.23: Φάσμα πλήρους ADC.

Στον παρακάτω πίνακα φαίνονται τα αποτελέσματα του ADC της παρούσας εργασίας σε σύγκριση με παρόμοιες εργασίες. Με κόκκινο πλαίσιο έχουν επισημανθεί οι τρεις βασικότερες παράμετροι.

	This Work	[12]	[14]	[11]	[4]
Sample Rate (GS/s)	5.92	10	5	1.2	4
ENOB	6.77**	8.84*	7.36*	6.96*	9*
FoM (f/step)	59.4^	632.8*	181.9	35	145.5
Architecture	SAR, TI	SAR, TI	Pipe/SAR, TI	SAR, TI	Pipe
Resolution	8b	10b	10b	8b	13b
Process	28nm	28nm	28nm	65nm	16nm

^Only comparator and CDAC power

*Calculated from published measurements

**Calculated from simulations

Εικόνα 5.24: Πίνακας αποτελεσμάτων.

6 Ευρετήριο Εικόνων

Εικόνα 1.1: Block διάγραμμα συστήματος ADC.....	10
Εικόνα 1.2: Σήμα συνεχούς χρόνου (αριστερά) και η αναπαράστασή του μετά την δειγματοληψία (δεξιά) [1].....	12
Εικόνα 1.3: (a) Αρχικό σήμα. (b) Φάσμα από δειγματοληψία με $f_S > 2f_B$. (c) Φάσμα από δειγματοληψία με $f_S < 2f_B$	14
Εικόνα 1.4: (α)Σχηματική αναπαράσταση κβαντιστή. (β)Σφάλμα κβαντοποίησης για 3-bit ADC	16
Εικόνα 1.5: Μοντέλο δειγματολήπτη και το ισοδύναμο κύκλωμα θορύβου	19
Εικόνα 1.6: Schreier's figure of merit vs Nyquist sampling frequency.....	21
Εικόνα 1.7: Comparison of Schreier's and Walden's FoM.....	22
Εικόνα 2.1: Αρχιτεκτονικές ADC, εφαρμογές, ανάλυση και συχνότητα δειγματοληψίας [3].	24
Εικόνα 2.2: Basic block diagram of the full-flash converter [1].....	26
Εικόνα 2.3: Μπλοκ Διάγραμμα sub-ranging ($K=1$) και two-step αρχιτεκτονικών ($K>1$).	31
Εικόνα 2.4: Αρχιτεκτονική Pipeline ADC	33
Εικόνα 2.5: Timing control ενός 2bit ανά στάδιο 10bit pipeline μετατροπέα.....	35
Εικόνα 2.6: Μπλοκ Διάγραμμα ενός σταδίου του pipeline.....	36
Εικόνα 2.7: Χαρακτηριστική συνάρτησης μεταφοράς υπολείμματος. 1-bit (a) και 3-bit (b).	36
Εικόνα 3.1: Μπλοκ διάγραμμα SAR ADC.....	38
Εικόνα 3.2: CDAC κατά τη διαδικασία δειγματοληψίας.....	39
Εικόνα 3.3: CDAC κατά την απόφαση του MSB.	40
Εικόνα 3.4: CDAC κατά την απόφαση του MSB-1.....	40
Εικόνα 3.5: CDAC κατά την απόφαση του MSB-2.....	41
Εικόνα 3.6: Capacitor array με πυκνωτές δυαδικής κλιμάκωσης 10 bit CDAC.....	43
Εικόνα 3.7: Capacitor array ενός 10 bit CDAC με εν σειρά scale-down πυκνωτή.....	43
Εικόνα 3.8: CDAC συνδυασμένος με ωμικό string DAC για LSB evaluation.	44
Εικόνα 3.9: MSB trim κύκλωμα χρησιμοποιώντας ωμικό string DAC.	44
Εικόνα 3.10: MSB trim κύκλωμα χρησιμοποιώντας πυκνωτές.....	45
Εικόνα 3.11: Πλήρως διαφορικός CDAC.	47

Εικόνα 3.12: Pseudo-differential τοπολογία.....	49
Εικόνα 3.13: Trimming πυκνωτές.....	50
Εικόνα 3.14: Είσοδος συγκριτή κατά τη διάρκεια μετατροπής ενός 4-bit ADC.....	52
Εικόνα 3.15: Εκθετικό settling σε switched capacitor design.....	52
Εικόνα 3.16: Typical differential input pair inside the comparator.....	53
Εικόνα 3.17: Typical AC-responds of the comparator input stage.....	54
Εικόνα 3.18: Offset cancellation circuit.....	55
Εικόνα 3.19: Τοπολογίες εξόδου συγκριτών.....	56
Εικόνα 4.1: MOM Capacitor layout.....	58
Εικόνα 4.2: Συντελεστής ποιότητας και χωρητικότητα συναρτήσει της συχνότητας.....	59
Εικόνα 4.3: Κατανομή C_u από Monte-Carlo προσομοίωση.....	60
Εικόνα 4.4: Χαρακτηριστικές C_u vs f από Monte-Carlo προσομοίωση.....	61
Εικόνα 4.5: R_{onvs} Συχνότητα.....	63
Εικόνα 4.6: R_{onvs} Τάση εισόδου.....	63
Εικόνα 4.7: $Coff$ vs συχνότητα.....	64
Εικόνα 4.8: Απόκριση μοναδιαίου αντιστροφέα.....	65
Εικόνα 5.1: Μπλοκ Διάγραμμα του πλήρους SAR ADC.....	67
Εικόνα 5.2: Μπλοκ Διάγραμμα του sub-ADC SAR.....	67
Εικόνα 5.3: High Level μοντέλο του συγκριτή.....	68
Εικόνα 5.4: Latch Comparator.....	69
Εικόνα 5.5: Συνδεσμολογία Cascode που χρησιμοποιήθηκε για τον προενισχυτή.....	70
Εικόνα 5.6: Προτεινόμενη σχεδίαση Συγκριτή.....	71
Εικόνα 5.7: Διαφορικό ζεύγος του προενισχυτή.....	72
Εικόνα 5.8: Αποτέλεσμα Monte-Carlo στους κόμβους εξόδου του προενισχυτή.....	73
Εικόνα 5.9: Κύκλωμα common mode feedback.....	74
Εικόνα 5.10: Κύκλωμα offset-cancellation προσαρμοσμένο στον προενισχυτή.....	75
Εικόνα 5.11: Αποτέλεσμα Monte-Carlo στους κόμβους εξόδου του προενισχυτή μετά το offset-cancellation.....	77
Εικόνα 5.12: Αποτέλεσμα σύγκρισης με είσοδο $\pm 150mV$	78
Εικόνα 5.13: Αποτέλεσμα σύγκρισης με είσοδο $\pm 2mV$	79
Εικόνα 5.14: Κύκλωμα CDAC (πριν την εισαγωγή των trim capacitors).....	80

Εικόνα 5.15: Υποκύκλωμα πυκνωτών trimming.	82
Εικόνα 5.16: Τελικό κύκλωμα CDAC στο Virtuoso.....	83
Εικόνα 5.17: Παράδειγμα μετατροπή για τα τρία πρώτα MSB.	84
Εικόνα 5.18: Συνδεσμολογία sub-ADC για μετρήσεις.....	85
Εικόνα 5.19: Συνάρτηση μεταφοράς.	86
Εικόνα 5.20: Φάσμα εξόδου sub-ADC.	87
Εικόνα 5.21: Πλήρες κύκλωμα ADC.....	88
Εικόνα 5.22: Σήματα ελέγχου Interleaving.....	89
Εικόνα 5.23: Φάσμα πλήρους ADC.....	89
Εικόνα 5.24: Πίνακας αποτελεσμάτων.	90

Βιβλιογραφία

- [1] F. Maloberti, "Data Converters", Dordrecht, The Netherlands: Springer, 2007.
- [2] B. Murmann, "ADC performance survey 1997-2015," 2015. [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.
- [3] W. Kester, "Which ADC Architecture Is Right for Your Application?," Analog Dialogue, 2005. [Online]. Available: <https://www.analog.com/en/analog-dialogue/articles/the-right-adc-architecture.html>.
- [4] J. Wu, A. Chou, T. Li, R. Wu and T. Wang, "A 4GS/s 13b Pipelined ADC with Capacitor and Amplifier Sharing in 16nm CMOS," in *ISSCC*, 2016.
- [5] I. Sutherland, B. Sproull and D. Harris, "Logical Effort: Designing Fast CMOS Circuits", Morgan Kaufmann, 1998.
- [6] J. Song, K. Ragab, X. Tang and N. Sun, "A 10-b 800-MS/s Time-Interleaved SAR ADC With Fast Variance-Based Timing-Skew Calibration," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 52, no. 10, 2017.
- [7] F. Ohnhaeser, "Analog-Digital Converters for Industrial Applications Including an Introduction to Digital-Analog Converters", Nuremberg: Springer, 2015.
- [8] C.-Y. Lin, Y.-H. Wei and T.-C. Lee, "A 10-bit 2.6-GS/s Time-Interleaved SAR AD with Background Timing-Skew Calibration Technique," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 2018.
- [9] C.-Y. Lin, Y.-H. Wei and T.-C. Lee, "A 10b 2.6GS/s Time-Interleaved SAR ADC with Background Timing-Skew Calibration," in *ISSCC*, 2016.

- [10] H. Huang, H. Xu, B. Elies and Y. Chiu,, "A Non-Interleaved 12-b 330-MS/s Pipelined-SAR ADC With PVT-Stabilized Dynamic Amplifier Achieving Sub-1-dB SNDR Variation," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 52, no. 12, 2017.
- [11] H. Huang, L. Du and Y. Chiu, "A 1.2-GS/s 8-bit Two-Step SAR ADC in 65-nm CMOS With Passive Residue Transfer," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 52, no. 6, 2017.
- [12] S. Devarajan, L. Singer and D. Kelly, "A 12-b 10-GS/s Interleaved Pipeline ADC in 28-nm CMOS Technology," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 52, no. 12, 2017.
- [13] K. Choo, J. Bell and M. Flynn, "Area-Efficient 1GS/s 6b SAR ADC with Charge-Injection-Cell-Based DAC," in *ISSCC*, 2016.
- [14] M. Brandolini, Y. Shin, K. Raviprakash and T. Wang, "A 5GS/s 150mW 10b SHA-Less Pipelined/SAR Hybrid ADC in 28nm CMOS," in *ISSCC*, 2015.
- [15] G. Beanato, "Design of a Very Low Power SAR Analog to Digital Converter," LSM, Lausanne, 2009.
- [16] V. Aberg, C. Fager and L. Svensson, "Design Considerations and Evaluation of a High-Speed SAR ADC," Chalmers University of Technology, Cothenburg.
- [17] Analog Devices, *Data Conversion Handbook*, Oxford: Newnes, 2005.
- [18] F. Mei, Y. Shu and Y. Yu, "A 10-bit 150MS/s SAR ADC with a Novel Capacitor Switching Scheme," in *IEEE Computational Intelligence and Communication Technology*, Shanghai, 2017.
- [19] G. Promitzer, "12-bit Low-Power Fully Differential Switched Capacitor Noncalibrating Successive Approximation ADC with 1 MS/s," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 36, no. 7, 2001.

- [20] F. Chen, A. Chandrakasan and V. Stojanovic, "Low-power Area-efficient Switching Scheme for Charge-sharing DACs in SAR ADCs," in *IEEE Custom Integrated Circuits Conference*, Cambridge, USA, 2010.
- [21] X. Hong, C. Yang and X. Zhang, "An Energy-Efficient SAR ADC With a Partial-Monotonic Capacitor Switching Technique," School of Information and Electronics Beijing Institute of Technology, Beijing, China.
- [22] W. L. Son, H. A. Majid and R. Musa, "High-Resolution 12-Bit Segmented Capacitor DAC in Successive Approximation ADC," *International Journal of Electronics and Communication Engineering*, vol. 6, no. 12, 2012.
- [23] L. Kouhalvandi and S. Aygun, "10-bit High-Speed CMOS Comparator with Offset Cancellation Technique," Yildiz Technical University, Istanbul, Turkey.
- [24] S. Sheikhaei, S. Mirabbasi and A. Ivanov, "A 0.35 μ m CMOS Comparator Circuit For High-Speed ADC Applications," Department of Electrical and Computer Engineering University of British Columbia, Vancouver, Canada.
- [25] Y. Gao, Y. Wang, R. Li and G. Chen, "Dynamic Latched Comparator Design for Super-high Speed Analog-to-Digital Converter," Chongqing, China.
- [26] A. Sedra and K. Smith, "Microelectronic Circuits", Oxford: Oxford University Press, 2014.
- [27] "<http://www.ti.com/data-converters/adc-circuit/high-speed/rf-sampling.html>," Texas Instruments. [Online].