



Εθνικό Μετσόβιο Πολυτεχνείο
Σχολή Ηλεκτρολόγων Μηχανικών & Μηχανικών Υπολογιστών
Τομέας Τεχνολογίας Πληροφορικής & Υπολογιστών

Integrated Circuits Design for Process Monitoring of Capacitors

Διπλωματική Εργασία
Βασίλειος Χονδρορρίζος

Επιβλέπων Καθηγητής
Κιαμάλ Πεχμεστζή
Καθηγητής Ε.Μ.Π.

Εργαστήριο Μικροϋπολογιστών και Ψηφιακών Συστημάτων VLSI
Αθήνα, Ιανουάριος 2020



Εθνικό Μετσόβιο Πολυτεχνείο
Σχολή Ηλεκτρολόγων Μηχανικών & Μηχανικών Υπολογιστών
Τομέας Τεχνολογίας Πληροφορικής & Υπολογιστών

Integrated Circuits Design for Process Monitoring of Capacitors

Διπλωματική Εργασία
Βασίλειος Χονδρορρίζος

Επιβλέπων Καθηγητής
Κιαμάλ Πεκμεστζή
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 24^η Ιανουαρίου 2020

.....
Κιαμάλ Πεκμεστζή Παύλος-Πέτρος Σωτηριάδης Δημήτριος Σούντρης
Καθηγητής Ε.Μ.Π. Αναπληρωτής Καθηγητής Ε.Μ.Π. Καθηγητής Ε.Μ.Π.

Εργαστήριο Μικροϋπολογιστών και Ψηφιακών Συστημάτων VLSI
Αθήνα, Ιανουάριος 2020

.....

Βασίλειος Χονδρορρίζος

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Βασίλειος Χονδρορρίζος, 2020

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς το συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν το συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Οι κατασκευαστές ημιαγωγών έχουν εισαγάγει πολλά εργαλεία για τον έλεγχο και την παρακολούθηση της ποιότητας των διαδικασιών κατασκευής παθητικών στοιχείων και τρανζίστορ (PCM-Process Control Monitoring) κατά το στάδιο της δοκιμής. Το στάδιο της δοκιμής χρησιμοποιείται για την εύρεση αστοχιών που προέκυψαν κατά την παραγωγή, την "επικύρωση" κάθε κατασκευασμένου chip και για την ταξινόμηση όλων των chip σε κατηγορίες (π.χ. pass/fail). Η παρακολούθηση και ο έλεγχος της διαδικασίας κατασκευής (PCM) επιτυγχάνεται με δομές δοκιμών (test structures) που τοποθετούνται μεταξύ γειτονικών chip στο wafer ή εντός των chip και εξάγουν δεδομένα για τα στοιχεία που αποτελούν το chip, τα οποία αξιοποιούνται ώστε να επιτευχθεί η επικύρωση (επιλέγουμε ή απορρίπτουμε ένα chip ή ένα wafer ανάλογα με τα δεδομένα που εξάγονται από τις δομές δοκιμής) και η ταξινόμηση των chip. Αυτή η τεχνική έχει ορισμένους περιορισμούς όπως: το μέγεθος των δομών δοκιμής, τον χρόνο μέτρησης και την μεγάλη ποσότητα στατιστικών δεδομένων υπό επεξεργασία. Παραδοσιακά, οι δομές δοκιμής αποτελούνται από τρανζίστορ, πυκνωτές, αντιστάσεις κλπ. Οι δακτυλιοειδείς ταλαντωτές έχουν επίσης αναπτυχθεί για δομές δοκιμών, δεδομένου ότι η μέτρηση της συχνότητάς τους είναι μια γρήγορη διαδικασία και η συσχέτιση της συχνότητας αυτής με την απόδοση των τρανζίστορ είναι γνωστή. Στη συνέχεια θα σχεδιαστούν δομές δοκιμής που βασίζονται όχι μόνο σε δακτυλιοειδείς ταλαντωτές αλλά και σε Cross-Coupled ταλαντωτή και στην μέθοδο CBCM (Charged-Based Capacitance Measurement). Στην παρούσα εργασία θα μελετήσουμε και θα σχεδιάσουμε δομές δοκιμών που θα χρησιμοποιηθούν για να χαρακτηρίσουν παθητικά στοιχεία (πυκνωτές) κατά το στάδιο της δοκιμής. Θα αναπτυχθεί μαθηματικός τύπος για την συσχέτιση μεταξύ της συχνότητας ή άλλων μεγεθών και της τιμής του πυκνωτή. Σε αυτή την εργασία οι δομές δοκιμής σχεδιάστηκαν στο Custom IC Design Tool της Cadence® σε τεχνολογία 45nm.

Λέξεις-Κλειδιά

Νόμος του Moore, Process Variation, Process Control Monitoring (PCM), Monte Carlo, Process Models, Τεχνολογία 45nm, Δομές δοκιμής

Abstract

Semiconductor manufacturers have introduced many tools to control and monitor the quality of their fabrication processes (PCM-Process Control Monitoring) at test stage. The test stage is used to validate every fabricated chip and to sort all chips into categories (e.g. pass/fail). Process control monitoring (PCM) is achieved by scribe-line test structures which are placed between adjacent dies on a wafer or inside the chip. Through these test structures data is extracted for the devices that compose the chip. These data are utilized to achieve chip validation (data extracted by test structures are used for the selection or rejection of a chip or a whole wafer) and chip classification. This technique imposes some limitations such as scribe-line size, measurement time and large amount of statistical data. Traditionally, PCM scribe-lines consists of single devices such as transistors, capacitors and resistors. Ring oscillators have been also developed as test structures, mainly for digital process, since the measurement of their frequency is a fast task and the frequency correlation with transistor performance is well known. Subsequently, test structures based on Cross-Coupled oscillator and CBCM method (Charged-based Capacitance Measurement) will be designed. In this thesis, we will study and design test structures which will be used to characterize passive devices (capacitors). The correlation between the frequency or the current and the value of the capacitor will be developed. The test structures were designed in Cadence[®] Custom IC Design Tool at 45nm technology.

Keywords

Moore's Law, Process Variation, Process Control Monitoring (PCM), Monte Carlo, Process Models, 45nm technology, Test Structures

Ευχαριστίες

Σε αυτό το σημείο θα ήθελα να ευχαριστήσω όσους με τη βοήθειά τους έπαιξαν ένα σημαντικό ρόλο στην ολοκλήρωση αυτής της διαδρομής. Πρώτα, την οικογένειά μου για την αγάπη, την στήριξη, την υπομονή και τις θυσίες τους. Ακόμα, εκείνους τους καθηγητές και βοηθούς που κόπιασαν για να μεταδώσουν γνώσεις και έμπνευση και ιδιαίτερα τον κ.Παναγόπουλο για την πολύτιμη συνδρομή του σε αυτή την εργασία. Θα ήθελα, επίσης, να ευχαριστήσω τους φίλους μου για τα υπέροχα χρόνια που περάσαμε μαζί και για την στήριξή τους σε στιγμές άγχους και αμφιβολίας. Τέλος θέλω να ευχαριστήσω τη Σόνια, που στάθηκε δίπλα μου όλα αυτά τα χρόνια και με στήριξε σε όλες τις δυσκολίες.

Στον Β.

Contents

I	Ελληνικό Κείμενο	25
0.1	Εισαγωγή	27
0.1.1	Ο Νόμος του Moore	27
0.1.2	Απόκλιση της τιμής χαρακτηριστικών παθητικών και ενεργητικών στοιχείων ολοκληρωμένων κυκλωμάτων εξαιτίας της διαδικασίας κατασκευής	28
0.2	Περιγραφή Προβλήματος-Στόχος της εργασίας	32
0.3	Τα μοντέλα των στοιχείων που χρησιμοποιήθηκαν για τις δομές δοκιμής και για τους πυκνωτές υπό δοκιμή	32
0.3.1	Τα μοντέλα των τρανζίστορ που χρησιμοποιήθηκαν για τις δομές δοκιμής	32
0.3.2	Το μοντέλο του πυκνωτή που χρησιμοποιήθηκε ως στοιχείο υπό δοκιμή	34
0.4	Δομή δοκιμής με δύο δακτυλιοειδείς ταλαντωτές	34
0.4.1	Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή	36
0.4.2	Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo	37
0.5	Δομή δοκιμής με έναν δακτυλιοειδή ταλαντωτή και έναν πολυπλέκτη	40
0.5.1	Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή	41
0.5.2	Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo	44
0.6	Δομή δοκιμής που αποτελείται από έναν Cross-Coupled ταλαντωτή	46
0.6.1	Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή	46
0.6.2	Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo	47
0.7	Δομή δοκιμής που αποτελείται από κύκλωμα CBCM	49
0.7.1	Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή	49
0.7.2	Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo	51

0.8	Δομή δοκιμής που αποτελείται από παραλλαγμένο κύκλωμα CBCM	52
0.8.1	Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή	52
0.8.2	Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo	53
II English Text		57
1	Introduction	59
2	Process Variation	61
2.1	Definition	61
2.2	The Sources and Effects of Process Variation on IC	62
2.2.1	Sources of Process Variation	62
2.2.2	Effects of Process Variation on IC	62
2.3	Process Models	63
2.4	Scales of Process Variation	63
2.5	Process Control Monitoring (PCM)	64
2.6	Problem description-Thesis target	65
3	Models of devices used at test structures and device under test	67
3.1	Transistor models used for Test Structures	67
3.2	NMOS transistor model testing	69
3.3	PMOS transistor model testing	74
3.4	Capacitor models used for Devices Under Test (DUT)	79
4	Test structure using two Ring Oscillators	83
4.1	Process Monitoring of Capacitor's Value using two Ring Oscillators	83
4.2	Mean Frequency Value, Standard Deviation and Spread	87
4.3	Estimation of the DUT's value using the test structure	91
4.3.1	Mathematical formula for DUT	91
4.3.2	Estimation of DUT's value, Monte Carlo Simulations and other graphs	91
4.3.3	Conclusions	96
5	Test structure using a single Ring Oscillator and a MUX	99
5.1	Process Monitoring of Capacitor's Value using a single Ring Oscillator with MUX	99
5.2	Estimation of the DUT's value using the test structure	103
5.2.1	Mathematical formula for DUT	103
5.2.2	Estimation of DUT's value, Monte Carlo Simulations and other graphs	103
5.2.3	Conclusions	108

6	Test structure using a single Cross-Coupled Oscillator	111
6.1	Process Monitoring of Capacitor's Value using a Cross-Coupled Oscillator	111
6.2	Estimation of the DUT's value using the test structure	112
6.2.1	Mathematical formula for DUT	112
6.2.2	Estimation of DUT's value, Monte Carlo Simulations and other graphs .	112
6.2.3	Conclusions	116
7	Test structure using CBCM	119
7.1	Process Monitoring of Capacitor's Value using Charge-Based Capacitance Measurement (CBCM)	119
7.2	Estimation of the DUT's value using the test structure	123
7.2.1	Mathematical formula for DUT	123
7.2.2	Estimation of DUT's value, Monte Carlo Simulations and other graphs .	125
7.2.3	Conclusions	129
8	Test structure using changed-CBCM	131
8.1	Process Monitoring of Capacitor's Value using changed Charge-Based Capacitance Measurement	131
8.2	Estimation of the DUT's value using the test structure	134
8.2.1	Mathematical formula for DUT	134
8.2.2	Estimation of DUT's value, Monte Carlo Simulations and other graphs .	134
8.2.3	Conclusions	139
9	Conclusion	141
9.1	Test Structures comparison	141
9.2	Future Work	142
	Bibliography	143

List of Figures

1	Νόμος του Moore: Ο αριθμός των τρανζίστορ σε διάφορα chips (1971-2017)	28
2	Process Corners	30
3	Κατηγορίες Process Variation	31
4	Σχηματικά τα μοντέλα τρανζίστορ που χρησιμοποιήθηκαν	33
5	Το κύκλωμα που χρησιμοποιήθηκε για την δοκιμή του μοντέλου nmos τρανζίστορ .	33
6	Το κύκλωμα που χρησιμοποιήθηκε για την δοκιμή του μοντέλου pmos τρανζίστορ .	33
7	Circuit used for capacitor testing	34
8	Ο πρώτος δακτυλιοειδής ταλαντωτής παρέχει την συχνότητα αναφοράς (f_{ref}) και ο δεύτερος παρέχει μια συχνότητα, η οποία επηρεασμένη από τον πυκνωτή υπό δοκιμή (f_{DUT})	35
9	Ο αντιστροφέας που χρησιμοποιείται για τους δακτυλιοειδείς ταλαντωτές με $W_{nmos} = 2\mu\text{m}$, $W_{pmos} = 4\mu\text{m}$ και $L_{nmos} = L_{pmos} = 80\text{nm}$	35
10	Ο αντιστροφέας που χρησιμοποιείται για τους δακτυλιοειδείς ταλαντωτές με την ολική παρασιτική χωρητικότητα που εισάγει	36
11	Όταν το σήμα επιλογής είναι 0V παρέχεται η f_{ref} και όταν το σήμα επιλογής είναι 1V παρέχεται η f_{DUT}	40
12	Ο current-starved αντιστροφέας που χρησιμοποιείται για τα στάδια του ταλαντωτή με $W_{nmos} = 8\mu\text{m}$, $W_{pmos} = 16\mu\text{m}$ και $L_{nmos} = L_{pmos} = 80\text{nm}$	41
13	Ο πολυπλέκτης που χρησιμοποιείται στη δομή δοκιμής και αποτελείται ο δύο πύλες διέλευσης με $W_{nmos} = 5\mu\text{m} = W_{pmos}$ και $L_{nmos} = L_{pmos} = 80\text{nm}$	42
14	Ο Cross-Coupled που χρησιμοποιείται ως δομή δοκιμής με $W_{nmos} = 2\mu\text{m}$ και $L_{nmos} = 80\text{nm}$	47
15	Η Δομή δοκιμής με κύκλωμα CBCM με $W_{nmos} = 2\mu\text{m}$, $W_{pmos} = 4\mu\text{m}$ και $L_{nmos} = L_{pmos} = 80\text{nm}$	50
16	Μη αλληλεπικαλυπτόμενα σήματα	50
17	Δομή δοκιμής που αποτελείται από παραλλαγμένο κύκλωμα CBCM με $W_{nmos} = 2\mu\text{m}$, $W_{pmos} = 4\mu\text{m}$ και $L_{nmos} = L_{pmos} = 80\text{nm}$	53
1.1	Moore's Law: The number of transistors on IC chips (1971-2017)	60
2.1	Random and Systematic Variation	61
2.2	Scales of Process Variation	63

2.3	Wafer with five PCM areas which contain the test structures.	65
3.1	Σχηματικά τα μοντέλα τρανζίστορ που χρησιμοποιήθηκαν	67
3.2	Pelgrom plot of $\sigma_{V_{th}}$ versus $\frac{1}{\sqrt{W \cdot L}}$, where the slope of the resulting line is termed $\frac{A_{V_{th}}}{\sqrt{2}}$	69
3.3	Plot of $\sigma_{V_{th}}$ as a function of Gate Length for various Widths of transistors	69
3.4	Circuit used for NMOS testing	70
3.5	a)Monte Carlo simulation for V_{th} in Saturation Mode ($V_d=1V$) , b)Monte Carlo simulation for V_{th} in Linear Mode ($V_d=0.5V$)	71
3.6	a)Monte Carlo simulation for I_d in Saturation Mode ($V_d=1V$) , b)Monte Carlo simulation for I_d in Linear Mode ($V_d=0.5V$)	72
3.7	a)Monte Carlo simulation for g_m in Saturation Mode ($V_d=1V$) , b)Monte Carlo simulation for g_m in Linear Mode ($V_d=0.5V$)	73
3.8	I_d as a function of V_d of NMOS transistor.	74
3.9	V_{th} as a function of gate lenght in saturation and linear mode of NMOS transistor.	74
3.10	Circuit used for PMOS testing	75
3.11	a)Monte Carlo simulation for V_{th} in Saturation Mode ($V_d=1V$), b)Monte Carlo simulation for V_{th} in Linear Mode ($V_d=0.5V$)	76
3.12	a)Monte Carlo simulation for I_d in Saturation Mode ($V_d=1V$) , b)Monte Carlo simulation for I_d in Linear Mode ($V_d=0.5V$)	77
3.13	a)Monte Carlo simulation for g_m in Saturation Mode ($V_d=1V$) , b)Monte Carlo simulation for g_m in Linear Mode ($V_d=0.5V$)	78
3.14	I_d as a function of V_d of PMOS transistor.	79
3.15	V_{th} as a function of gate lenght in saturation and linear mode of PMOS transistor.	79
3.16	Circuit used for capacitor testing	80
3.17	Monte Carlo Simulation for 50fF capacitor	80
3.18	Mean Capacitor Value as a function of Real Capacitor Value	81
3.19	Standard Deviation as a function of Real Capacitor Value	81
3.20	Spread as a function of Real Capacitor Value	82
4.1	Ring Oscillator	83
4.2	The First RO provides the reference frequency (f_{ref}) and the second RO provides the frequency affected by DUT (f_{DUT})	84
4.3	Inverter cell which is used for the Ring Oscillators with $W_{nmos} = 2\mu m$, $W_{pmos} = 4\mu m$ and $L_{nmos} = L_{pmos} = 80nm$	85
4.4	a)Inverter stage with capacitances added by transistors, b)Inverter stage with total load capacitance $C_L = C_{gd} + C_{db1} + C_{db2} + C_w$	86
4.5	Mean Frequency Value (f_{ref}, f_{DUT}) with only capacitor variation, only transistor variation and capacitor and transistor variation as a function of the number Ring Oscillators' stages when DUT is 50fF	87

4.6	Standard Deviation of Frequency Value (f_{ref}, f_{DUT}) with only capacitor variation, only transistor variation and capacitor and transistor variation as a function of the number Ring Oscillators' stages when DUT is 50fF	87
4.7	Spread of Frequency Value (f_{ref}, f_{DUT}) with only capacitor variation, only transistor variation and capacitor and transistor variation as a function of the number Ring Oscillators' stages when DUT is 50fF	88
4.8	Mean Frequency Value (f_{DUT}) capacitor and transistor variation for DUTs ranging from 1fF-450fF as a function of the number Ring Oscillators' stages.	89
4.9	Standard Deviation of Frequency Value (f_{DUT}) with capacitor and transistor variation for DUTs ranging from 1fF-450fF as a function of the number Ring Oscillators' stages.	89
4.10	Spread of Frequency Value (f_{DUT}) with capacitor and transistor variation for DUTs ranging from 1fF-450fF as a function of the number Ring Oscillators' stages.	90
4.11	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	93
4.12	Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	93
4.13	Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account	94
4.14	Relative Error as a function of real DUT Value when only transistor's variation is taken into account	95
4.15	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.	96
4.16	Relative Error as a function of expected by the designer DUT Value when transistor's and capacitor's variation are taken into account.	96
5.1	When selection signal is 0V f_{ref} is provided and when selection signal is 1V f_{DUT} is provided.	100
5.2	Current starved Inverter cell which is used for the Ring Oscillator with $W_{nmos} = 8\mu\text{m}$, $W_{pmos} = 16\mu\text{m}$ and $L_{nmos} = L_{pmos} = 80\text{nm}$	101
5.3	MUX that is used for this test structure and consists of two transmission gates with $W_{nmos} = 5\mu\text{m} = W_{pmos}$ and $L_{nmos} = L_{pmos} = 80\text{nm}$	102
5.4	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	104
5.5	Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	105
5.6	Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account.	106
5.7	Relative Error as a function of real DUT Value when only transistor's variation is taken into account.	106

5.8	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.	108
5.9	Relative Error as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken.	108
6.1	Cross-Coupled Oscillator used as Test Structure with $W_{nmos} = 2\mu\text{m}$ and $L_{nmos} = 80\text{nm}$	112
6.2	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	113
6.3	Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	114
6.4	Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account.	115
6.5	Relative Error as a function of real DUT Value when only transistor's variation is taken into account.	115
6.6	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.	116
6.7	Relative Error as a function of expected by the designer DUT Value when transistor's and capacitor's variation are taken into account.	117
7.1	Test structure using Charge-Based Capacitance Measurement with $W_{nmos} = 2\mu\text{m}$, $W_{pmos} = 4\mu\text{m}$ and $L_{nmos} = L_{pmos} = 80\text{nm}$	120
7.2	These non-overlapping NMOS and PMOS signals ensure no short circuit current	120
7.3	Typical input and output voltage waveforms and the capacitor current waveform during switching of the CMOS inverter	122
7.4	Waveforms V1 (NMOS) and V2 (PMOS)	122
7.5	I_{ref} and I_{DUT} waveforms when $C_{DUT} = 1\text{fF}$	123
7.6	V_{out} waveform when $C_{DUT} = 1\text{fF}$	123
7.7	I_{ref} and I_{DUT} waveforms when $C_{DUT} = 100\text{fF}$	124
7.8	V_{out} waveform when $C_{DUT} = 100\text{fF}$	124
7.9	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	126
7.10	Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	126
7.11	Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account.	127
7.12	Relative Error as a function of real DUT Value when only transistor's variation is taken into account.	128
7.13	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.	129

7.14	Relative Error as a function of expected by the designer DUT Value when transistor's and capacitor's variation are taken into account.	129
8.1	Test structure using changed Charge-Based Capacitance Measurement with $W_{nmos} = 2\mu\text{m}$, $W_{pmos} = 4\mu\text{m}$ and $L_{nmos} = L_{pmos} = 80\text{nm}$	131
8.2	Waveform V (NMOS and PMOS)	132
8.3	I_{ref} and I_{DUT} waveforms when $C_{DUT} = 1\text{fF}$	132
8.4	V_{out} waveform when $C_{DUT} = 1\text{fF}$	133
8.5	I_{ref} and I_{DUT} waveforms when $C_{DUT} = 100\text{fF}$	133
8.6	V_{out} waveform when $C_{DUT} = 100\text{fF}$	134
8.7	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	135
8.8	Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.	136
8.9	Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account.	137
8.10	Relative Error as a function of real DUT Value when only transistor's variation is taken into account.	137
8.11	Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.	138
8.12	Relative Error as a function of expected by the designer DUT Value when transistor's and capacitor's variation are taken into account.	139

List of Tables

1	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή	38
2	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ	39
3	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή	39
4	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή	44
5	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ	45
6	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή	45
7	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή	48
8	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ	48
9	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή	48
10	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή	51
11	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ	51
12	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή	52
13	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή	54

14	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ	54
15	Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή	55
4.1	Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account	92
4.2	Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account	94
4.3	Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation were taken into account	95
5.1	Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account	104
5.2	Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account	105
5.3	Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation was taken into account	107
6.1	Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account	113
6.2	Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account	114
6.3	Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation were taken into account	116
7.1	Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account	125
7.2	Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account	127
7.3	Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation were taken into account	128
8.1	Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account	135
8.2	Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account	136
8.3	Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation were taken into account	138
9.1	Comparative table based on Spread	141

9.2 Comparative table based on Relative Error 141

Μέρος Ι

Ελληνικό Κείμενο

0.1 Εισαγωγή

0.1.1 Ο Νόμος του Moore

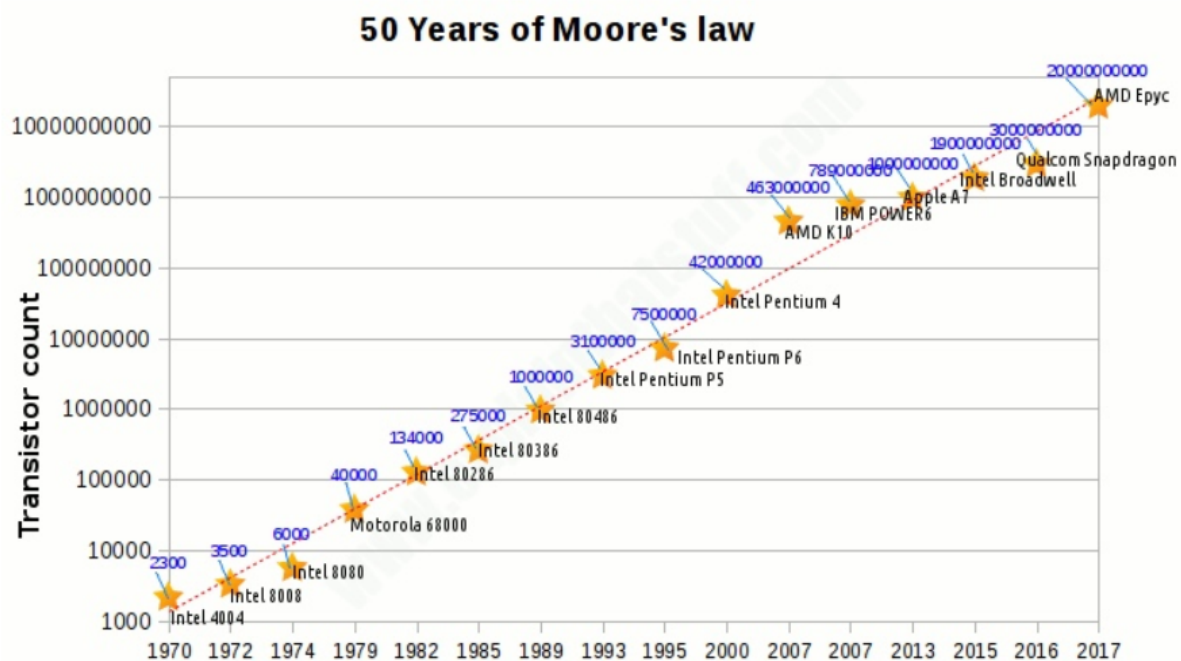
Από τα μέσα του 20ου αιώνα η ανάπτυξη της τεχνολογίας ηλεκτρονικών κυκλωμάτων ήταν ταχεία. Αυτή η εξέλιξη έχει οδηγήσει σε μείωση του μεγέθους των στοιχείων (ενεργών και παθητικών).

Ο νόμος του Moore είναι η παρατήρηση ότι ο αριθμός των τρανζίστορ σε ένα πυκνό ολοκληρωμένο κύκλωμα διπλασιάζεται περίπου κάθε δύο χρόνια. Η παρατήρηση πήρε το όνομά της από τον Gordon Moore, συνιδρυτή της Fairchild Semiconductor και Διευθύνον Σύμβουλο της Intel, του οποίου η εργασία του 1965 περιγράφει κάθε χρόνο διπλασιασμό του αριθμού των στοιχείων ανά ολοκληρωμένο κύκλωμα. Αναμένεται ότι αυτός ο ρυθμός ανάπτυξης θα συνεχιστεί για τουλάχιστον μια ακόμη δεκαετία. Το 1975, αναθεώρησε την πρόβλεψη του, προβλέποντας πλέον έναν σύνθετο ετήσιο ρυθμό ανάπτυξης 41,4%.

Ο νόμος του Moore είναι στενά συνδεδεμένος με την κλιμάκωση των MOSFET (scaling), γνωστή και ως κλιμάκωση Dennard, καθώς η ταχύτερη κλιμάκωση και η δραματική μείωση του μεγέθους των MOSFETs πυριτίου είναι η βασική κινητήρια δύναμη πίσω από το νόμο του Moore.

Η πρόβλεψη του Moore αποδείχθηκε ακριβής για αρκετές δεκαετίες και χρησιμοποιήθηκε στη βιομηχανία ημιαγωγών για να καθοδηγήσει τον μακροπρόθεσμο προγραμματισμό των εταιρειών και να θέσει στόχους για τα τμήματα έρευνας και ανάπτυξης (R&D). Η προόδος στα ψηφιακά ηλεκτρονικά συστήματα συνδέεται στενά με το νόμο του Moore: οι τιμές των μικροεπεξεργαστών προσαρμοσμένες στην ποιότητα, αύξηση χωρητικότητας μνήμης (RAM και flash), βελτίωση αισθητήρων και αύξηση των pixels στις ψηφιακές φωτογραφικές μηχανές. Η ψηφιακή ηλεκτρονική έχει συμβάλει στην παγκόσμια οικονομική ανάπτυξη στα τέλη του 20ού και στις αρχές του 21ου αιώνα. Ο νόμος του Moore περιγράφει την κινητήρια δύναμη της τεχνολογικής αλλά και της κοινωνικής αλλαγής, της παραγωγικότητας και της οικονομικής ανάπτυξης.

Ο νόμος του Moore είναι μια παρατήρηση και προβολή μιας ιστορικής τάσης και όχι ένας φυσικός νόμος. Αν και το ποσοστό αύξησης των τρανζίστορ διατηρήθηκε σχεδόν σταθερό από το 1975 έως το 2012, ήταν ταχύτερο κατά την πρώτη δεκαετία από την εκπόνηση της εργασίας. Σε γενικές γραμμές, δεν είναι λογικό να τηρείται αυτή η πρόβλεψη για τεράστιο χρονικό διάστημα. Ο Διεθνής Τεχνολογικός Χάρτης για τους Ημιαγωγούς προέβλεπε το 2010 ότι η ανάπτυξη θα επιβραδυνόταν γύρω στο 2013. Το 2015 ο Gordon Moore προέβλεπε ότι ο ρυθμός προόδου θα φθάσει στον κορεσμό, κάτι που, όπως φαίνεται και στο παρακάτω σχήμα δεν επιβεβαιώθηκε (Σχ.1). [1]



Σχήμα 1: Νόμος του Moore: Ο αριθμός των τρανζίστορ σε διάφορα chips (1971-2017)

0.1.2 Απόκλιση της τιμής χαρακτηριστικών παθητικών και ενεργητικών στοιχείων ολοκληρωμένων κυκλωμάτων εξαιτίας της διαδικασίας κατασκευής

Ορισμός

Το Process Variation είναι η απόκλιση της πραγματικής τιμής ορισμένων χαρακτηριστικών των τρανζίστορ (W , L , T_{ox} , V_{th}) και των παθητικών στοιχείων από την τιμή που θα ήθελε ο σχεδιαστής, η οποία οφείλεται στην διαδικασία κατασκευής τους. Το ποσοστό της απόκλισης της τιμής των χαρακτηριστικών καθίσταται ιδιαίτερα μεγάλο σε μικρότερες τεχνολογίες ($< 65\text{nm}$), καθώς η απόκλιση της τιμής των χαρακτηριστικών που αναφέρθηκαν (μήκος, πλάτος) γίνεται μεγαλύτερο ποσοστό του μήκους ή του πλάτους του στοιχείου. Επίσης όσο πιο μικρές τιμές χαρακτηριστικών δίνει μια τεχνολογία, τόσο τα χαρακτηριστικά αυτά προσεγγίζουν τις θεμελιώδεις διαστάσεις όπως το μέγεθος των ατόμων και το μήκος κύματος του φωτός που χρησιμοποιείται για τη σχεδίαση μασκών λιθογραφίας[2].

Η τυχαία απόκλιση των χαρακτηριστικών (random variation) μπορεί να οριστεί ως απόκλιση γύρω από την ονομαστική τιμή (Mean Value), ενώ η συστηματική απόκλιση των χαρακτηριστικών (systematic variation) μπορεί να οριστεί ως η απόκλιση της ονομαστικής τιμής από την αναμενόμενη. Η τυχαία απόκλιση μπορεί να προσδιοριστεί με τη μέτρηση της τυπικής απόκλισης (σ) [3].

Οι πηγές της απόκλισης χαρακτηριστικών των στοιχείων και τα αποτελέσματά της στην κατασκευή ολοκληρωμένων κυκλωμάτων

Κύριες πηγές αποκλίσεων είναι:

- πάχος οξειδίου πύλης (για MOSFET τρανζίστορ)
- τυχαία διακύμανση προσμίξεων
- Γεωμετρία Συσκευής, Λιθογραφία στην περιοχή των νανομέτρων

Πιο συγκεκριμένα, οι πηγές απόκλισης χαρακτηριστικών για τα CMOS μπορούν να κατηγοριοποιηθούν σε δύο ομάδες. Η πρώτη ομάδα αποτελείται από ιστορικές πηγές οι οποίες θα συνεχίσουν να προσφέρουν προκλήσεις για τους κατασκευαστές. Αυτή η ομάδα περιλαμβάνει πηγές απόκλισης χαρακτηριστικών λόγω εγγύτητας υλικών, λόγω τραχύτητας ακμών (LER-Line Edge Roughness), λόγω διακύμανσης της απόστασης μεταξύ δύο τυπομένων γραμμών (LWR-Line Width Roughness) και λόγω αποκλίσεων στο διηλεκτρικό υλικό της πύλης (π.χ. αποκλίσεις πάχους οξειδίου) [3]. Η διαχείριση αυτών των πηγών αποκλίσεων απαιτεί τη συνέχιση βελτιώσεων όσο αφορά την κατασκευή των στοιχείων.

Η δεύτερη ομάδα περιλαμβάνει πηγές απόκλισης που έχουν εμφανιστεί ως σημαντικές προκλήσεις τα τελευταία χρόνια. Αυτή η ομάδα περιλαμβάνει την τυχαία διακύμανση προσμίξεων (RDF-Random Dopant Fluctuations), η οποία σχετίζεται με τις εμφυτεύσεις των προσμίξεων και την απόκλιση που σχετίζεται με την κοκκιώδη υφή του υλικού της πύλης (πύλες πολυπυριτίου) [3]. Απαιτείται να αναπτυχθούν νέες καινοτομίες και στρατηγικές βελτίωσης για την αντιμετώπιση των προβλημάτων που δημιουργούν οι παραπάνω πηγές αποκλίσεων.

Το Process Variation (απόκλιση της τιμής των χαρακτηριστικών των στοιχείων) προκαλεί μετρήσιμη και προβλέψιμη απόκλιση της εξόδου όλων των κυκλωμάτων, αλλά ιδιαίτερα των αναλογικών κυκλωμάτων. Εάν η απόκλιση των χαρακτηριστικών των στοιχείων των ολοκληρωμένων κυκλωμάτων προκαλεί μεγάλες αποκλίσεις στην έξοδο του κυκλώματος, τότε η συνολική απόδοση και ακρίβεια του κυκλώματος μειώνεται [2].

Αν και η συνεχής διαδικασία κλιμάκωσης των CMOS τρανζίστορ οδηγεί σε πολλά πλεονεκτήματα όσο αφορά συσκευές και κυκλώματα, το ποσοστό απόκλισης των χαρακτηριστικών (process variation) αυξάνεται όσο μικρότερα γίνονται τα στοιχεία. Οι αποκλίσεις στα χαρακτηριστικά των στοιχείων μπορεί προκαλέσουν αποκλίσεις από τις αναμενόμενες τιμές εξόδου. Αυτές οι παραμετρικές αποκλίσεις μπορούν να επηρεάσουν σημαντικά την απόδοση κυκλωμάτων υψηλής ταχύτητας και χαμηλής ισχύος.

Η πρώτη αναφορά απόκλισης χαρακτηριστικών (process variation) σε ημιαγωγούς ήταν από τον William Shockley, συν-εφευρέτη του τρανζίστορ.

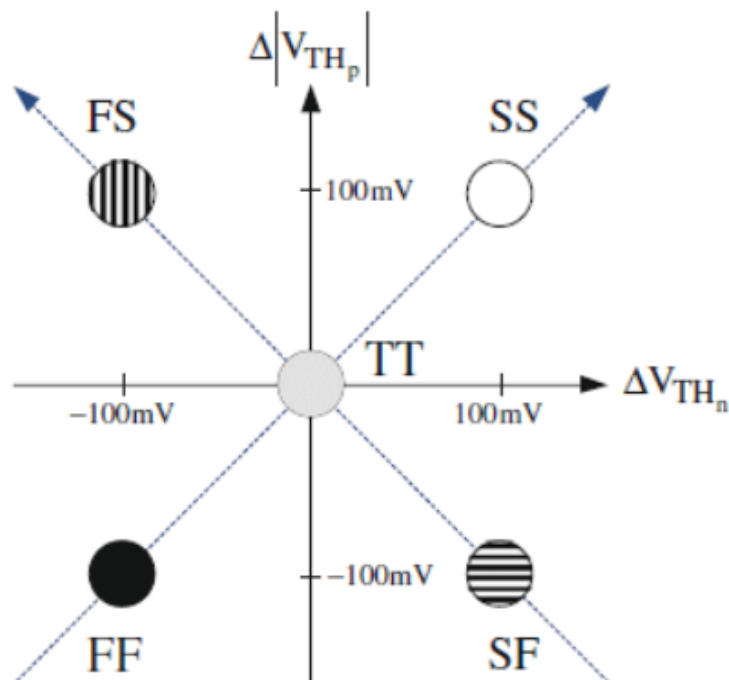
Μια ανάλυση της συστηματικής απόκλισης (systematic variation) πραγματοποιήθηκε από τους Schemmert και Zimmer το 1974 με την εργασία τους σχετικά με την ευαισθησία τάσης κατωφλίου [2]. Αυτή η έρευνα εξέτασε την επίδραση που είχε το πάχος οξειδίου στην τάση κατωφλίου των στοιχείων MOS.

Επιπλέον, λόγω της διαδικασίας κλιμάκωσης, οι πυκνωτές χαρακτηρίζονται από τυχαία και συστηματική απόλιση. Έτσι, οι πυκνωτές έχουν στην πραγματικότητα μια τιμή η οποία είναι διαφορετική από αυτή που αναμένει ο σχεδιαστής. Αυτό θα μπορούσε να προκαλέσει αποκλίσεις από την αναμενόμενη έξοδο ενός ολοκληρωμένου κυκλώματος.

Process Models

Τα εργοστάσια παραγωγής ημιαγωγών διεξάγουν αναλύσεις σχετικά με τη μεταβλητότητα των χαρακτηριστικών των τρανζίστορ (μήκος, πλάτος, πάχος οξειδίου, κλπ.) και των παθητικών στοιχείων. Αυτές οι μετρήσεις καταγράφονται και παρέχονται σε πελάτες όπως και στις εταιρείες ημιαγωγών [2]. Αυτό το σύνολο αρχείων αναφέρεται γενικά ως "model files" και χρησιμοποιείται από τα εργαλεία EDA (Electronic automation design) για την προσομοίωση κυκλωμάτων.

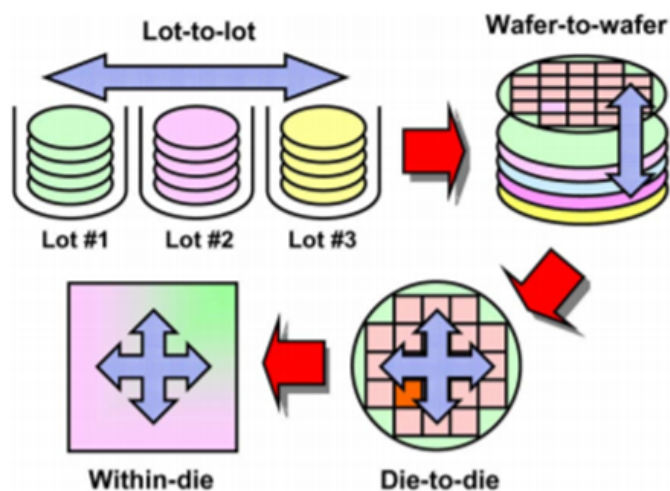
Τυπικά, τα παραπάνω μοντέλα περιλαμβάνουν τα process corners, τα οποία προσομοιώνουν το κύκλωμα σε καταστάσεις όπου έχουμε τις ακραίες αποκλίσεις των χαρακτηριστικών των στοιχείων από τα οποία αποτελείται. Αυτά συνήθως είναι το ονομαστικό σημείο (TT), η γρήγορη γωνία (FF), η αργή γωνία (SS), και τα SF και FS (Σχ.2) [2]. Οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ συμπεκνώνονται στην απόκλιση της τάσης κατωφλίου από αυτή που θέλει ο σχεδιαστής.



Σχήμα 2: Process Corners

Κατηγορίες του Process Variation

Το σχήμα παρακάτω (Σχ.3) συνοψίζει τους ορισμούς των τεσσάρων διαφορετικών κατηγοριών του process variation. [4].



Σχήμα 3: Κατηγορίες Process Variation

Παρακολούθηση Διαδικασιών-Process Control Monitoring (PCM)

Οι δομές δοκιμής, οι οποίες παρέχουν διάφορες μετρήσεις που αφορούν τα χαρακτηριστικά των στοιχείων των κυκλωμάτων (PCM-Process Control Monitoring), είναι μέρος του SPC (Statistical Process Control). Χρησιμοποιούνται για τον χαρακτηρισμό των στοιχείων και τον έλεγχο της τεχνολογίας. Επίσης, οι δομές αυτές χρησιμοποιούνται για τον χαρακτηρισμό παθητικών στοιχείων (π.χ. πυκνωτές).

Η επικύρωση (validation) της απόδοσης κυκλώματος σε σχέση με τις προδιαγραφές του κυκλώματος χωρίζεται σε δύο κύρια μέρη. Η επαλήθευση (verification) και τα στάδια της δοκιμής (test stages) εντοπίζονται πριν και μετά την κατασκευή των chip αντιστοίχως. Η επαλήθευση του κυκλώματος κατά τη διάρκεια του σχεδιασμού βασίζεται σε προσομοιώσεις, τα αποτελέσματα των οποίων εξαρτώνται ιδιαίτερα από την ακρίβεια των μοντέλων. Το στάδιο δοκιμής χρησιμοποιείται για να ταξινομηθεί κάθε chip που έχει κατασκευαστεί σε κατηγορίες (π.χ. pass/fail).

Ειδικά αν τα αποτελέσματα της επαλήθευσης μέσω προσομοίωσης και τα αποτελέσματα του σταδίου δοκιμής δεν ταιριάζουν τότε η τεχνολογία με την οποία κατασκευάζεται το chip ελεγχεται για την αποδοχή της. Έτσι τα αποτελέσματα των δομών δοκιμής PCM καθίστανται ενδιαφέροντα και για τα αναλογικά κυκλώματα. Τα δεδομένα από τις δομές αυτές είναι αναγκαία για την αποτελεσματική ανάλυση των κυκλωμάτων και των εξόδων τους.

Μόνο λίγες περιοχές χρησιμοποιούνται για το SPC στις οποίες όμως υπάρχουν πολλές δομές δοκιμής (test structures). Οι δομές δοκιμών PCM κοστίζουν χώρο στο wafer και χρόνο μέτρησης. Ο αριθμός των δομών αυτών και η προσπάθεια που καταβάλλεται για τις διάφορες μετρήσεις εξαρτώνται από τις προδιαγραφές και την πολυπλοκότητα της τεχνολογίας που χρησιμοποιείται. Έτσι, μερικές εκατοντάδες έως και χιλιάδες δεδομένα εξάγονται και αναλύονται κατά τη διάρκεια της κατασκευής των chips [5].

0.2 Περιγραφή Προβλήματος-Στόχος της εργασίας

Λόγω της κλιμάκωσης που περιγράφεται παραπάνω, τα τρανζίστορ και τα παθητικά στοιχεία είναι αδύνατο να είναι ιδανικά και να έχουν ακριβώς την αναμενόμενη συμπεριφορά. Με βάση όσα περιγράφηκαν παραπάνω τα τρανζίστορ αλλά και τα παθητικά στοιχεία χαρακτηρίζονται συχνά από αποκλίσεις των χαρακτηριστικών τους (process variation) από τις τιμές που θα ήθελε ο σχεδιαστής. Για παράδειγμα σε ένα chip ενός wafer κάποιοι από τους πυκνωτές που χρησιμοποιούνται μπορεί να έχουν τιμή διαφορετική από αυτή που θα ήθελε ο σχεδιαστής του chip. Γι αυτό τον λόγο οι κατασκευαστές έχουν εισαγάγει πολλά εργαλεία για τον έλεγχο και την παρακολούθηση της ποιότητας των διαδικασιών παραγωγής (PCM-Process Control Monitoring). Σε αυτή την εργασία προτείνουμε διάφορες δομές δοκιμής (test structures), οι οποίες βρίσκονται σε κάποια σημεία του wafer και μετρούν την πραγματική τιμή πολύ μικρών πυκνωτών. Οι προτεινόμενες δομές δοκιμής λειτουργούν μόνο κατά την διάρκεια του testing (έπειτα τίθενται εκτός λειτουργίας) και δίνουν χρήσιμες πληροφορίες όσο αφορά τις πραγματικές τιμές στοιχείων των κυκλωμάτων. Αν λοιπόν, οι μετρήσεις που γίνονται (εδώ για την τιμή των πυκνωτών) είναι εντός των ορίων που έχουν τεθεί τότε το wafer περνά στον πελάτη. Σε διαφορετική περίπτωση καταστρέφεται και επανακατασκευάζεται μέχρι όλα τα δεδομένα που εξάγονται από τις δομές δοκιμών να είναι εντός των ορίων που έχουν τεθεί.

0.3 Τα μοντέλα των στοιχείων που χρησιμοποιήθηκαν για τις δομές δοκιμής και για τους πυκνωτές υπό δοκιμή

0.3.1 Τα μοντέλα των τρανζίστορ που χρησιμοποιήθηκαν για τις δομές δοκιμής

Στην εργασία αυτή δημιουργήθηκαν και χρησιμοποιήθηκαν μοντέλα τρανζίστορ MOSFET (τεχνολογία 45nm). Για τις παραμέτρους των τρανζίστορ χρησιμοποιήθηκαν μοντέλα πρόβλεψης τεχνολογίας (PTM-Predictive Technology Models) [6]. Παρέχουν ακριβή και προσαρμόσιμα αρχεία μοντέλων για διάφορες τεχνολογίες τρανζίστορ. Αυτά τα πρότυπα αρχεία μοντέλων είναι συμβατά με τους προσομοιωτές κυκλωμάτων, όπως το Spectre.

Για τον καθορισμό της τυπικής απόκλισης της τάσης κατωφλίου V_{th} , του ρεύματος I_d και του κέρδους g_m χρησιμοποιούνται Monte Carlo προσομοιώσεις στα κυκλώματα των Σχημάτων 5 και 6.

Τα μοντέλα για τα τρανζίστορ που δημιουργήσαμε είναι ουσιαστικά τα παρακάτω (Σχ.4):

Το $\sigma_{V_{th}}$ δίνεται από τον παρακάτω τύπο:

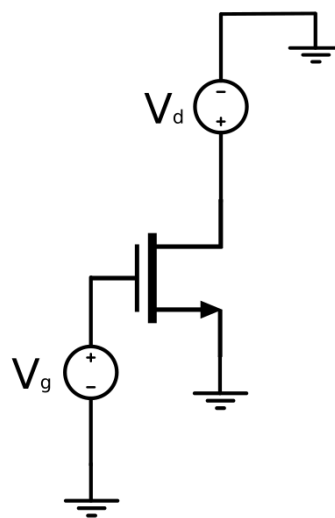
$$\sigma_{\Delta V_{th}} = \frac{A_{V_{th}}}{\sqrt{W \cdot L}} \implies \sigma_{V_{th}} = \frac{A_{V_{th}}}{\sqrt{2 \cdot W \cdot L}} \quad (1)$$

όπου $A_{v_{th}} = 1.92 \text{mV} \cdot \mu\text{m}$

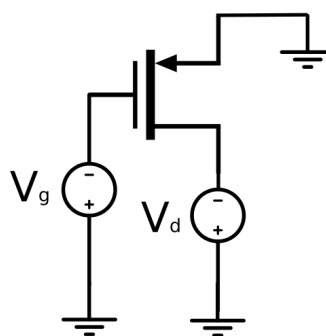
Τα παραπάνω τρανζίστορ έχουν την αναμενόμενη συμπεριφορά όσο αφορά τα μεγέθη V_{th} , I_d και g_m . Συνεπώς χρησιμοποιήσαμε τα μοντέλα που δημιουργήσαμε για να κατασκευάσουμε τις



Σχήμα 4: Σχηματικά τα μοντέλα τρανζίστορ που χρησιμοποιήθηκαν



Σχήμα 5: Το κύκλωμα που χρησιμοποιήθηκε για την δοκιμή του μοντέλου nmos τρανζίστορ



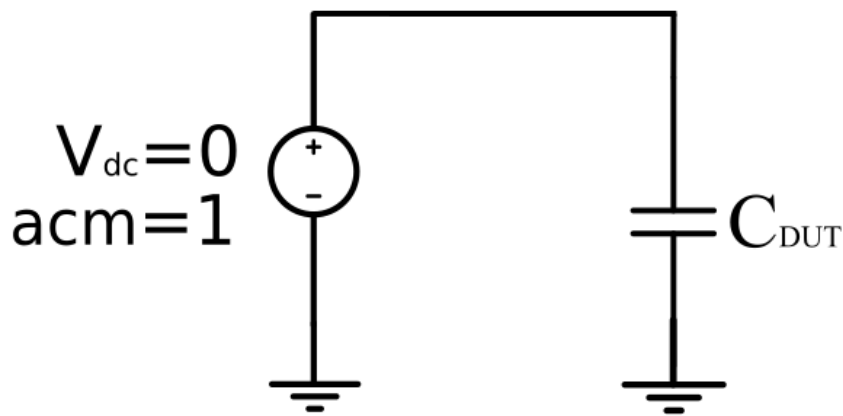
Σχήμα 6: Το κύκλωμα που χρησιμοποιήθηκε για την δοκιμή του μοντέλου pmos τρανζίστορ

διάφορες δομές δοκιμής.

0.3.2 Το μοντέλο του πυκνωτή που χρησιμοποιήθηκε ως στοιχείο υπό δοκιμή

Σε αυτή την εργασία δημιουργήθηκαν μοντέλα πυκνωτών και χρησιμοποιήθηκαν ως στοιχεία υπό δοκιμή. Αυτά τα μοντέλα εισάγουν απόκλιση χαρακτηριστικών (process variation) και στα στοιχεία υπό δοκιμή. Επίσης βασίζονται και σε άλλες διάφορες ρεαλιστικές παραμέτρους των πυκνωτών.

Οι προσομοιώσεις AC στην συχνότητα του 1kHz με το παρακάτω κύκλωμα (Σχ.7) χρησιμοποιούνται για να ελέγξουν εάν το μοντέλο που χρησιμοποιείται έχει τα αναμενόμενα αποτελέσματα.



Σχήμα 7: Circuit used for capacitor testing

Οι παρακάτω υπολογισμοί χρησιμοποιούνται για την εξαγωγή της τιμής του πυκνωτή από τη προσομοίωση AC:

$$Y(s) = \frac{I_{cap}}{V_{cap}} = j\omega C \implies I_{cap} = j\omega C \quad (2)$$

αφού $V_{cap} = acm = 1V$ είναι:

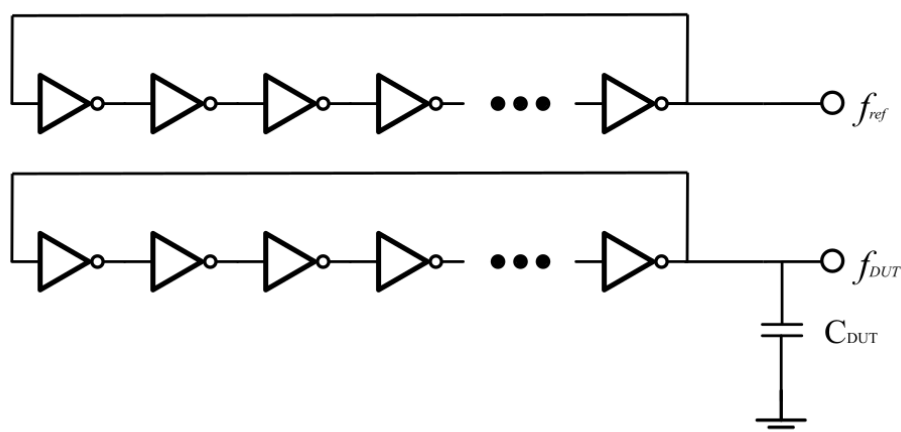
$$\Im I_{cap} = \omega C \implies C = \frac{\Im I_{cap}}{2\pi f} \quad (3)$$

Βάζοντας στον τελικό τύπο (3), τα δεδομένα που προέκυψαν από προσομοιώσεις προκύπτει ότι ο πυκνωτής λειτουργεί κατά τα αναμενόμενα. Συνεπώς μπορούμε να χρησιμοποιήσουμε το συγκεκριμένο μοντέλο για να προσομοιώσουμε τα στοιχεία υπό δοκιμή.

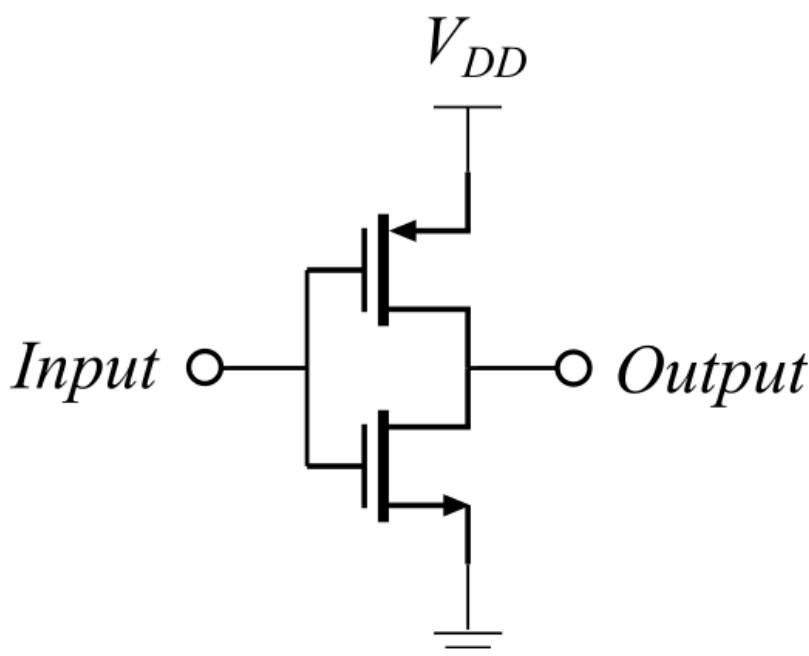
0.4 Δομή δοκιμής με δύο δακτυλιοειδείς ταλαντωτές

Υπάρχουν πολλοί τρόποι χαρακτηρισμού των πυκνωτών μέσα από την συχνότητα ταλάντωσης. Ο απλούστερος τρόπος είναι να χρησιμοποιηθούν δύο ίδιοι δακτυλιοειδείς ταλαντωτές (Σχ.8). Κάθε ταλαντωτής αποτελείται από 55 στάδια. Κάθε στάδιο εδώ είναι ένας απλός αντιστροφέας (Σχ.9). Ο πρώτος δακτυλιοειδής ταλαντωτής παρέχει την συχνότητα αναφοράς (f_{ref}) και ο δεύτερος παρέχει

μια συχνότητα, η οποία είναι άμεσα επηρεασμένη από τον πυκνωτή υπό δοκιμή (f_{DUT}). Μέσω αυτών των δύο συχνοτήτων και της καθυστέρησης του αντιστροφέα, λαμβάνουμε την τιμή του πυκνωτή υπό δοκιμή (C_{DUT}). Στην εργασία αυτή τα στοιχεία υπό δοκιμή είναι μόνο πυκνωτές.

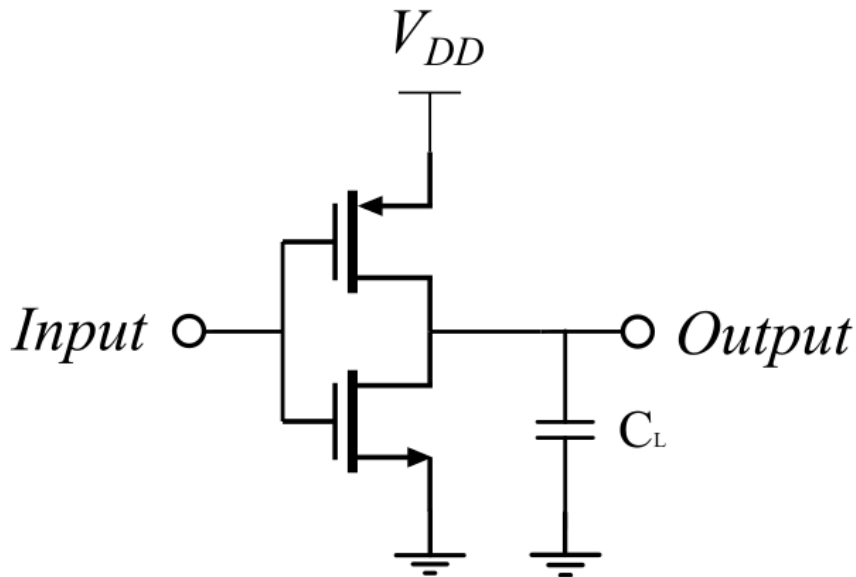


Σχήμα 8: Ο πρώτος δακτυλιοειδής ταλαντωτής παρέχει την συχνότητα αναφοράς (f_{ref}) και ο δεύτερος παρέχει μια συχνότητα, η οποία επηρεασμένη από τον πυκνωτή υπό δοκιμή (f_{DUT})



Σχήμα 9: Ο αντιστροφέας που χρησιμοποιείται για τους δακτυλιοειδείς ταλαντωτές με $W_{nmos} = 2 \mu\text{m}$, $W_{pmos} = 4 \mu\text{m}$ και $L_{nmos} = L_{pmos} = 80 \text{ nm}$

Καθένας από τους παραπάνω αντιστροφείς θεωρείται ότι εισάγει την ίδια παρασιτική χωρητικότητα C_L όπως φαίνεται στο Σχήμα 10.



Σχήμα 10: Ο αντιστροφέας που χρησιμοποιείται για τους δακτυλιοειδείς ταλαντωτές με την ολική παρασιτική χωρητικότητα που εισάγει

0.4.1 Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή

Λόγω των παρασιτικών χωρητικότητων που εισάγονται από τα τρανζίστορ MOSFET του αντιστροφέα, υπάρχει καθυστέρηση για κάθε στάδιο (t_d). Ο τύπος για την καθυστέρηση διάδοσης κάθε σταδίου είναι γνωστός και δίνεται παρακάτω [7], [8] :

$$t_d = \frac{C_L \cdot V_{dd}}{2 \cdot I_{osc}} \quad (4)$$

όπου:

C_L : η ολική παρασιτική χωρητικότητα αντιστροφέα

V_{dd} : η τάση τροφοδοσίας

I_{osc} : το ρεύμα ταλάντωσης

Προκειμένου να έχουμε έναν τελικό τύπο που υπολογίζει την τιμή του στοιχείου υπό δοκιμή, υποθέτουμε ότι οι δύο ταλαντωτές είναι πανομοιότυποι και δεν επηρεάζονται από αποκλίσεις χαρακτηριστικών (process variation). Αυτό σημαίνει ότι κάθε στάδιο έχει το ίδιο C_L , το ίδιο I_{osc} και έτσι την ίδια καθυστέρηση διάδοσης (t_d). Η συχνότητα ταλάντωσης του πρώτου ταλαντωτή δακτυλίων δίνεται παρακάτω:

$$f_{ref} = \frac{1}{2Nt_d} \quad (5)$$

όπου:

N : ο αριθμός σταδίων

t_d : η καθυστέρηση διάδοσης σταδίου

Είναι προφανές ότι η συχνότητα ταλάντωσης εξαρτάται από το χρόνο καθυστέρησης σταδίων και από τον αριθμό της των σταδίων. Στην εφαρμογή μας, το τελευταίο στάδιο του δεύτερου ταλαντωτή έχει φορτίο, το οποίο είναι το στοιχείο υπό δοκιμή. Επομένως, το τελευταίο στάδιο έχει διαφορετική καθυστέρηση διάδοσης (t'_d) από τα άλλα στάδια. Η συχνότητα ταλάντωσης του δεύτερου ταλαντωτή δίνεται παρακάτω [7]:

$$f_{DUT} = \frac{1}{2 \cdot (N-1) \cdot t_d + 2 \cdot t'_d} \quad (6)$$

όπου:

$$t'_d = \frac{(C_L + C_{DUT}) \cdot V_{dd}}{2 \cdot I'_{osc}} \quad (7)$$

όπου:

I'_{osc} : το ρεύμα που διαρέει τον κλάδο του αντιστροφέα του τελευταίου σταδίου που αποτελείται από το NMOS τρανζίστορ.

Προκειμένου να εκτιμηθεί η πραγματική τιμή του πυκνωτή υπό δοκιμή χρησιμοποιώντας αυτή τη δομή δοκιμών, είναι σημαντικό να επιτευχθεί ένας τελικός μαθηματικός τύπος. Χρησιμοποιώντας τις εξισώσεις (4), (5), (6), (7) έχουμε τον τύπο για την τιμή του πυκνωτή υπό μέτρηση (C_{DUT}):

$$C_{DUT} = \frac{1}{N \cdot V_{dd} \cdot f_{ref}} \cdot \left[\frac{I'_{osc}(N \cdot f_{ref} - f_{DUT} \cdot (N-1))}{f_{DUT}} - I_{osc} \right] \quad (8)$$

Αν υποθέσουμε ότι $I_{osc} = I'_{osc}$ τότε:

$$C_{DUT} = \frac{I_{osc}}{N \cdot V_{dd} \cdot f_{ref}} \cdot \left[\frac{N \cdot f_{ref} - f_{DUT} \cdot (N-1)}{f_{DUT}} - 1 \right] \quad (9)$$

Σε αυτό το σημείο να σημειώσουμε ότι για να εξαχθεί η τιμή του εκάστοτε ρεύματος από ένα chip του wafer χρειάζεται κάποια άλλη δομή με την οποία δεν ασχολούμαστε σε αυτή την εργασία.

0.4.2 Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo

Κατά τη διάρκεια του testing με τις δομές δοκιμής αν όλα ήταν ιδανικά (κανένα χαρακτηριστικό στοιχείου του κυκλώματος δεν αποκλίνει από την τιμή που έδωσε ο σχεδιαστής και οι δομές δοκιμής είναι τελείως ακριβής) τότε για παράδειγμα μετρώντας έναν πυκνωτή με πραγματική τιμή 10fF, η μέτρηση θα έδειχνε ακριβώς 10fF. Όμως τίποτα από τα παραπάνω δεν ισχύει στην πραγματικότητα γιατί κάθε στοιχείο έχει κάποια απόκλιση στα χαρακτηριστικά του από αυτά που θέλει ο σχεδιαστής του κυκλώματος. Μέσα από προσομοιώσεις Monte Carlo λοιπόν, στις οποίες αποκλίσεις από τα μεγέθη που θέλει ο σχεδιαστής έχουν όλα τα στοιχεία του κυκλώματος, εξάγουμε το Σχετικό σφάλμα και το spread για να ξέρουμε σε τι διάστημα είναι πιθανό να βρισκείται η μέτρηση ενός πυκνωτή για τον οποίο ξέρουμε μόνο την τιμή που του έδωσε ο σχεδιαστής και όχι την πραγματική του τιμή.

Να σημειωθεί ότι στην περίπτωση στην οποία στις προσομοιώσεις Monte Carlo απόκλιση χαρακτηριστικών από αυτά που θέλει ο σχεδιαστής έχουν μόνο οι πυκνωτές και στην περίπτωση στην οποία απόκλιση χαρακτηριστικών έχουν και τα τρανζίστορ και οι πυκνωτές τότε η τιμή των πυκνωτών υπό δοκιμή στους παρακάτω πίνακες είναι αυτή που έχει δώσει ο σχεδιαστής και η εκτιμώμενη τιμή πυκνωτή είναι η τιμή την οποία μετράμε με τις δομές δοκιμής. Στην περίπτωση στην οποία στις προσομοιώσεις Monte Carlo απόκλιση χαρακτηριστικών από αυτά που θέλει ο σχεδιαστής έχουν μόνο τα τρανζίστορ τότε η τιμή των πυκνωτών υπό δοκιμή στους παρακάτω πίνακες είναι η πραγματική τιμή που έχουν οι πυκνωτές και η εκτιμώμενη τιμή πυκνωτή είναι η τιμή την οποία μετράμε με τις δομές δοκιμής. Συνεπώς όσο αφορά την ακρίβεια μέτρησης, μας ενδιαφέρει κυρίως η περίπτωση στην οποία αποκλίσεις εισάγουν μόνο τα τρανζίστορ αφού στην περίπτωση αυτή μετράμε την τιμή ενός πυκνωτή η οποία είναι γνωστή σε εμάς και με αυτόν τον τρόπο μπορούμε να υπολογίσουμε το πραγματικό σφάλμα μέτρησης.

Προσομοιώσεις με process variation μόνον για τον πυκνωτή υπό δοκιμή

Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό μετρηση. Υποθέτουμε ότι τα τρανζίστορ είναι ιδανικά και ότι τα στάδια του κάθε ταλαντωτή και οι ταλαντωτές μεταξύ τους είναι πανομοιότυποι. Η εκτιμώμενη τιμή πυκνωτή και η τυπική απόκλιση εξήχθησαν απευθείας από την προσομοίωση. Με βάση αυτά τα δεδομένα δημιουργήσαμε τον παρακάτω πίνακα 1.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	-0,2447	0,0475	19,4115243155	-1,2447	-124,47
10	8,676	0,527	6,0742277547	-1,324	-13,24
20	19,37	1,052	5,4310789881	-0,63	-3,15
30	29,6	1,487	5,0236486486	-0,4	-1,3333333333
40	40,04	1,929	4,8176823177	0,04	0,1
50	50,18	2,407	4,7967317656	0,18	0,36
60	60,26	2,914	4,835711915	0,26	0,4333333333
70	70,06	3,278	4,6788467028	0,06	0,0857142857
80	79,84	3,768	4,7194388778	-0,16	-0,2
90	89,55	3,768	4,2077051926	-0,45	-0,5
100	99,07	4,583	4,6260220046	-0,93	-0,93

Πίνακας 1: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή

Προσομοιώσεις με process variation μόνον για τα τρανζίστορ

Ο πίνακας 2 φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ. Υποθέτουμε ότι ο πυκνωτής υπό δοκιμή είναι ιδανικός. Οι ταλαντωτές δεν είναι πανομοιότυποι επειδή κάθε τρανζίστορ εισάγει διαφορετική απόκλιση χαρακτηριστικών και επομένως κάθε στάδιο διαφορετική καθυστέρηση. Η εκτιμώμενη τιμή πυκνωτή και η τυπική απόκλιση εξήχθησαν απευθείας από την προσομοίωση. Με βάση αυτά τα δεδομένα δημιουργήσαμε τον παρακάτω πίνακα.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	-0,2474	0,08573	34,6523848019	-1,2474	-124,74
10	8,66	0,4852	5,6027713626	-1,34	-13,4
20	19,42	1,01	5,2008238929	-0,58	-2,9
30	29,55	1,442	4,8798646362	-0,45	-1,5
40	40,16	1,956	4,8705179283	0,16	0,4
50	50,25	2,386	4,7482587065	0,25	0,5
60	60,3	2,859	4,7412935323	0,3	0,5
70	70,04	3,26	4,6544831525	0,04	0,0571428571
80	79,95	3,753	4,6941838649	-0,05	-0,0625
90	89,65	4,22	4,7071946458	-0,35	-0,3888888889
100	99,26	4,625	4,6594801531	-0,74	-0,74

Πίνακας 2: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ

Προσομοιώσεις με process variation για τον πυκνωτή υπό δοκιμή και για τα τρανζίστορ

Ο παρακάτω πίνακας 3 φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή και των τρανζίστορ. Τώρα, οι ταλαντωτές δεν είναι πανομοιότυποι επειδή κάθε τρανζίστορ μπορεί να εισαγάγει διαφορετική απόκλιση χαρακτηριστικών. Επίσης, ο πυκνωτής υπό δοκιμή δεν είναι ιδανικός. Η εκτιμώμενη τιμή του πυκνωτή και η τυπική απόκλιση εξήχθησαν απευθείας από την προσομοίωση. Με βάση αυτά τα δεδομένα δημιουργήσαμε τον παρακάτω πίνακα.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	-0,2482	0,9768	393,5535858179	-1,2482	-124,82
10	8,652	0,7302	8,439667129	-1,348	-13,48
20	19,3	1,475	7,6424870466	-0,7	-3,5
30	29,51	2,128	7,2111148763	-0,49	-1,6333333333
40	39,91	2,792	6,9957404159	-0,09	-0,225
50	50,04	3,469	6,9324540368	0,04	0,08
60	60,1	4,173	6,9434276206	0,1	0,1666666667
70	69,88	4,753	6,8016599886	-0,12	-0,1714285714
80	79,66	5,429	6,8152146623	-0,34	-0,425
90	89,43	6,043	6,7572402997	-0,57	-0,6333333333
100	98,84	6,655	6,7331040065	-1,16	-1,16

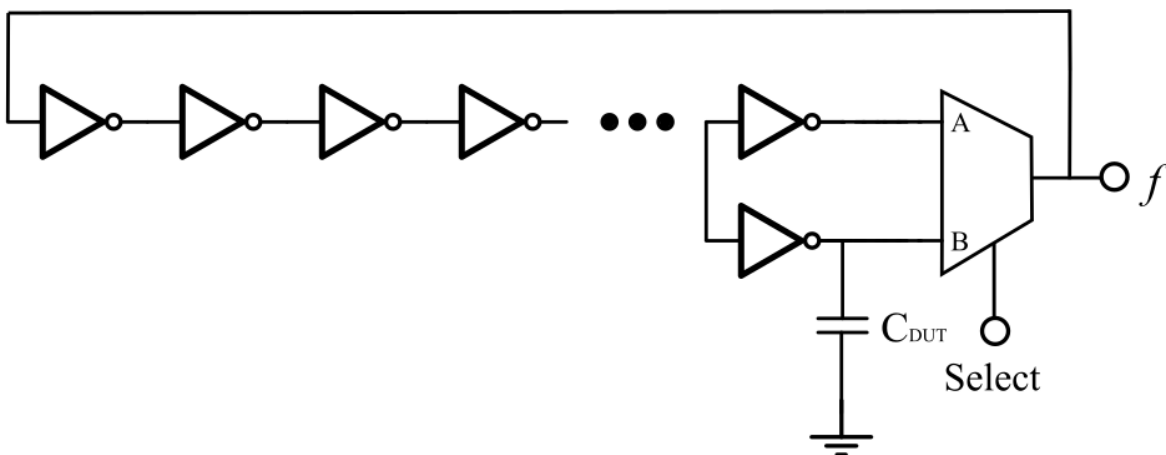
Πίνακας 3: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή

Είναι προφανές ότι όταν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ αγνοούνται (Πίνακας 1), οι τιμές του Spread είναι μικρότερες από την περίπτωση που δεν παραβλέπονται οι αποκλίσεις χαρακτηριστικών κανενός στοιχείου. (Πίνακας 3). Αυτό σημαίνει ότι τα τρανζίστορ των σταδίων των ταλαντωτών εισάγουν αποκλίσεις χαρακτηριστικών οι οποίες επηρεάζουν σημαντικά την τελική μέτρηση όσο αφορά το Spread. Είναι σημαντικό να βρεθεί τρόπος να μειωθεί η επιρροή των αποκλίσεων αυτών στις μετρήσεις μας.

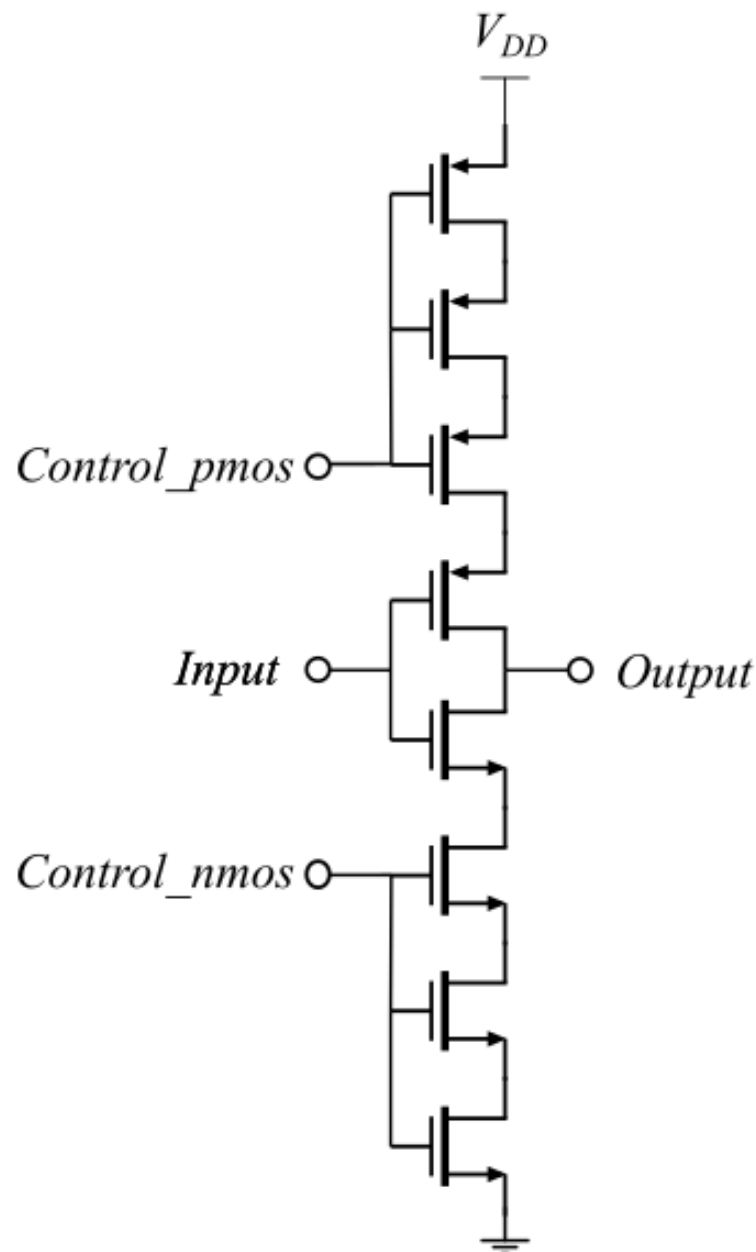
Ακόμη παρατηρούμε ότι η δομή μετρά ικανοποιητικά πυκνωτές στο διάστημα 20 fF-100 fF (Σχετικό σφάλμα < 3%). Μειονέκτημα αποτελεί το γεγονός ότι είναι απαραίτητο να μετρηθούν ρεύματα.

0.5 Δομή δοκιμής με έναν δακτυλιοειδή ταλαντωτή και έναν πολυπλέκτη

Ένας άλλος τρόπος για τον χαρακτηρισμό των πυκνωτών μέσω της συχνότητας ταλάντωσης περιγράφεται παρακάτω. Σε αυτή την ενότητα χρησιμοποιούνται ένας μόνο δακτυλιοειδής ταλαντωτής και ένας πολυπλέκτης (MUX) (Σχ.13) (αναμένουμε μειωμένο Spread) για τη μέτρηση της τιμής του πυκνωτή υπό δοκιμή μέσω της συχνότητας ταλάντωσης (Σχ.11). Ο ταλαντωτής αποτελείται από 53 στάδια. Κάθε στάδιο εδώ είναι ένας current-starved αντιστροφέας (Σχ.12). Χρησιμοποιώντας τον πολυπλέκτη και ένα σήμα επιλογής, επιτυγχάνουμε να έχουμε στην έξοδο του ίδιου ταλαντωτή και τη συχνότητα αναφοράς (f_{ref}) και τη συχνότητα που επηρεάζεται από τον πυκνωτή υπό δοκιμή (f_{DUT}) ανάλογα με την τιμή του σήματος επιλογής. Όταν το σήμα επιλογής είναι 0V, η συχνότητα εξόδου είναι η συχνότητα αναφοράς (f_{ref}). Όταν το σήμα επιλογής είναι 1V, η συχνότητα εξόδου είναι η συχνότητα που επηρεάζεται από τον πυκνωτή υπό δοκιμή (f_{DUT}) [9]. Μέσω αυτών των δύο συχνοτήτων και της καθυστέρησης του current-starved αντιστροφέα, λαμβάνουμε την τιμή του πυκνωτή υπό δοκιμή (C_{DUT}).



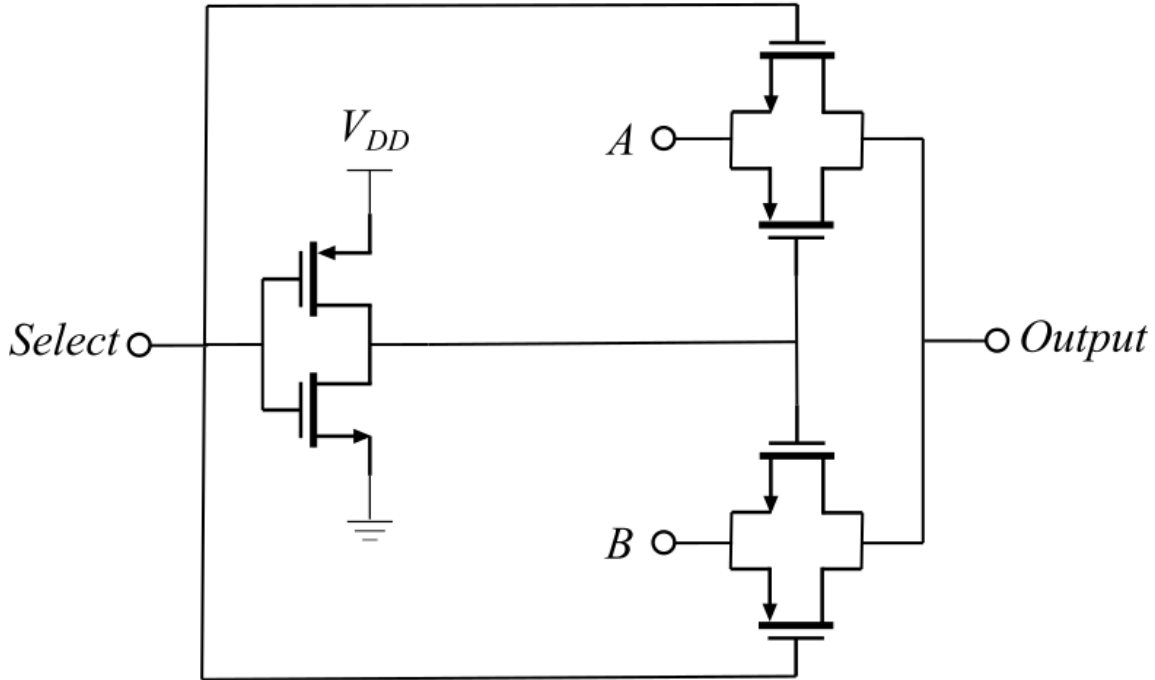
Σχήμα 11: Όταν το σήμα επιλογής είναι 0V παρέχεται η f_{ref} και όταν το σήμα επιλογής είναι 1V παρέχεται η f_{DUT}



Σχήμα 12: Ο current-starved αντιστροφέας που χρησιμοποιείται για τα στάδια του ταλαντωτή με $W_{nmos} = 8\mu\text{m}$, $W_{pmos} = 16\mu\text{m}$ και $L_{nmos} = L_{pmos} = 80\text{nm}$.

0.5.1 Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή

Λόγω των χωρητικότητων που εισάγονται από τα τρανζίστορ MOSFET που αποτελούν τους αντιστροφείς κάθε σταδίου, υπάρχει καθυστέρηση διάδοσης για κάθε στάδιο (t_d), εκτός από τα δύο τελευταία στάδια του ταλαντωτή (τα τελευταία δύο στάδια, 52ο και 53ο, έχουν διαφορετική καθυστέρηση διάδοσης). Για την καθυστέρηση του current-starved αντιστροφέα χρησιμοποιείται ο ίδιος



Σχήμα 13: Ο πολυπλέκτης που χρησιμοποιείται στη δομή δοκιμής και αποτελείται ο δύο πύλες διέλευσης με $W_{nmos} = 5 \mu\text{m} = W_{pmos}$ και $L_{nmos} = L_{pmos} = 80 \text{nm}$.

τύπος με την καθυστέρηση του απλού αντιστροφέα (για όλα τα στάδια εκτός από το 52ο και το 53ο στάδιο) [7], [10]:

$$t_d = \frac{C_L \cdot V_{dd}}{2 \cdot I_{C_L}} \quad (10)$$

όπου:

C_L : η ολική παρασιτική χωρητικότητα του current-starved αντιστροφέα

V_{dd} : η τάση τροφοδοσίας

I_{C_L} : το ρεύμα που ρέει μέσω των τρανζίστορ NMOS του current-starved αντιστροφέα στο έδαφος.

Κάθε ένα από τα στάδια του ταλαντωτή εισάγει κάποιες χωρητικότητες εξαιτίας των τρανζίστορ που χρησιμοποιούνται. Κάθε current-starved αντιστροφέα παρουσιάζει χωρητικότητα C_L . Επιπλέον, ο πολυπλέκτης εισάγει χωρητικότητα C_{MUX} η οποία οδηγείται από έναν από τους δύο αντιστροφείς του τελευταίου σταδίου ανάλογα με την τιμή του σήματος επιλογής. Επίσης, σε οποιαδήποτε περίπτωση (είτε το σήμα επιλογής είναι 0V είτε 1V) υπάρχει ένας current-starved αντιστροφέα του οποίου η έξοδος δεν συνδέεται πουθενά (float). Αυτός ο αντιστροφέα εισάγει μια χωρητικότητα C_{float} που οδηγείται από το 52ο στάδιο. Ως αποτέλεσμα το 52ο στάδιο οδηγεί όχι μόνο την χωρητικότητα C_L αλλά και την C_{float} . Όταν το σήμα επιλογής είναι 0V (f_{ref} η

συχνότητα εξόδου) το 53ο στάδιο (τελευταίο στάδιο) οδηγεί την C_L και την C_{MUX} . Όταν το σήμα επιλογής είναι 1V (f_{DUT} η συχνότητα εξόδου) το 53ο στάδιο (τελευταίο στάδιο) οδηγεί την C_L , την C_{MUX} και τον πυκνωτή υπό δοκιμή υπό δοκιμή C_{DUT} .

Για το 52ο στάδιο ο μαθηματικός τύπος για την καθυστέρηση διάδοσης και στις δύο περιπτώσεις (είτε το σήμα επιλογής είναι 0V είτε 1V) είναι:

$$t_{d_{52nd-stage}} = \frac{(C_L + C_{float}) \cdot V_{dd}}{2 \cdot I_{C_L - C_{float}}} \quad (11)$$

όπου:

C_L : η ολική παρασιτική χωρητικότητα current-starved αντιστροφέα

C_{float} : η χωρητικότητα που εισάγεται από τον αντιστροφέα του οποίου η έξοδος δεν συνδέεται πουθενά

V_{dd} : η τάση τροφοδοσίας

$I_{C_L - C_{float}}$: το ρεύμα που ρέει μέσω των εξής χωρητικότητων που προκαλούν καθυστέρηση διάδοσης: C_L και C_{float} .

Για το 53ο στάδιο, ο μαθηματικός τύπος για την καθυστέρηση μετάδοσης όταν το σήμα επιλογής είναι 0V (f_{ref}) είναι:

$$t_{d_{53rd-stage-ref}} = \frac{(C_L + C_{MUX}) \cdot V_{dd}}{2 \cdot I_{C_L - C_{MUX}}} \quad (12)$$

όπου:

C_L : η ολική παρασιτική χωρητικότητα current-starved αντιστροφέα

C_{MUX} : η χωρητικότητα που εισάγεται από τον πολυπλέκτη

V_{dd} : η τάση τροφοδοσίας

$I_{C_L - C_{MUX}}$: το ρεύμα που ρέει μέσω των εξής χωρητικότητων που προκαλούν καθυστέρηση διάδοσης: C_L και C_{MUX} .

Για το 53ο στάδιο, ο μαθηματικός τύπος για την καθυστέρηση μετάδοσης όταν το σήμα επιλογής είναι 1V (f_{DUT}) είναι:

$$t_{d_{53rd-stage-DUT}} = \frac{(C_L + C_{MUX} + C_{DUT}) \cdot V_{dd}}{2 \cdot I_{C_L - C_{MUX} - C_{DUT}}} \quad (13)$$

όπου:

C_L : η ολική παρασιτική χωρητικότητα current-starved αντιστροφέα

C_{MUX} : η χωρητικότητα που εισάγεται από τον πολυπλέκτη

C_{DUT} : ο πυκνωτής υπό δοκιμή

V_{dd} : η τάση τροφοδοσίας

$I_{C_L - C_{MUX} - C_{DUT}}$: το ρεύμα που ρέει μέσω των εξής χωρητικότητων που προκαλούν καθυστέρηση διάδοσης: C_L , C_{MUX} και C_{DUT} .

Άρα ο μαθηματικός τύπος για τη συχνότητα αναφοράς (f_{ref} που παρέχεται όταν το σήμα επιλογής είναι 0V) είναι:

$$f_{ref} = \frac{1}{2 \cdot (N - 2) \cdot t_d + 2 \cdot t_{d_{52nd-stage}} + 2 \cdot t_{d_{53rd-stage-ref}}} \quad (14)$$

όπου:

N: ο αριθμός των σταδίων του ταλαντωτή

Ο μαθηματικός τύπος για τη συχνότητα που επηρεάζεται από τον πυκνωτή υπό δοκιμή (f_{DUT} που παρέχεται όταν το σήμα επιλογής είναι 1V) είναι:

$$f_{DUT} = \frac{1}{2 \cdot (N - 2) \cdot t_d + 2 \cdot t_{d_{52nd-stage}} + 2 \cdot t_{d_{53rd-stage-DUT}}} \quad (15)$$

όπου:

N: ο αριθμός των σταδίων του ταλαντωτή

Κάνοντας την υπόθεση $I_{C_L-C_{MUX}} = I_{C_L-C_{MUX}-C_{DUT}} = I$ και με την βοήθεια των εξισώσεων (10), (11), (12), (13), (14), (15) καταλήγουμε στον τελικό τύπο για την τιμή του πυκνωτή υπό μέτρηση:

$$C_{DUT} = \frac{f_{ref} - f_{DUT}}{V_{dd} \cdot f_{ref} \cdot f_{DUT}} \cdot I \quad (16)$$

όπου:

I: το ρεύμα το οποίο αναφέρεται στην υπόθεση που κάναμε

0.5.2 Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo

Προσομοιώσεις με process variation μόνον για τον πυκνωτή υπό δοκιμή

Ο πίνακας 4 παρακάτω φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή. Υποθέτουμε ότι τα τρανζίστορ είναι ιδανικά και ότι τα στάδια του ταλαντωτή είναι πανομοιότυπα. Η εκτιμώμενη τιμή του πυκνωτή και η τυπική απόκλιση εξήχθησαν απευθείας από την προσομοίωση.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1,462	0,08334	5,7004103967	0,462	46,2
10	9,864	0,5411	5,4856042174	-0,136	-1,36
20	19,39	0,9777	5,0422898401	-0,61	-3,05
30	29,86	1,504	5,03683858	-0,14	-0,4666666667
40	41,15	2,044	4,9671931956	1,15	2,875
50	50,31	2,417	4,804213874	0,31	0,62
60	61,27	2,915	4,7576301616	1,27	2,1166666667
70	72,41	3,378	4,6651015053	2,41	3,4428571429
80	84,67	4,867	5,7481988898	4,67	5,8375
90	97,45	5,564	5,7095946639	7,45	8,2777777778
100	109,5	5,83	5,3242009132	9,5	9,5

Πίνακας 4: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή

Προσομοιώσεις με process variation μόνον για τα τρανζίστορ

Ο πίνακας 5 φτιάχτηκε με δεδομένα από προσομιώσεις Monte Carlo. Σε αυτές τις προσομιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ. Υποθέτουμε ότι ο πυκνωτής υπό δοκιμή είναι ιδανικός. Τα τρανζίστορ του ταλαντωτή όμως δεν είναι πανομοιότυπα επειδή κάθε τρανζίστορ μπορεί να εισάγει διαφορετική απόκλιση χαρακτηριστικών.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1,441	0,1464	10,159611381	0,441	44,1
10	9,823	0,4929	5,0178153314	-0,177	-1,77
20	19,66	1,038	5,2797558494	-0,34	-1,7
30	30,11	1,52	5,0481567586	0,11	0,3666666667
40	40,37	2,119	5,248947238	0,37	0,925
50	50,63	2,674	5,2814536836	0,63	1,26
60	62,3	3,345	5,3691813804	2,3	3,8333333333
70	72,74	4,013	5,5169095408	2,74	3,9142857143
80	84,78	4,594	5,4187308327	4,78	5,975
90	96,93	5,116	5,2780356959	6,93	7,7
100	109,5	5,748	5,2493150685	9,5	9,5

Πίνακας 5: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ

Προσομοιώσεις με process variation για τον πυκνωτή υπό δοκιμή και για τα τρανζίστορ

Ο πίνακας 6 γίνεται με δεδομένα από προσομιώσεις Monte Carlo. Σε αυτές τις προσομιώσεις ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή και των τρανζίστορ. Τώρα, κάθε στάδιο του ταλαντωτή δεν είναι πανομοιότυπο με τα υπόλοιπα στάδια, επειδή κάθε τρανζίστορ μπορεί να εισάγει διαφορετική απόκλιση χαρακτηριστικών. Επίσης λαμβάνεται υπόψιν η απόκλιση χαρακτηριστικών των τρανζίστορ του πολυπλέκτη. Επιπλέον, ο πυκνωτής υπό δοκιμή εδώ δεν είναι ιδανικός.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1,442	0,1495	10,3675450763	0,442	44,2
10	9,766	0,6999	7,1667007987	-0,234	-2,34
20	19,58	1,459	7,4514811032	-0,42	-2,1
30	29,96	2,311	7,7136181575	-0,04	-0,1333333333
40	40,15	3,066	7,6363636364	0,15	0,375
50	50,46	3,87	7,6694411415	0,46	0,92
60	61,49	4,757	7,7362172711	1,49	2,4833333333
70	72,42	5,618	7,7575255454	2,42	3,4571428571
80	84,49	6,65	7,8707539354	4,49	5,6125
90	96,52	7,618	7,8926647327	6,52	7,2444444444
100	109,1	8,64	7,919340055	9,1	9,1

Πίνακας 6: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή

Είναι προφανές ότι όταν η απόκλιση των χαρακτηριστικών των τρανζίστορ αγνοείται (Πίνακας 4), το Spread είναι μικρότερο από την περίπτωση που δεν παραβλέπεται η απόκλιση αυτή για κανένα στοιχείο της δομής δοκιμής (Πίνακας 6).

Ειδικά όταν ο πυκνωτής είναι πολύ μικρός (1fF), το spread όταν λαμβάνεται υπόψη μόνο η απόκλιση χαρακτηριστικών του πυκνωτή είναι 5,7%, αλλά όταν δεν παραβλέπεται η απόκλιση χαρακτηριστικών κανενός στοιχείου της δομής, τότε το spread σχεδόν διπλασιάζεται. Αυτό σημαίνει ότι η απόκλιση των χαρακτηριστικών των τρανζίστορ των σταδίων του ταλαντωτή και του πολυπλέκτη θα μπορούσε να διαστρεβλώσει την εκτίμηση του πυκνωτή υπό δοκιμή. Παρόλα αυτά είναι εμφανές πως οι αποκλίσεις αυτές επηρεάζουν λιγότερο τις μετρήσεις μικρών πυκνωτών από ότι τις μετρήσεις μικρών πυκνωτών με την προηγούμενη υλοποίηση.

Όσο για τους πυκνωτές που είναι μεγαλύτεροι από 10fF, όταν λαμβάνεται υπόψη μόνο η απόκλιση χαρακτηριστικών του πυκνωτή υπό δοκιμή τότε το spread είναι περίπου 5%. Όταν λαμβάνουμε υπόψη την απόκλιση χαρακτηριστικών όλων των στοιχείων, τότε το spread είναι περίπου 7%. Αυτό σημαίνει ότι η μέτρηση των μεγαλύτερων πυκνωτών επηρεάζεται λιγότερο από την απόκλιση χαρακτηριστικών των τρανζίστορ της δομής από ότι η μέτρηση των μικρών πυκνωτών. Παρόλα αυτά η επιρροή των αποκλίσεων για τις μετρήσεις μεγαλύτερων πυκνωτών παραμένει υψηλή και σε αυτή την υλοποίηση.

Η δομή μετρά ικανοποιητικά πυκνωτές στο διάστημα 10fF-50fF (Σχετικό σφάλμα < 3%).

0.6 Δομή δοκιμής που αποτελείται από έναν Cross-Coupled ταλαντωτή

Ένας άλλος τρόπος για τον χαρακτηρισμό των πυκνωτών μέσω της συχνότητας ταλάντωσης περιγράφεται παρακάτω. Σε αυτή την ενότητα θα χρησιμοποιηθεί ένας ταλαντωτής cross-coupled για τη μέτρηση της τιμής του πυκνωτή υπό δοκιμή μέσω της συχνότητας ταλάντωσης [11]. Αναμένουμε πολύ μικρότερη επιρροή των αποκλίσεων χαρακτηριστικών στις μετρήσεις μας από ότι στις προηγούμενες υλοποιήσεις.

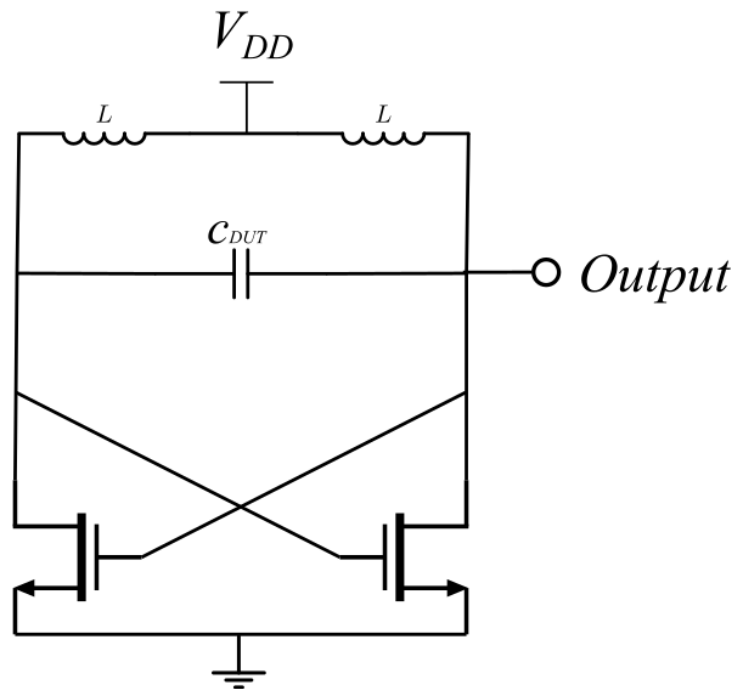
Ο πυκνωτής που χρησιμοποιείται για αυτόν τον ταλαντωτή είναι στην πραγματικότητα ο πυκνωτής υπό δοκιμή. Η δοκιμαστική δομή που περιγράφεται σε αυτό το τμήμα παρουσιάζεται παρακάτω (Σχ.14).

0.6.1 Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή

Ο μαθηματικός τύπος που περιγράφει τη συχνότητα ταλάντωσης για τους LC ταλαντωτές [11] φαίνεται παρακάτω:

$$\omega_{osc} = \frac{1}{\sqrt{L \cdot C}} \implies f_{osc} = \frac{1}{2\pi\sqrt{L \cdot C}} \quad (17)$$

όπου:



Σχήμα 14: Ο Cross-Coupled που χρησιμοποιείται ως δομή δοκιμής με $W_{nmos} = 2\mu\text{m}$ και $L_{nmos} = 80\text{nm}$

L: τιμή του πηνίου που χρησιμοποιείται στον ταλαντωτή

C: τιμή του πυκνωτή που χρησιμοποιείται στον ταλαντωτή

Χρησιμοποιώντας την εξίσωση (17) και υποθέτοντας ότι $C = C_{DUT}$ έχουμε τον τύπο για την τιμή του πυκνωτή υπό δοκιμή (C_{DUT}):

$$f_{osc} = \frac{1}{2\pi\sqrt{L \cdot C_{DUT}}} \Rightarrow C_{DUT} = \frac{1}{4\pi^2 \cdot f_{osc}^2 \cdot L} \quad (18)$$

0.6.2 Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo

Προσομοιώσεις με process variation μόνον για τον πυκνωτή υπό δοκιμή

Ο πίνακας 7 παρακάτω φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή. Υποθέτουμε ότι τα τρανζίστορ είναι ιδανικά. Η εκτιμώμενη τιμή του πυκνωτή και η τυπική απόκλιση εξήχθησαν απευθείας από την προσομοίωση.

Προσομοιώσεις με process variation μόνον για τα τρανζίστορ

Ο πίνακας 8 φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ. Υποθέτουμε ότι ο

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	5,178	0,17898	3,4565469293	4,178	417,8
10	13,48	0,4582	3,3991097923	3,48	34,8
20	23,25	0,9549	4,1070967742	3,25	16,25
30	33,25	1,448	4,354887218	3,25	10,8333333333
40	43,35	1,944	4,4844290657	3,35	8,375
50	53,45	2,437	4,5594013096	3,45	6,9
60	63,6	2,922	4,5943396226	3,6	6
70	73,73	3,418	4,6358334464	3,73	5,3285714286
80	83,72	3,9	4,6583850932	3,72	4,65
90	94,11	4,402	4,6775050473	4,11	4,5666666667
100	104,3	4,885	4,6836049856	4,3	4,3

Πίνακας 7: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή

πυκνωτής υπό δοκιμή είναι ιδανικός. Τα τρανζίστορ της δομής όμως δεν είναι πανομοιότυπα μεταξύ τους επειδή κάθε τρανζίστορ μπορεί να εισάγει διαφορετική απόκλιση χαρακτηριστικών.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	5,18	0,01084	0,2092664093	4,18	418
10	13,51	0,005971	0,0441968912	3,51	35,1
20	23,32	0,0035891	0,0153906518	3,32	16,6
30	33,36	0,008962	0,0268645084	3,36	11,2
40	43,51	0,009851	0,0226407722	3,51	8,775
50	53,65	0,00893	0,0166449208	3,65	7,3
60	63,84	0,00986	0,0154448622	3,84	6,4
70	74,01	0,01003	0,0135522227	4,01	5,7285714286
80	84,22	0,03887	0,0461529328	4,22	5,275
90	94,47	0,01117	0,0118238594	4,47	4,9666666667
100	104,7	0,01597	0,0152531041	4,7	4,7

Πίνακας 8: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ

Προσομοιώσεις με process variation για τον πυκνωτή υπό δοκιμή και για τα τρανζίστορ

Ο πίνακας 9 γίνεται με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή και των τρανζίστορ. Τώρα, τα τρανζίστορ της δομής δεν είναι πανομοιότυπα μεταξύ τους, επειδή κάθε τρανζίστορ μπορεί να εισάγει διαφορετική απόκλιση χαρακτηριστικών. Επιπλέον, ο πυκνωτής υπό δοκιμή εδώ δεν είναι ιδανικός αλλά εισάγει και αυτός απόκλιση χαρακτηριστικών.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	5,117	0,20583	4,0224741059	4,117	411,7
10	13,48	0,4573	3,3924332344	3,48	34,8
20	23,25	0,9553	4,1088172043	3,25	16,25
30	33,24	1,452	4,3682310469	3,24	10,8
40	43,35	1,944	4,4844290657	3,35	8,375
50	53,46	2,438	4,5604190049	3,46	6,92
60	63,6	2,929	4,6053459119	3,6	6
70	73,25	3,391	4,6293515358	3,25	4,6428571429
80	83,91	3,936	4,6907400787	3,91	4,8875
90	94,11	4,401	4,6764424609	4,11	4,5666666667
100	104,3	4,887	4,6855225312	4,3	4,3

Πίνακας 9: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή

Είναι προφανές ότι στην περίπτωση που οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ

παραβλέπονται (Πίνακας 7), το spread της εκτιμώμενης μέσης τιμής πυκνωτή είναι σχεδόν το ίδιο με την περίπτωση που όλα τα στοιχεία εισάγουν αποκλίσεις χαρακτηριστικών (Πίνακας 9). Αυτό σημαίνει ότι τα τρανζίστορ εισάγουν αποκλίσεις χαρακτηριστικών που έχουν σχεδόν αμελητέα επίδραση στις τελικές μετρήσεις.

Όμως αυτή η δομή δοκιμής δεν διαθέτει ιδιαίτερη ακρίβεια υπολογισμού λόγω των χωρητικότητων που εισάγουν τα τρανζίστορ, οι οποίες δεν αφαιρούνται από τον τελικό τύπο. Παρόλα αυτά είναι μεγάλης σημασίας το γεγονός ότι δεν χρειάζεται να μετρήσουμε κάποιο ρεύμα για να έχουμε την τελική μέτρηση, καθώς σε γενικές γραμμές η μέτρηση του ρεύματος πάνω σε wafer είναι δύσκολη διαδικασία.

0.7 Δομή δοκιμής που αποτελείται από κύκλωμα CBCM

Ένας άλλος τρόπος για τον χαρακτηρισμό πυκνωτών περιγράφεται παρακάτω. Σε αυτή την ενότητα θα περιγράψουμε μια μέθοδο η οποία μετρά την αληθή τιμή των πυκνωτών χωρίς οποιαδήποτε ταλάντωση. Αυτή η μέθοδος ονομάζεται CBCM (Charge-Based Capacitance Measurement) [12].

Στις πύλες των τρανζίστορ εφαρμόζονται μη αλληλεπικαλυπτόμενα σήματα $V1$ και $V2$ όπως φαίνεται στο Σχήμα 16 παρακάτω. Ο σκοπός αυτών των μη αλληλεπικαλυπτόμενων σημάτων είναι να εξασφαλίσουν ότι μόνο ένα από τα δύο τρανζίστορ κάθε κλάδου θα είναι "ON" (η δομή δοκιμής αποτελείται από δύο κλάδους ψευδό-αντιστροφών) και θα διαρρέται από ρεύμα κάθε στιγμή. Αυτό μας εξασφαλίζει ότι -αφού τα τρανζίστορ μπορούν να γίνουν OFF όπως είδαμε παραπάνω- δεν θα υπάρχει ρεύμα κατευθείαν από την τροφοδοσία στη γη. Ένα τέτοιο ρεύμα θα μπορούσε με διάφορους τρόπους να εισάγει σφάλμα στις μετρήσεις μας. Τα ρεύματα που χρειαζόμαστε μετριούνται στην πηγή του PMOSFET. Η πραγματική κυματομορφή αυτού του ρεύματος δεν είναι σημαντική -το μέσο ρεύμα πρέπει να μετρηθεί.

0.7.1 Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή

Τα ρεύματα I_{ref} και I_{DUT} που φαίνονται στο σχήμα 15 δίνονται από τους παρακάτω τύπους:

$$I_{ref} = C_L \cdot V_{dd} \cdot f \quad (19)$$

όπου:

C_L : η ολική παρασιτική χωρητικότητα που εισάγεται λόγω των τρανζίστορ

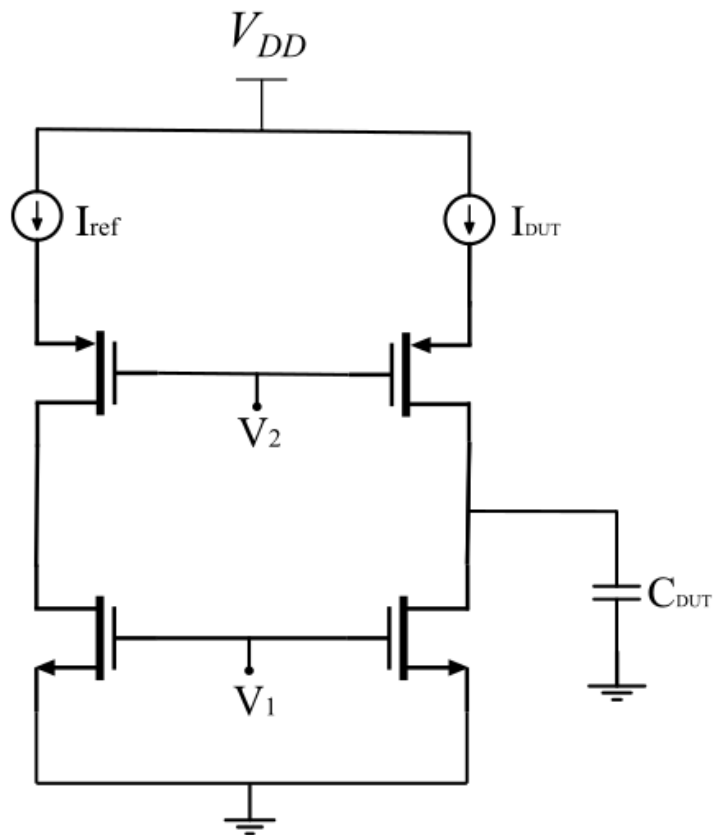
V_{dd} : η τάση τροφοδοσίας"

f : η συχνότητα του σήματος $V2$ όπως φαίνεται στο Σχήμα 16

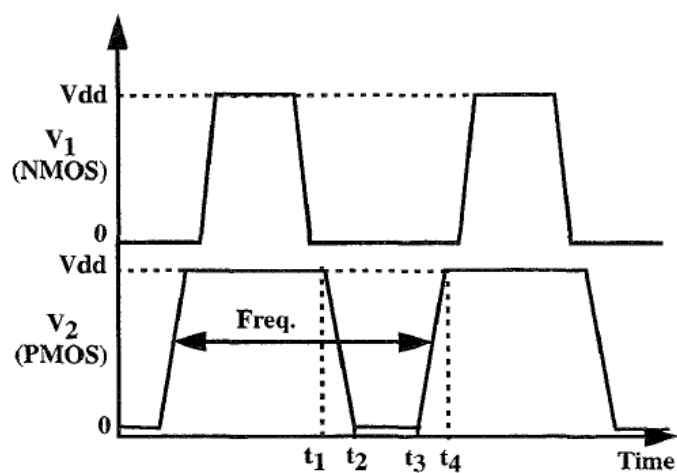
$$I_{DUT} = (C_L + C_{DUT}) \cdot V_{dd} \cdot f \quad (20)$$

όπου:

C_{DUT} : ο πυκνωτής υπό δοκιμή



Σχήμα 15: Η Δομή δοκιμής με κύκλωμα CBCM με $W_{nmos} = 2\mu\text{m}$, $W_{pmos} = 4\mu\text{m}$ και $L_{nmos} = L_{pmos} = 80\text{nm}$



Σχήμα 16: Μη αλληλεπικαλυπτόμενα σήματα

Η αληθής τιμή του πυκνωτή υπό δοκιμή δίνεται από τον παρακάτω τύπο χρησιμοποιώντας τις σχέσεις (19) και (20):

$$I_{DUT} - I_{ref} = C_{DUT} \cdot V_{dd} \cdot f \implies C_{DUT} = \frac{I_{DUT} - I_{ref}}{V_{dd} \cdot f} \quad (21)$$

0.7.2 Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo

Προσομοιώσεις με process variation μόνον για τον πυκνωτή υπό δοκιμή

Ο πίνακας 10 παρακάτω φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή. Υποθέτουμε ότι τα τρανζίστορ είναι ιδανικά. Η εκτιμώμενη τιμή του πυκνωτή και η τυπική απόκλιση εξήχθησαν απευθείας από την προσομοίωση.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1,124	0,05382	4,7882562278	0,124	12,4
10	10,62	0,49	4,6139359699	0,62	6,2
20	20,7	0,9649	4,661352657	0,7	3,5
30	30,69	1,439	4,6888237211	0,69	2,3
40	40,65	1,916	4,7134071341	0,65	1,625
50	50,6	2,393	4,7292490119	0,6	1,2
60	60,54	2,87	4,7406673274	0,54	0,9
70	70,48	3,348	4,7502837684	0,48	0,6857142857
80	80,42	3,826	4,7575230042	0,42	0,525
90	90,35	4,304	4,7636967349	0,35	0,388888889
100	100,3	4,781	4,7666999003	0,3	0,3

Πίνακας 10: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή

Προσομοιώσεις με process variation μόνον για τα τρανζίστορ

Ο πίνακας 11 φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ. Υποθέτουμε ότι ο πυκνωτής υπό δοκιμή είναι ιδανικός. Τα τρανζίστορ της δομής όμως δεν είναι πανομοιότυπα μεταξύ τους επειδή κάθε τρανζίστορ μπορεί να εισάγει διαφορετική απόκλιση χαρακτηριστικών.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1,128	0,007292	0,6464539007	0,128	12,8
10	10,66	0,00595	0,0558161351	0,66	6,6
20	20,78	0,00657	0,0316169394	0,78	3,9
30	30,8	0,009631	0,0312694805	0,8	2,666666667
40	40,8	0,01504	0,0368627451	0,8	2
50	50,79	0,02146	0,0422524119	0,79	1,58
60	60,77	0,02836	0,0466677637	0,77	1,283333333
70	70,75	0,03511	0,0496254417	0,75	1,0714285714
80	80,72	0,04135	0,0512264618	0,72	0,9
90	90,69	0,04885	0,0538648142	0,69	0,766666667
100	100,7	0,05592	0,055531281	0,7	0,7

Πίνακας 11: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ

Προσομοιώσεις με process variation για τον πυκνωτή υπό δοκιμή και για τα τρανζίστορ

Ο πίνακας 12 γίνεται με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή και των τρανζίστορ. Τώρα, τα τρανζίστορ της δομής δεν είναι πανομοιότυπα μεταξύ τους, επειδή κάθε τρανζίστορ μπορεί να εισάγει διαφορετική απόκλιση χαρακτηριστικών. Επιπλέον, ο πυκνωτής υπό δοκιμή εδώ δεν είναι ιδανικός αλλά εισάγει και αυτός απόκλιση χαρακτηριστικών.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1.123	0.05498	4.8958147818	0.123	12.3
10	10.62	0.4906	4.6195856874	0.62	6.2
20	20.7	0.9646	4.6599033816	0.7	3.5
30	30.68	1.44	4.6936114733	0.68	2.2666666667
40	40.64	1.917	4.7170275591	0.64	1.6
50	50.59	2.385	4.7143704289	0.59	1.18
60	60.53	2.873	4.7464067405	0.53	0.8833333333
70	70.47	3.341	4.7410245495	0.47	0.6714285714
80	80.41	3.829	4.7618455416	0.41	0.5125
90	90.34	4.3	4.759796325	0.34	0.3777777778
100	100.3	4.786	4.7716849452	0.3	0.3

Πίνακας 12: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή

Είναι προφανές ότι στην περίπτωση που οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ παραβλέπονται (Πίνακας 10), το spread της εκτιμώμενης μέσης τιμής πυκνωτή είναι σχεδόν το ίδιο με την περίπτωση που όλα τα στοιχεία εισάγουν αποκλίσεις χαρακτηριστικών (Πίνακας 12). Αυτό σημαίνει ότι τα τρανζίστορ εισάγουν αποκλίσεις χαρακτηριστικών που έχουν σχεδόν αμελητέα επίδραση στις τελικές μετρήσεις.

Γενικά, αυτή η δομή δοκιμής μπορεί να μετρήσει με ακρίβεια (Σχετικό σφάλμα < 3%) όλους τους πυκνωτές στην περιοχή 30fF – 100fF με χαμηλό Spread.

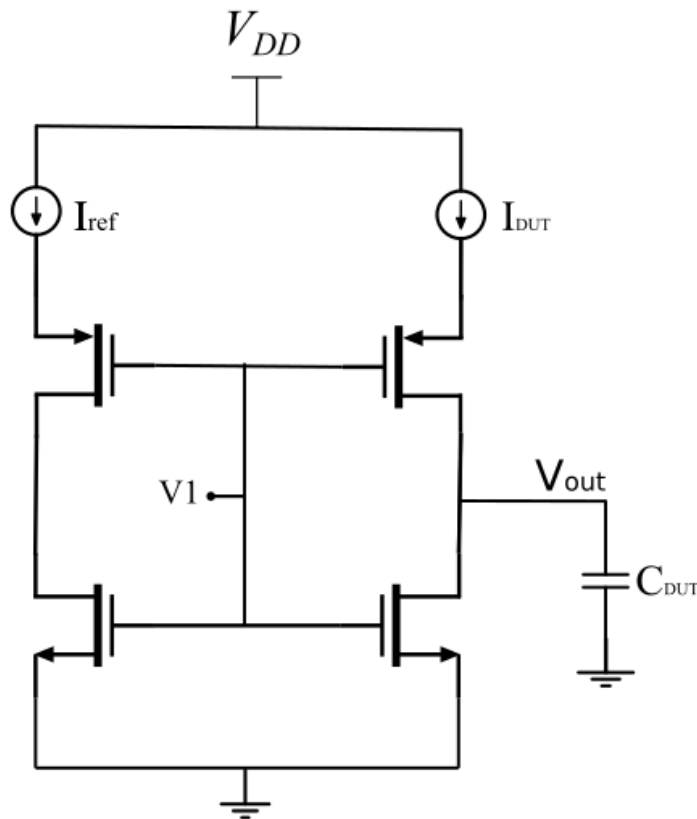
Μειονέκτημα αποτελεί το γεγονός ότι πρέπει να μετρηθούν τα 2 ρεύματα.

0.8 Δομή δοκιμής που αποτελείται από παραλλαγμένο κύκλωμα CBCM

Αυτή η δομή δοκιμής είναι παρόμοια με αυτή του προηγούμενου κεφαλαίου. Η μόνη διαφορά είναι ότι αντί για ψευδο-αντιστροφείς κάθε κλάδος είναι ένας κανονικός αντιστροφέας. Αυτό σημαίνει ότι οι πύλες των τρανζίστορ PMOS και NMOS του ίδιου κλάδου δέχονται το ίδιο σήμα. Το κύκλωμα της δομής δοκιμής παρουσιάζεται παρακάτω (Σχ.17).

0.8.1 Μαθηματικός τύπος για τον υπολογισμό της πραγματικής τιμής του πυκνωτή υπό δοκιμή

Ο μαθηματικός τύπος που μας δίνει την πραγματική τιμή του πυκνωτή είναι ίδιος με αυτόν του προηγούμενου κεφαλαίου:



Σχήμα 17: Δομή δοκιμής που αποτελείται από παραλλαγμένο κύκλωμα CBCM με $W_{nmos} = 2 \mu\text{m}$, $W_{pmos} = 4 \mu\text{m}$ και $L_{nmos} = L_{pmos} = 80 \text{ nm}$

$$C_{DUT} = \frac{I_{DUT} - I_{ref}}{V_{dd} \cdot f} \quad (22)$$

όπου:

V_{dd} : η τάση τροφοδοσίας

f : η συχνότητα του σήματος που δέχονται οι πύλες των τρανζίστορ

C_{DUT} : ο πυκνωτής υπό δοκιμή

0.8.2 Υπολογισμός της πραγματικής τιμής του πυκνωτή υπό μέτρηση μέσω προσομοιώσεων Monte Carlo

Προσομοιώσεις με process variation μόνον για τον πυκνωτή υπό δοκιμή

Ο πίνακας 13 παρακάτω φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή. Υποθέτουμε ότι τα τρανζίστορ είναι ιδανικά. Η εκτιμώμενη τιμή του πυκνωτή και η τυπική απόκλιση εξήχθησαν απευθείας από την προσομοίωση.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1,066	0,05083	4,7682926829	0,066	6,6
10	10,29	0,4848	4,7113702624	0,29	2,9
20	20,3	0,9596	4,7270935961	0,3	1,5
30	30,24	1,432	4,7354497354	0,24	0,8
40	40,15	1,906	4,7471980075	0,15	0,375
50	50,04	2,378	4,7521982414	0,04	0,08
60	59,92	2,852	4,7596795728	-0,08	-0,1333333333
70	69,79	3,328	4,7685914888	-0,21	-0,3
80	79,69	3,817	4,7898105157	-0,31	-0,3875
90	89,84	4,286	4,7707034728	-0,16	-0,1777777778
100	99,47	4,77	4,7954157032	-0,53	-0,53

Πίνακας 13: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών του πυκνωτή

Προσομοιώσεις με process variation μόνον για τα τρανζίστορ

Ο πίνακας 14 φτιάχτηκε με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ. Υποθέτουμε ότι ο πυκνωτής υπό δοκιμή είναι ιδανικός. Τα τρανζίστορ της δομής όμως δεν είναι πανομοιότυπα μεταξύ τους επειδή κάθε τρανζίστορ μπορεί να εισάγει διαφορετική απόκλιση χαρακτηριστικών.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1,07	0,003199	0,2989719626	0,07	7
10	10,33	0,01019	0,0986447241	0,33	3,3
20	20,37	0,01532	0,0752086402	0,37	1,85
30	30,35	0,02073	0,0683031301	0,35	1,1666666667
40	40,3	0,02507	0,0622084367	0,3	0,75
50	50,22	0,03181	0,0633412983	0,22	0,44
60	60,14	0,03837	0,0638011307	0,14	0,2333333333
70	70,05	0,04351	0,0621127766	0,05	0,0714285714
80	79,99	0,05219	0,0652456557	-0,01	-0,0125
90	89,89	0,05773	0,0642229391	-0,11	-0,1222222222
100	99,84	0,08065	0,0807792468	-0,16	-0,16

Πίνακας 14: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν μόνο οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ

Προσομοιώσεις με process variation για τον πυκνωτή υπό δοκιμή και για τα τρανζίστορ

Ο πίνακας 15 γίνεται με δεδομένα από προσομοιώσεις Monte Carlo. Σε αυτές τις προσομοιώσεις ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών του πυκνωτή υπό δοκιμή και των τρανζίστορ. Τώρα, τα τρανζίστορ της δομής δεν είναι πανομοιότυπα μεταξύ τους, επειδή κάθε τρανζίστορ μπορεί να εισάγει διαφορετική απόκλιση χαρακτηριστικών. Επιπλέον, ο πυκνωτής υπό δοκιμή εδώ δεν είναι ιδανικός αλλά εισάγει και αυτός απόκλιση χαρακτηριστικών.

Πυκνωτές υπό δοκιμή (fF)	Εκτιμώμενη τιμή πυκνωτή (fF)	Τυπική απόκλιση (f)	Spread (%)	Σφάλμα (fF)	Σχετικό σφάλμα (%)
1	1,07	0,003199	0,2989719626	0,07	7
10	10,33	0,01019	0,0986447241	0,33	3,3
20	20,37	0,01532	0,0752086402	0,37	1,85
30	30,35	0,02073	0,0683031301	0,35	1,166666667
40	40,3	0,02507	0,0622084367	0,3	0,75
50	50,22	0,03181	0,0633412983	0,22	0,44
60	60,14	0,03837	0,0638011307	0,14	0,2333333333
70	70,05	0,04351	0,0621127766	0,05	0,0714285714
80	79,99	0,05219	0,0652456557	-0,01	-0,0125
90	89,89	0,05773	0,0642229391	-0,11	-0,1222222222
100	99,84	0,08065	0,0807792468	-0,16	-0,16

Πίνακας 15: Δεδομένα που εξάγονται από τη προσομοίωση Monte Carlo στην οποία ελήφθησαν υπόψιν οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ και του πυκνωτή υπό δοκιμή

Είναι προφανές ότι στην περίπτωση που οι αποκλίσεις των χαρακτηριστικών των τρανζίστορ παραβλέπονται (Πίνακας 13), το spread της εκτιμώμενης μέσης τιμής πυκνωτή είναι σχεδόν το ίδιο με την περίπτωση που όλα τα στοιχεία εισάγουν αποκλίσεις χαρακτηριστικών (Πίνακας 15). Αυτό σημαίνει ότι τα τρανζίστορ εισάγουν αποκλίσεις χαρακτηριστικών που έχουν σχεδόν αμελητέα επίδραση στις τελικές μετρήσεις.

Γενικά, αυτή η δομή δοκιμής μπορεί να μετρήσει με ακρίβεια (Σχετικό σφάλμα < 3%) όλους τους πυκνωτές στην περιοχή 10fF – 100fF με χαμηλό Spread. Παρατηρούμε ότι η δομή δοκιμής αυτή έχει μεγαλύτερη ακρίβεια από την προηγούμενη υλοποίηση.

Μειονέκτημα αποτελεί και σε αυτή την περίπτωση το γεγονός ότι πρέπει να μετρηθούν τα 2 ρεύματα.

Part II

English Text

1

Introduction

Since the mid-20th century the development of electronics technology has been rapid. This development has also led to a decrease in the size of the devices (active and passive).

Moore's law is the observation that the number of transistors in a dense integrated circuit doubles about every two years. The observation is named after Gordon Moore, the co-founder of Fairchild Semiconductor and CEO of Intel, whose 1965 paper described a doubling every year in the number of components per integrated circuit, and projected this rate of growth would continue for at least another decade. In 1975, looking forward to the next decade, he revised the forecast to doubling every two years, a compound annual growth rate of 41.4% .

The period is often quoted as 18 months because of a prediction by Intel executive David House (being a combination of the effect of more transistors and the transistors being faster). Moore's law is closely related to MOSFET scaling, also known as Dennard scaling, as the rapid scaling and miniaturization of silicon MOSFETs is the key driving force behind Moore's law.

Moore's prediction proved accurate for several decades and has been used in the semiconductor industry to guide long-term planning and to set targets for research and development. Advancements in digital electronics are strongly linked to Moore's law: quality-adjusted microprocessor prices, memory capacity (RAM and flash), sensors, and even the number and size of pixels in digital cameras. Digital electronics has contributed to world economic growth in the late twentieth and early twenty-first centuries. Moore's law describes a driving force of technological and social change, productivity, and economic growth.

Moore's law is an observation and projection of a historical trend and not a physical or natural law. Although the rate held steady from 1975 until around 2012, the rate was faster during the first decade. In general, it is not logically sound to extrapolate from the historical growth rate into the indefinite future. For example, the 2010 update to the International Technology Roadmap for Semiconductors predicted that growth would slow around 2013, and in 2015, Gordon Moore foresaw that the rate of progress would reach saturation. [1]

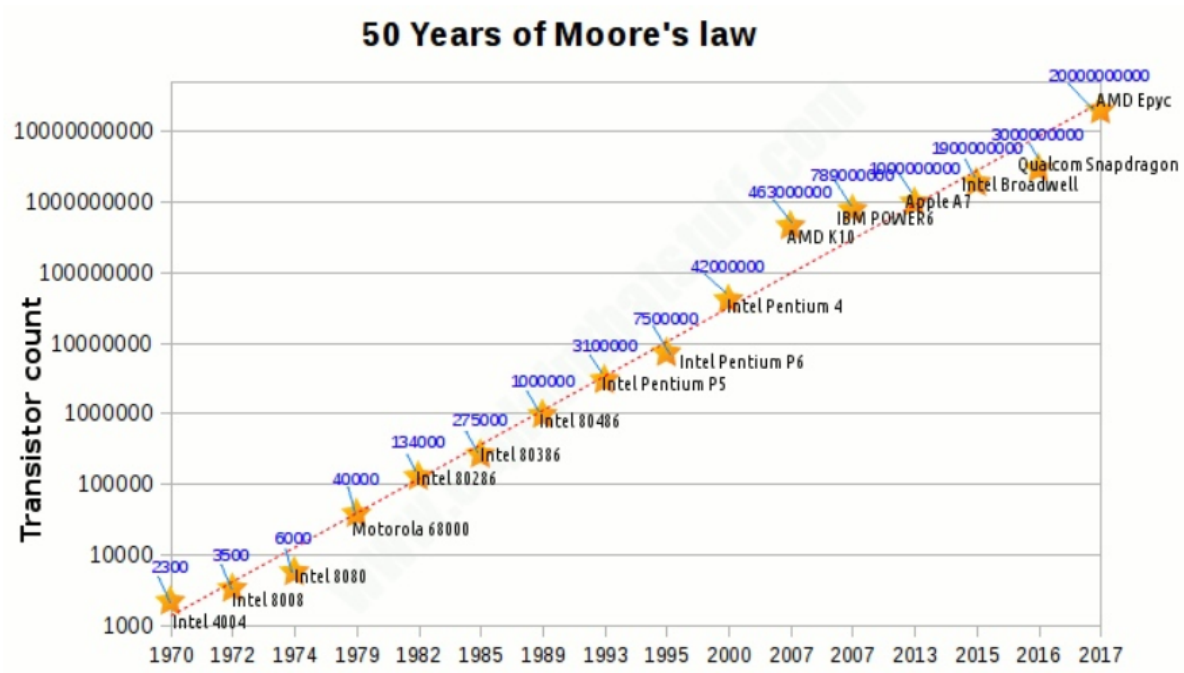


Figure 1.1: Moore's Law: The number of transistors on IC chips (1971-2017)

Because of this scaling, transistors and passive devices are impossible to be ideal.

2

Process Variation

2.1 Definition

Process variation is the naturally occurring variation in the attributes of transistors (length, widths, oxide thickness) and passive devices when integrated circuits are fabricated. The amount of process variation becomes particularly pronounced at smaller process nodes ($< 65nm$) as the variation becomes a larger percentage of the full length or width of the device and as feature sizes approach the fundamental dimensions such as the size of atoms and the wavelength of usable light for patterning lithography masks [2]. Random variation can be defined as variation around a mean, whereas Systematic variation can be defined as the movement of the mean (Fig.2.1). Random variation in devices can be determined by measuring the standard deviation (σ) [3].

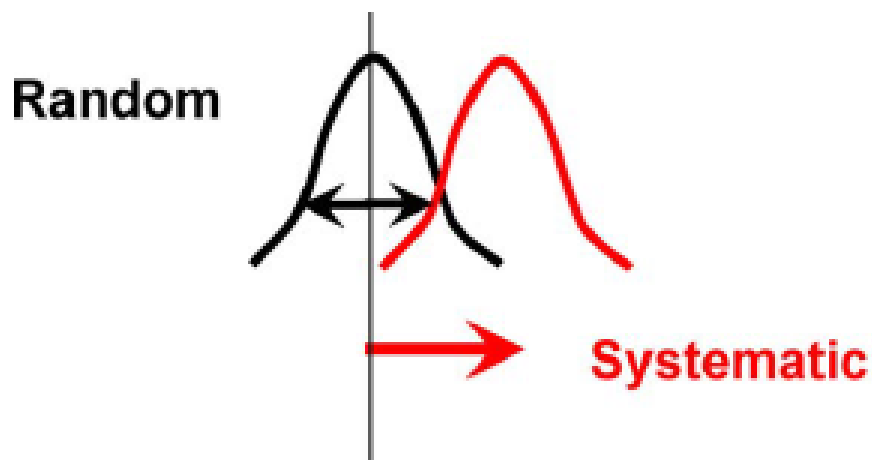


Figure 2.1: Random and Systematic Variation

2.2 The Sources and Effects of Process Variation on IC

2.2.1 Sources of Process Variation

The main sources of variations are:

- gate oxide thickness (for MOSFET transistors)
- random dopant fluctuations
- Device Geometry, Lithography in nanometer region

More specifically, Variation sources in the CMOS front end can be categorized into two groups. The first group consists of historical variation sources that will continue to offer challenges moving forward. This group includes patterning proximity effects, line-edge roughness (LER) and linewidth roughness (LWR) and variations in the gate dielectric (oxide thickness variations) [3]. Long-term variation management requires continuing to drive aggressive improvements for these historical sources.

The second group includes variation sources that were historically of minor impact but have emerged as significant challenges in recent years. This group includes random dopant fluctuation (RDF) and variation associated with gate material granularity (poly gates and metal gates) [3]. Long-term variation management requires focused effort on understanding these sources so that new innovations and continual improvement strategies can be developed to address them.

Process variation causes measurable and predictable variance in the output performance of all circuits but particularly analog circuits due to mismatch. If the variance causes the measured or simulated performance of a particular output metric (bandwidth, gain, rise time, etc.) to fall below or rise above the specification for the particular circuit or device, it reduces the overall yield for that set of devices [2].

2.2.2 Effects of Process Variation on IC

Although continuous CMOS process scaling brings many advances to devices/circuits, process variations still exist and degrade performance of circuits. Variations that arise due to processing and masking limitations, can cause random deviations from designed parameter values. These parametric variations can significantly impact yield and performance of high-speed, low power circuits. The study of process variations has greatly increased in importance due to aggressive technology scaling.

The first mention of variation in semiconductors was by William Shockley, the co-inventor of the transistor, in his 1961 analysis of junction breakdown.

An analysis of systematic variation was performed by Schemmert and Zimmer in 1974 with their paper on threshold-voltage sensitivity [2]. This research looked into the effect that the oxide thickness and implantation energy had on the threshold voltage of MOS devices.

In addition, because of process scaling, capacitors are characterized by random and systematic variation. So capacitors actually have a value that is different from what the designer expects. This could cause (as well as the transistor variation) deviations from the expected output of an integrated circuit.

2.3 Process Models

Semiconductor foundries run analyses on the variability of attributes of transistors (length, width, oxide thickness, etc.) and passive devices. These measurements are recorded and provided to customers [2]. This set of files are generally referred to as "model files" in the industry and are used by EDA(Electronic design automation) tools for simulation of designs.

Typically process models include process corners based on Front End Of Line (FEOL) conditions. These often are centered at a typical or nominal (TT) point and will also contain Fast (FF), Slow (SS), Slow-Fast (SF) and Fast-slow (FS) corners [2].

2.4 Scales of Process Variation

Figure below (Fig.2.2) summarizes the definitions of four different scales of process variation. Lot-to-lot represents process variation existing in different lots. Wafer-to-wafer process variations lie in different wafers within a lot. Die-to-die means variation in different dies within a wafer. Within-die denotes variation in the identical device or circuit within a die [4].

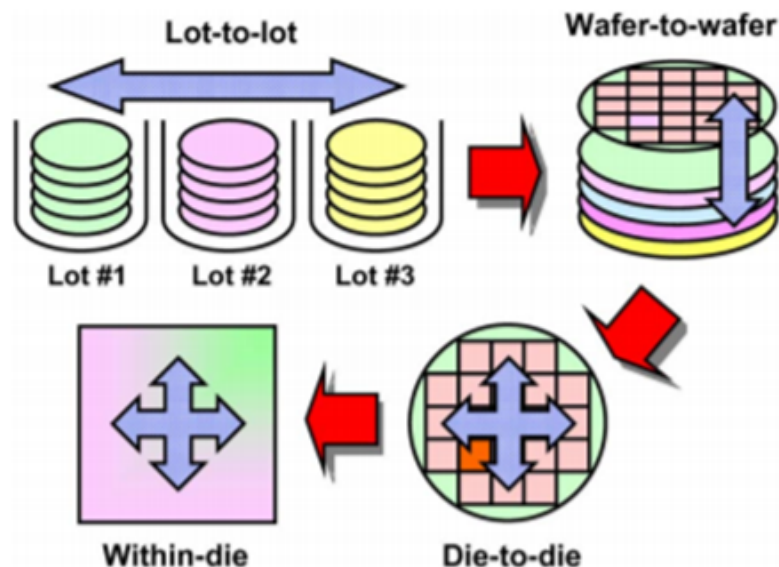


Figure 2.2: Scales of Process Variation

2.5 Process Control Monitoring (PCM)

Design for manufacturing and yield techniques become more important for cooperation of wafer fabrication (FAB) and circuit design. If design of analog/mixed signal circuits is coming to technology limits this topic becomes more interesting for the design. It is interesting for both company structures with in-house FAB and FAB less .

Process control monitor (PCM) test structures are part of the SPC (statistical process control). They are used to characterize and to control the technology in reference to the technology specification such as threshold voltage V_{th} . Also PCMs are used in order to characterize passive devices (ex. capacitors). So the PCM test structures are developed and optimized for technology purposes. The PCM test structures are located beside the chip area of the customer on the wafer and are processed by the same technology steps.

The validation of circuit performance in reference to circuit specification is divided into two main parts. Verification and test stages are located before and after wafer fabrication respectively. Verification of the circuit during the design stage is based on simulation, whose results depend particularly on the accuracy of models. The test stage is used to validate every fabricated chip and to sort all chips into categories (e.g. pass/fail).

Especially if the results of verification via simulation and chip test does not match then the technology performance is checked. So results of PCM test structures becomes interesting for the analog designer too. PCM data experiences are necessary for efficient analysis.

Only few PCM areas which covers a lot of single PCM test structures are used for SPC by FAB. Figure below (Fig.2.3) shows an example of five PCM areas which are distributed over the wafer. PCM test structures cost wafer area and measurement time. Hence the PCM area is reserved for concerns of the FAB but is not provided for circuit design issues. Number and measurement effort of the test structures depend on specification and complexity of the technology. In general the measuring is extracting some properties of every test structure [5]. Thus a couple of hundred up to thousands of data are measured and analysed during wafer fabrication.

Criteria for PCM test structures from the view of the FAB are:

- Technology sensitive to control and verify the specification
- Correlation to technology steps to support debugging
- Less area consumption
- Fast and efficient measurement to save costs

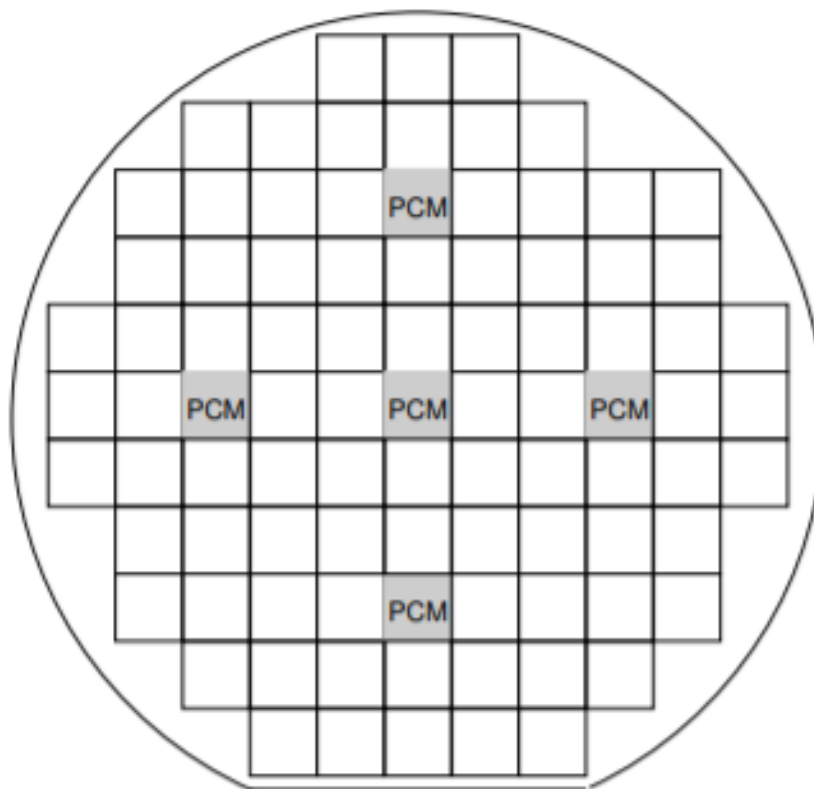


Figure 2.3: Wafer with five PCM areas which contain the test structures.

2.6 Problem description-Thesis target

Due to the scaling described at chapter 1, transistors and passive devices are impossible to be ideal and have exactly the expected behavior. This means that transistors and passive devices are often characterized by process variation. For example on chip -which is part of a wafer- some of the capacitors used may have a different value than the chip designer would like. For this reason manufacturers have introduced many tools to control and monitor the quality of production processes (PCM-Process Control Monitoring). In this work we propose various test structures, which are located in some parts of the chip and measure the actual value of very small capacitors. The proposed test structures work only during testing and provide useful information for the actual devices' values. If, therefore, the measurements made (in this thesis for the capacitor value) are within the limits set then the wafer passes to the customer. Otherwise it is destroyed and reconstructed until all data extracted from the test structures are within the set limits.

3

Models of devices used at test structures and device under test

3.1 Transistor models used for Test Structures

In this thesis MOSFET transistor models (45nm Technology) were created and used. Predictive Technology Models (PTM) [6] were used for parameters' values. They provide accurate, customizable, and predictive model files for transistor and interconnect technologies. These predictive model files are compatible with standard circuit simulators, such as Spectre, and scalable with a wide range of process variations.

Typical process models (TT, SS, SF, FS, FF) and Monte Carlo simulations are used in order to define the Standard Deviation of Threshold Voltage (V_{th}), I_d and g_m .

The schematic illustration of the transistor models used is shown below:



Figure 3.1: Σχηματικά τα μοντέλα τρανζίστορ που χρησιμοποιήθηκαν

$$\begin{aligned} I_D &= K \frac{W}{L} (V_{GS} - V_{th})^2 \implies I_D = K \frac{W}{L} (V_{GS} - (V_{th_{nom}} - \Delta V_{th}))^2 \\ &\implies I_D = K \frac{W}{L} ((V_{GS} - \Delta V_{th}) - V_{th_{nom}})^2 \end{aligned}$$

Threshold Voltage (V_{th}) benchmarking

To benchmark random V_{th} variation, it is necessary to have an analytical expression for variation as a function of fundamental process parameters.

In the pioneering work of Mizuno [13], the analytical expression for $\sigma_{V_{th}}$ in planar devices

due to random dopant fluctuations was shown to be:

$$\sigma_{V_{th}} = \frac{(4 \cdot q^3 \cdot \epsilon_{si} \cdot \phi\beta)^{\frac{1}{4}}}{2} \cdot \frac{T_{ox}}{\epsilon_{ox}} \cdot \frac{N_{tot}^{\frac{1}{4}}}{\sqrt{L \cdot W}} \quad (3.1)$$

where the key features are a linear dependence on the oxide thickness (T_{ox}), an inverse square-root dependence on the effective length and width (L and W), and an fourth-root dependency on N_{tot} (where N_{tot} is the total doping concentration per unit volume of the same type of species).

An expression of a similar form was shown by Stolk [14] with slightly different coefficients as:

$$\sigma_{V_{th}} = \frac{(4 \cdot q^3 \cdot \epsilon_{si} \cdot \phi\beta)^{\frac{1}{4}}}{\sqrt{3}} \cdot \frac{T_{ox}}{\epsilon_{ox}} \cdot \frac{N_{tot}^{\frac{1}{4}}}{\sqrt{L \cdot W}} \quad (3.2)$$

The random variation of transistor pairs is determined by measuring the difference in V_{th} (ΔV_{th}) between a number of sets of closely spaced paired transistors (e.g., all the transistor pairs on a wafer) and computing the standard deviation of the difference ΔV_{th} ($\sigma_{\Delta V_{th}}$). This paired transistor result is divided by $\sqrt{2}$ to obtain the random $\sigma_{V_{th}}$ for the individual device as in [3]:

$$\sigma_{random-pair} = \sigma(V_{th_A} - V_{th_B}) = \sigma(\Delta V_{th}) \quad (3.3)$$

$$\sigma_{random-one-device} = \frac{\sigma(V_{th_A} - V_{th_B})}{\sqrt{2}} = \frac{\sigma(\Delta V_{th})}{\sqrt{2}} = \sigma(V_{th}) \quad (3.4)$$

Systematic variation is determined by taking the rms difference between the total and random variation as in [3]:

$$\sigma_{systematic-one-device} = \sqrt{(\sigma_{V_{th-pop}})^2 - \left(\frac{\sigma(\Delta V_{th})}{\sqrt{2}}\right)^2} \quad (3.5)$$

where the total variation ($\sigma_{V_{th-pop}}$) is determined by taking the standard deviation of the entire population of transistors.

In benchmarking $\sigma_{V_{th}}$, an assumption is made of an inverse square-root dependence on L and W , where $\sigma_{V_{th}}$ is plotted versus $\frac{1}{\sqrt{W \cdot L}}$, and the slope of the resulting line is termed $A_{V_{th}}$ (Fig.3.2) [3]. In fact, this constant is extracted from the Pelgrom Plot which is generated from experimental data. $A_{V_{th}}$ is always a technology dependent constant and it is given by the formula:

$$\sigma_{V_{th}} = \frac{A_{V_{th}}}{\sqrt{2 \cdot W \cdot L}} \quad (3.6)$$

In this work, where 45nm technology is used, $A_{V_{th}} = 1.92 \text{ mV} \cdot \mu\text{m}$.

In this thesis, in order to extract V_{th} value and variation we used constant current method [15].

Plot of $\sigma_{V_{th}}$ versus Gate Length for various Widths of transistors is shown above (Fig.3.3). As we expected $\sigma_{V_{th}}$ decreases not linearly as the gate length increases because $\sigma_{V_{th}} \propto \frac{1}{\sqrt{W \cdot L}}$.

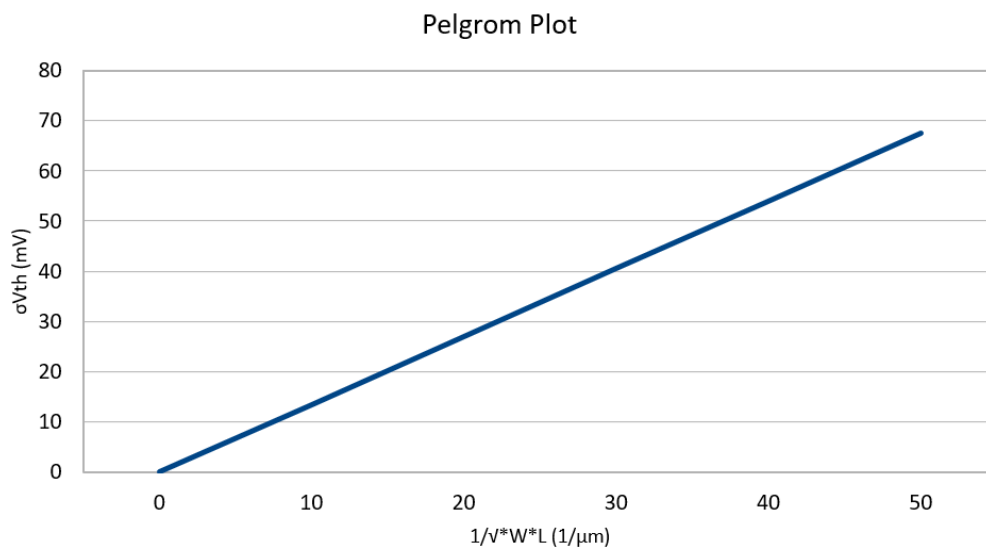


Figure 3.2: Pelgrom plot of $\sigma_{V_{th}}$ versus $\frac{1}{\sqrt{W \cdot L}}$, where the slope of the resulting line is termed $\frac{A_{V_{th}}}{\sqrt{2}}$

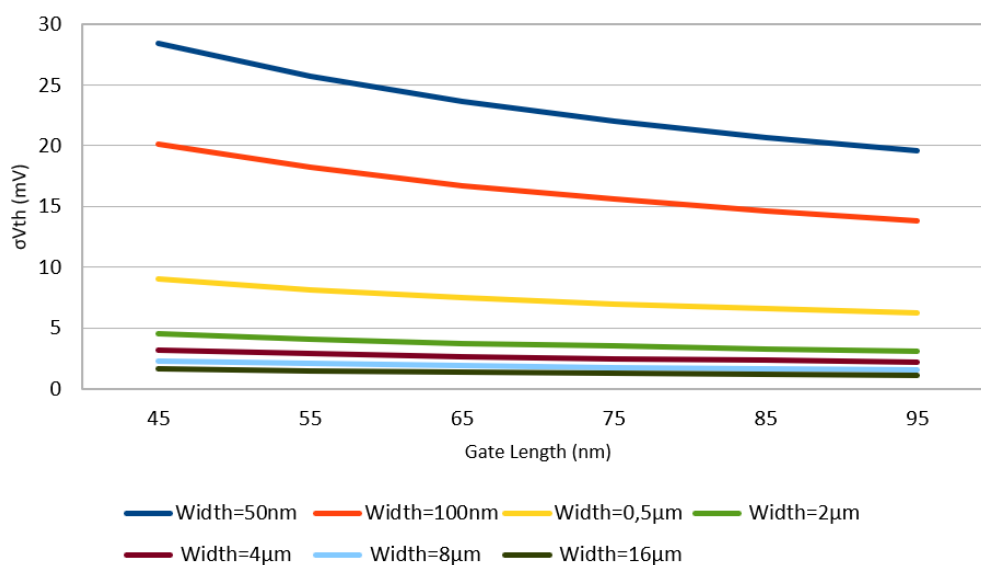


Figure 3.3: Plot of $\sigma_{V_{th}}$ as a function of Gate Length for various Widths of transistors

3.2 NMOS transistor model testing

The circuit below (Fig.3.4) is used for the simulations regarding NMOS.

We use for example a NMOS transistor with $W = 2\mu\text{m}$ and $L = 80\text{nm}$. Using Monte Carlo simulations the graphs below are extracted.

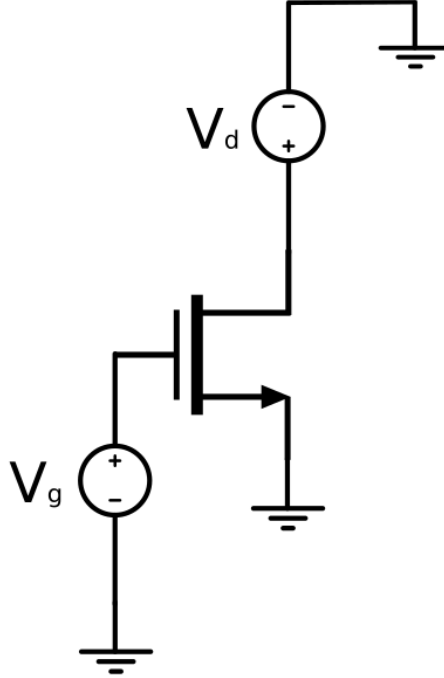


Figure 3.4: Circuit used for NMOS testing

Mean Value of V_{th} is bigger in Linear Mode than in Saturation Mode (Fig.3.5, 3.9). This occurs because of a short-channel effect in MOSFET called Drain-Induced Barrier Lowering (DIBL) which is referring originally to a reduction of threshold voltage of the transistor at higher drain voltages. In short-channel devices the drain is close enough to gate, the channel, and so a high drain voltage can open the bottleneck and turn on the transistor prematurely [16].

Since there is $\sigma_{V_{th}}$ there will obviously be σ_{I_d} and σ_{g_m} as it appears above (Fig.3.6, 3.7). Graphs that present I_d and g_m versus V_g are as we expect [17].

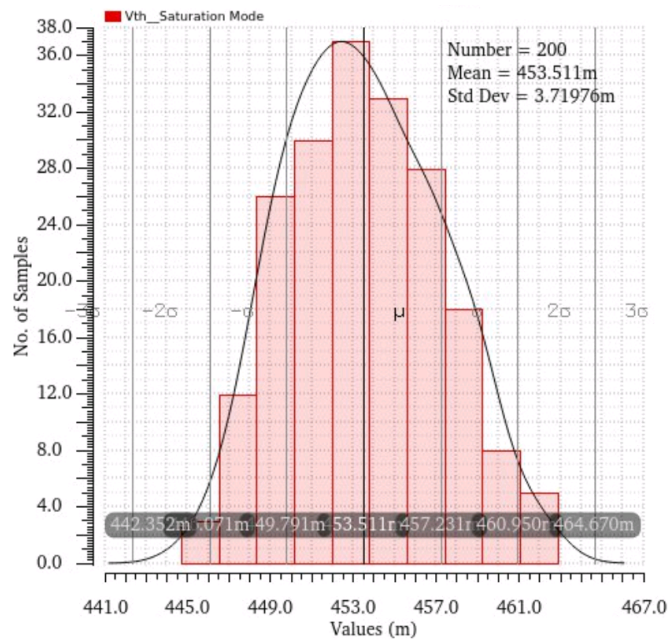
Also we can observe that all samples of Monte Carlo simulations for I_d and g_m appears between slow corner (ss corner) and fast corner (ff corner).

In the Figure 3.6 we observe that when the transistor is off ($V_g < V_{th}$) we notice a greater variation than when the transistor is on ($V_g > V_{th}$).

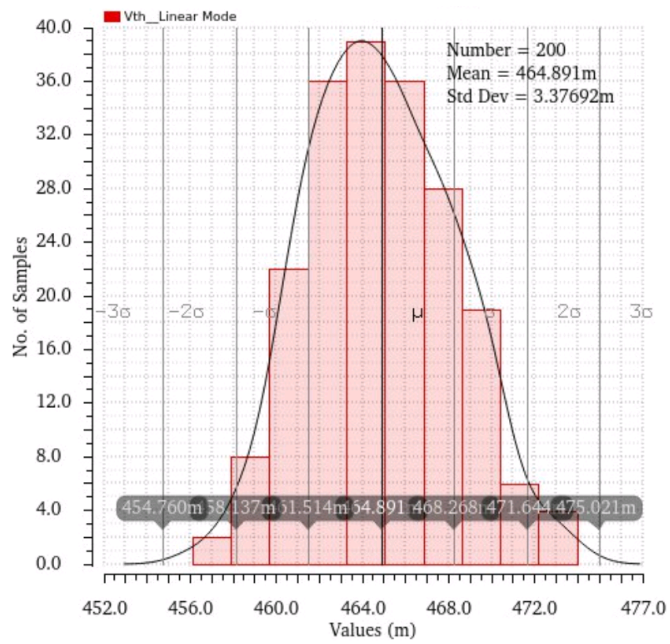
g_m is given by $g_m = \frac{dI_d}{dV_g}$ (Fig.3.7).

The graph at Figure 3.8 is as expected at a normal NMOS transistor.

In addition it is well-known that V_{th} is directly affected by channel's length as observed below (Fig.3.9). For NMOS transistor as the channel's length increases, so does the V_{th} for both modes as expected [18].

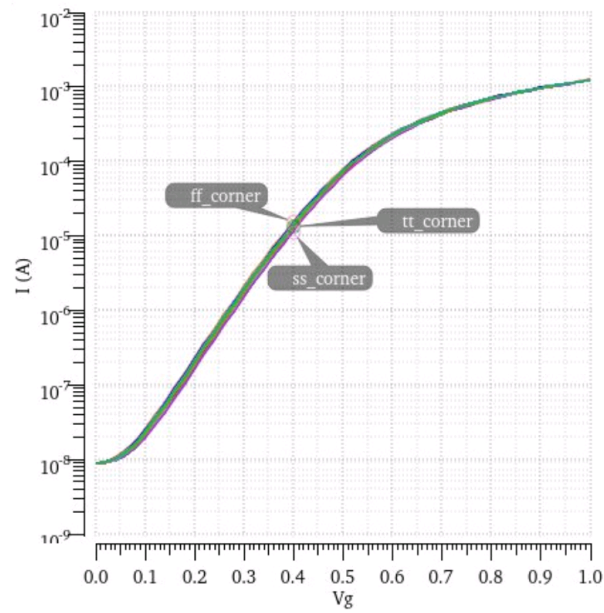


(a)

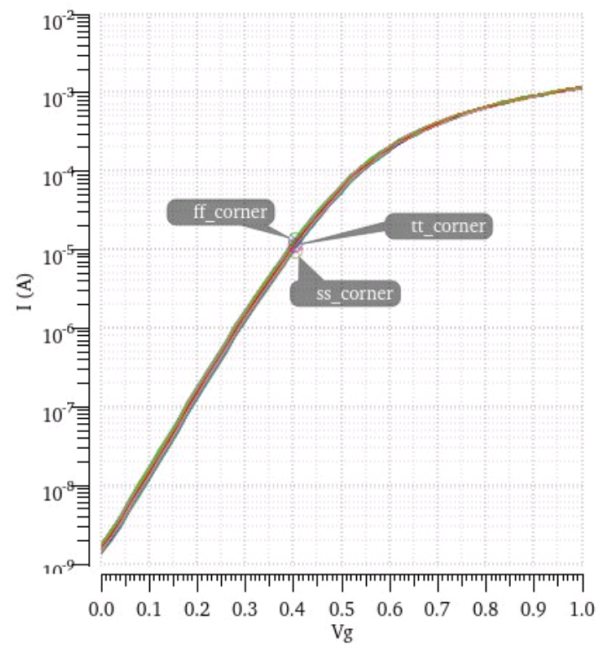


(b)

Figure 3.5: a) Monte Carlo simulation for V_{th} in Saturation Mode ($V_d=1V$), b) Monte Carlo simulation for V_{th} in Linear Mode ($V_d=0.5V$)

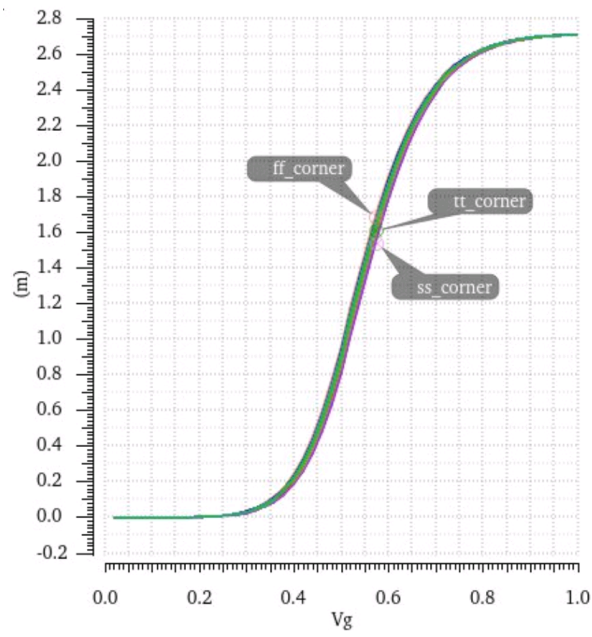


(a)

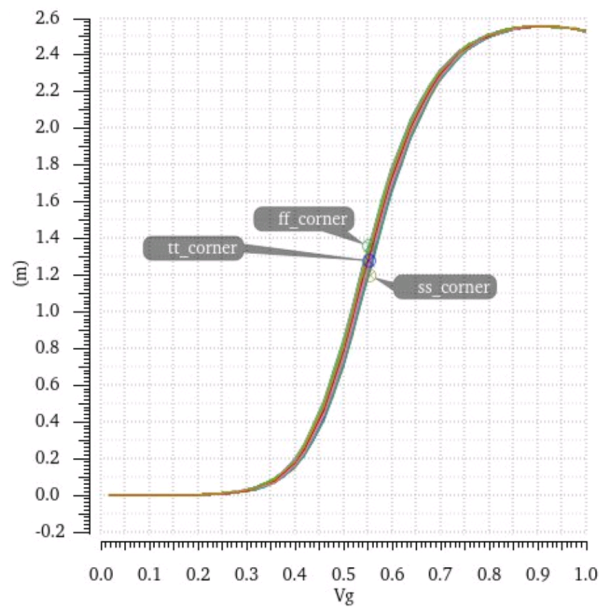


(b)

Figure 3.6: a) Monte Carlo simulation for I_d in Saturation Mode ($V_d=1V$), b) Monte Carlo simulation for I_d in Linear Mode ($V_d=0.5V$)



(a)



(b)

Figure 3.7: a)Monte Carlo simulation for g_m in Saturation Mode ($V_d=1V$) , b)Monte Carlo simulation for g_m in Linear Mode ($V_d=0.5V$)

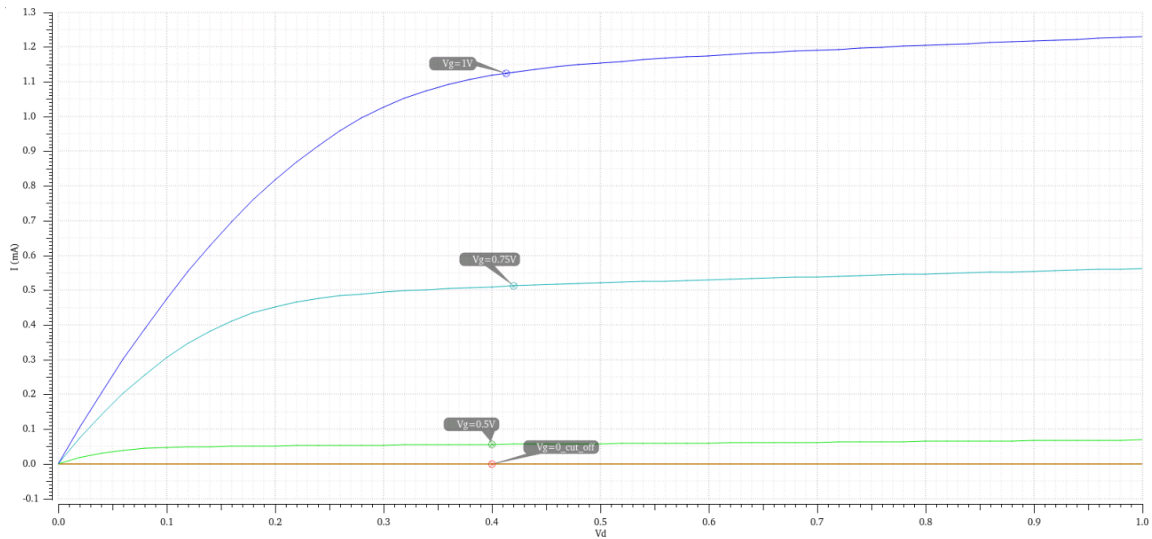


Figure 3.8: I_d as a function of V_d of NMOS transistor.

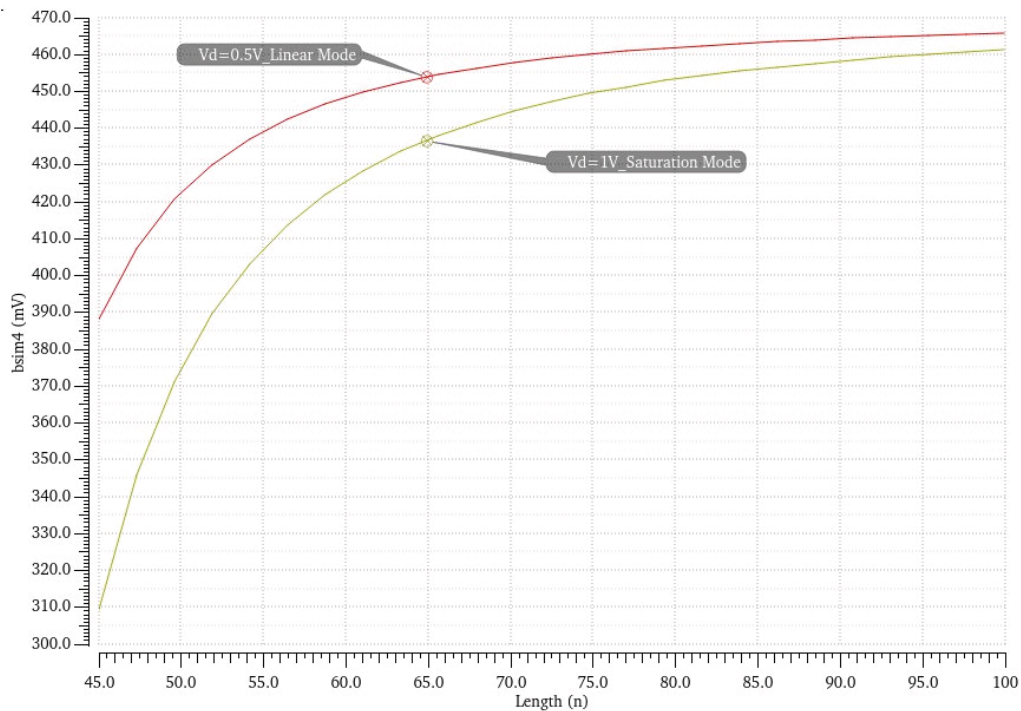


Figure 3.9: V_{th} as a function of gate length in saturation and linear mode of NMOS transistor.

3.3 PMOS transistor model testing

The circuit below (Fig.3.10) is used for the simulations regarding PMOS.

We use for example a PMOS transistor with $W = 2\mu\text{m}$ and $L = 80\text{nm}$. Using Monte Carlo simulations the graphs below are extracted.

Mean Value of V_{th} (absolute value) is bigger in Linear Mode than in Saturation Mode

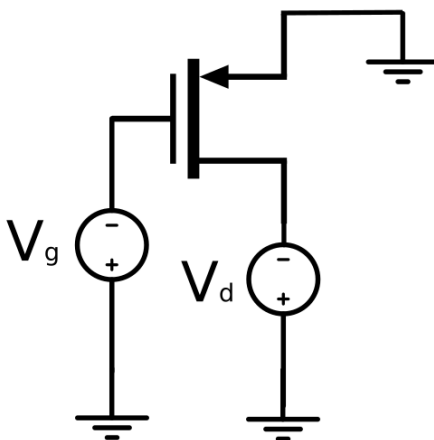


Figure 3.10: Circuit used for PMOS testing

(Fig.3.11). This occurs because of DIBL effect.

Since there is $\sigma_{V_{th}}$ there will obviously be σ_{I_d} and σ_{g_m} as it appears above (Fig.3.12, 3.13). Graphs that present I_d and g_m versus V_g are as we expect [17].

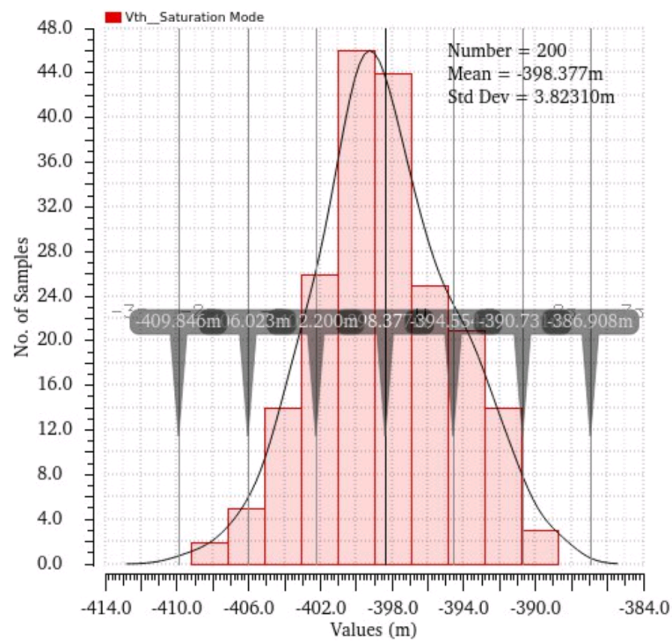
Also we can observe that all samples of Monte Carlo simulations for I_d and g_m appears between slow corner (ss corner) and fast corner (ff corner).

In the Figure 3.12 we observe that when the transistor is off we notice a greater variation than when the transistor is on. Also we observe that PMOS current is lower than NMOS current. This is a technology feature. If we want equal current at a circuit we must increase PMOS width or decrease PMOS length.

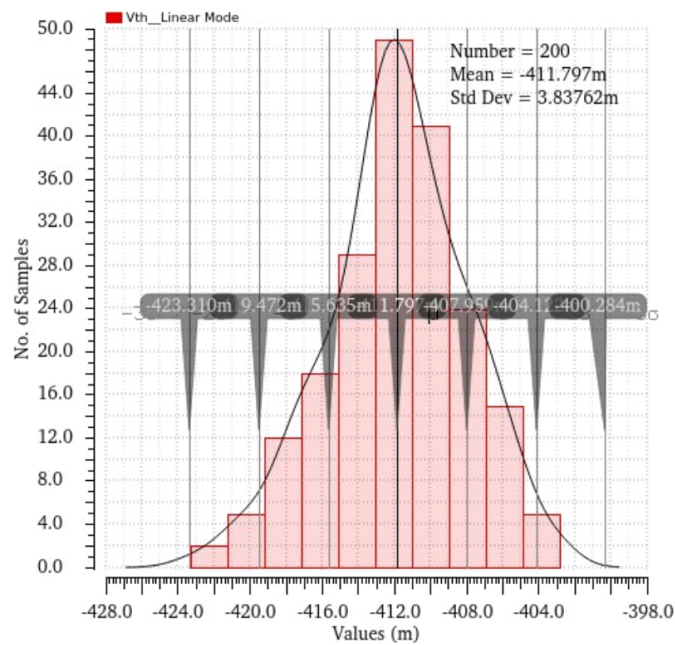
g_m is given by $g_m = \frac{dI_d}{dV_g}$ (Fig.3.13).

The graph at Figure 3.14 is as expected at a normal NMOS transistor.

In addition it is well-known that V_{th} for PMOS transistors is directly affected -as for NMOS transistors- by channel's length as observed below (Fig.3.15). For PMOS transistor as the channel's length increases, so does the V_{th} (absolute values) for both modes as expected [18].

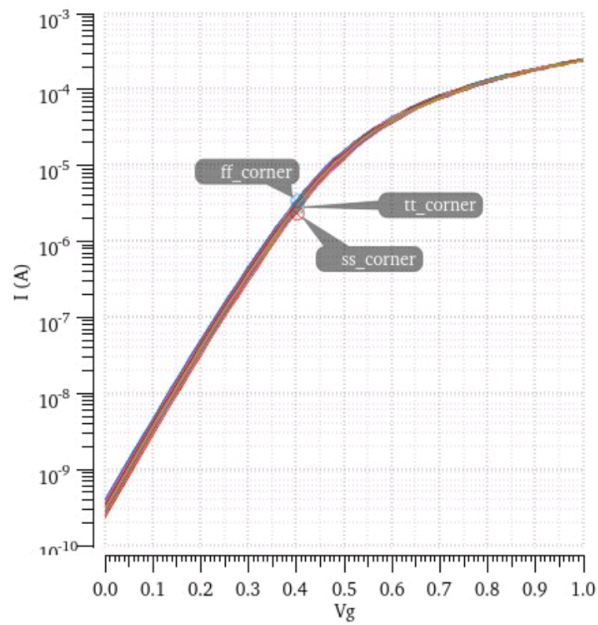


(a)

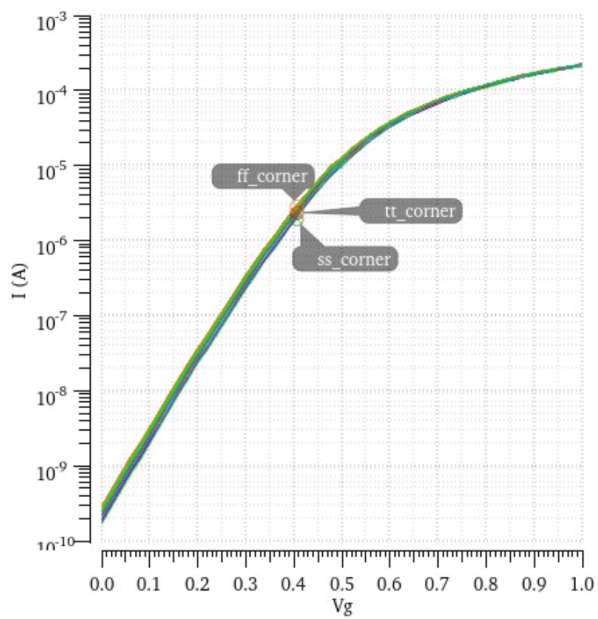


(b)

Figure 3.11: a) Monte Carlo simulation for V_{th} in Saturation Mode ($V_d=1V$), b) Monte Carlo simulation for V_{th} in Linear Mode ($V_d=0.5V$)

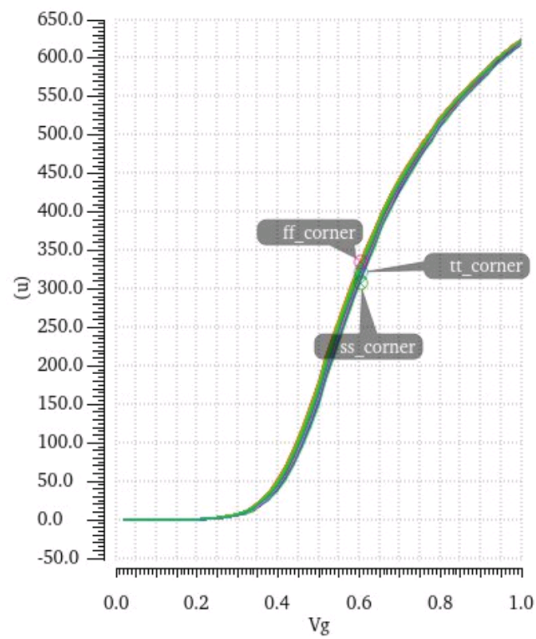


(a)

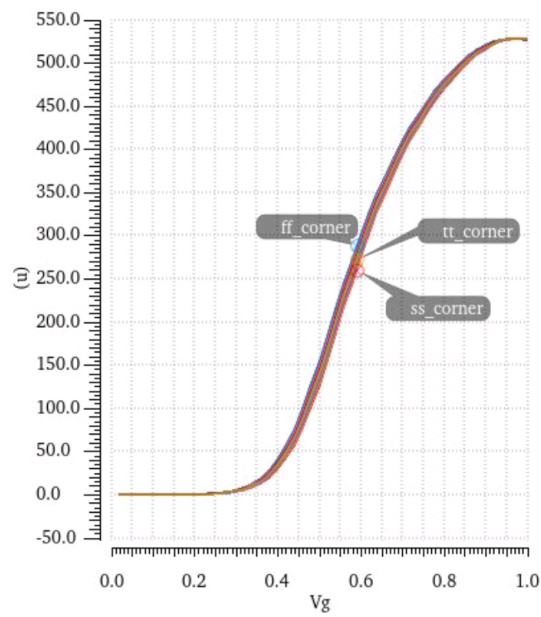


(b)

Figure 3.12: a) Monte Carlo simulation for I_d in Saturation Mode ($V_d=1V$), b) Monte Carlo simulation for I_d in Linear Mode ($V_d=0.5V$)



(a)



(b)

Figure 3.13: a) Monte Carlo simulation for g_m in Saturation Mode ($V_d=1V$), b) Monte Carlo simulation for g_m in Linear Mode ($V_d=0.5V$)

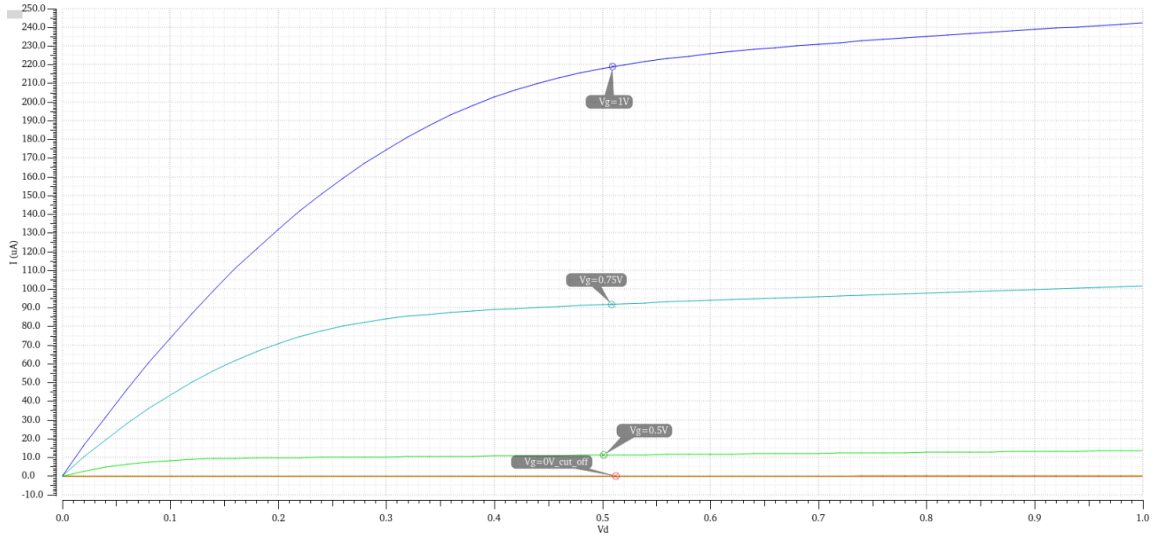


Figure 3.14: I_d as a function of V_d of PMOS transistor.

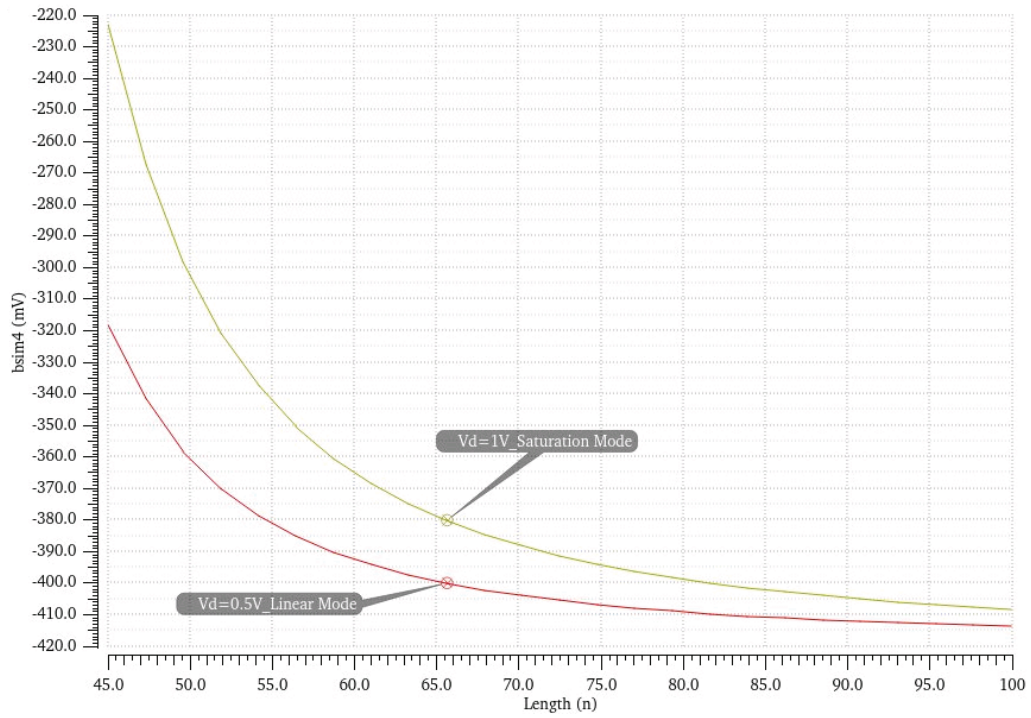


Figure 3.15: V_{th} as a function of gate length in saturation and linear mode of PMOS transistor.

3.4 Capacitor models used for Devices Under Test (DUT)

In this thesis capacitor models were created and used as devices under test (DUT). These models introduce variation to DUTs. AC simulations at 1kHz frequency with the circuit below (Fig.3.16) are used in order to check if the model that is used has the expected results.

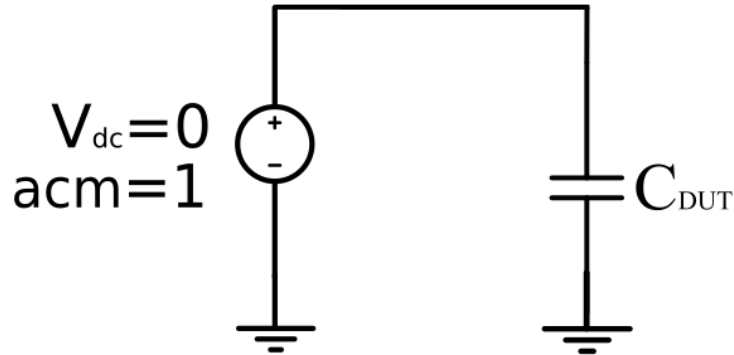


Figure 3.16: Circuit used for capacitor testing

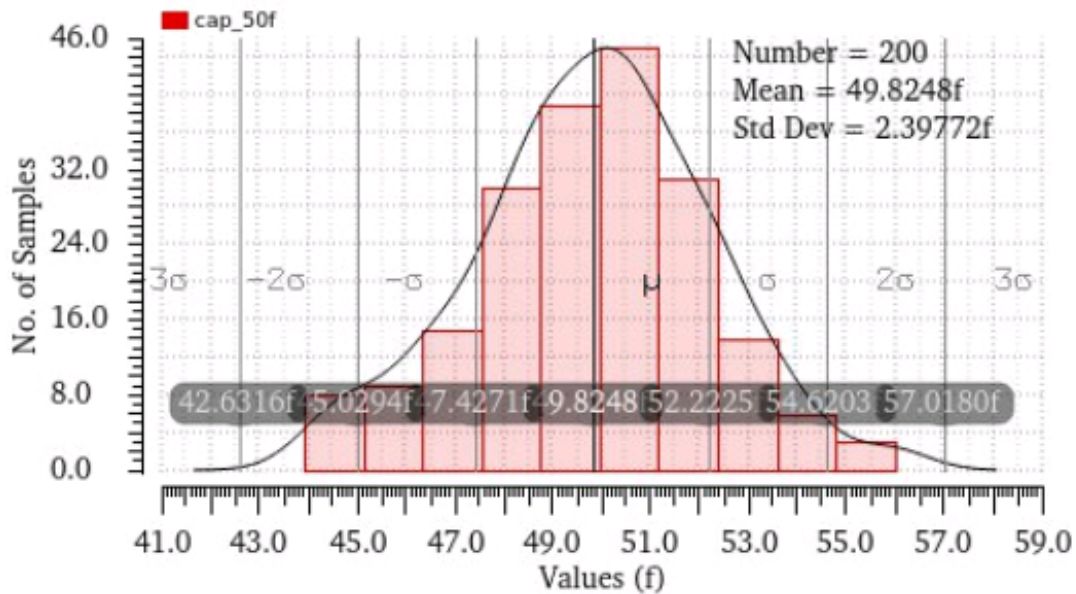
Calculations below are used to extract the capacitor value from the DC simulation:

$$Y(s) = \frac{I_{cap}}{V_{cap}} = j\omega C \Rightarrow I_{cap} = j\omega C \quad (3.7)$$

because $V_{cap} = acm = 1V$

$$\Im I_{cap} = \omega C \Rightarrow C = \frac{\Im I_{cap}}{2\pi f} \quad (3.8)$$

Below (Fig.3.17) there is the result of a Monte Carlo simulation for a capacitor 50fF using the model that was created for this thesis.

Figure 3.17: Monte Carlo Simulation for 50fF capacitor

Using Monte Carlo Simulations for capacitors (1fF - 100fF) some usefull data are extracted

(Fig.3.18, 3.19, 3.20). With these data graphs below are created which are characteristic for capacitor's model.

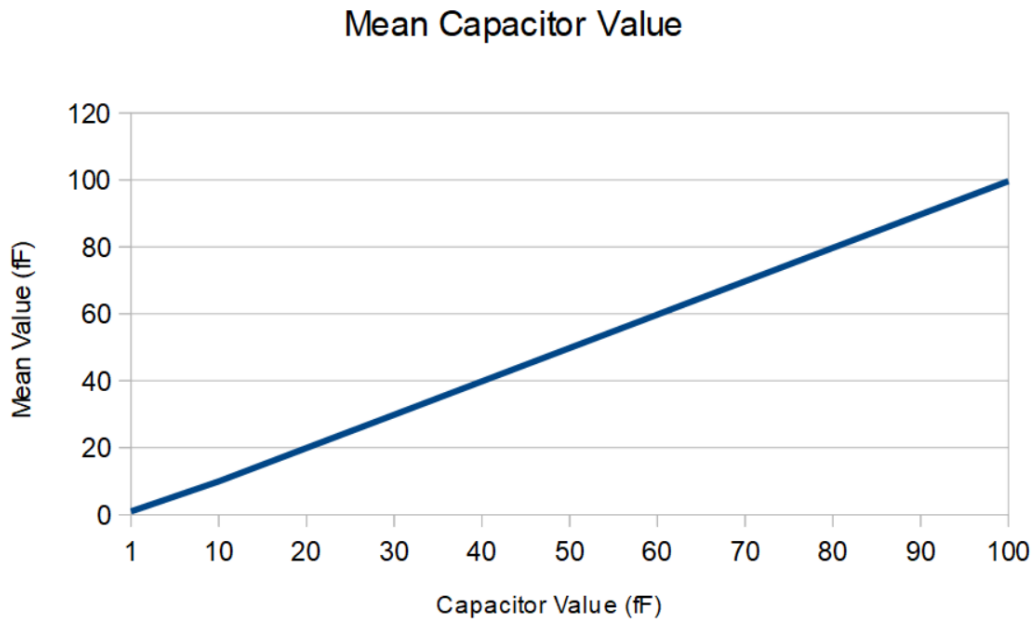


Figure 3.18: Mean Capacitor Value as a function of Real Capacitor Value

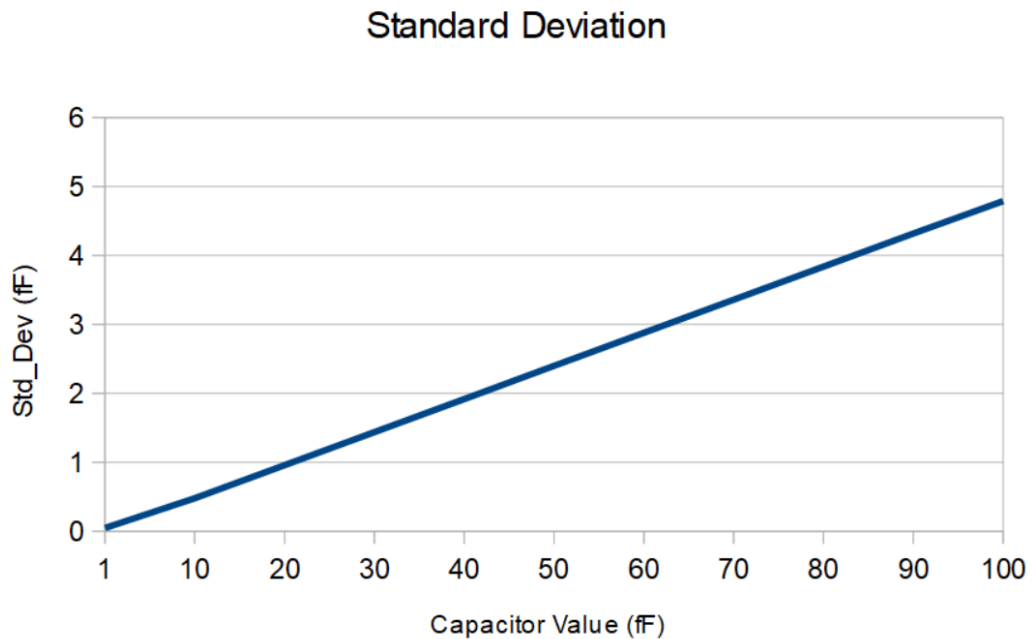


Figure 3.19: Standard Deviation as a function of Real Capacitor Value

It is obvious that spread of Mean Capacitor Value is constant for every capacitor value as expected.

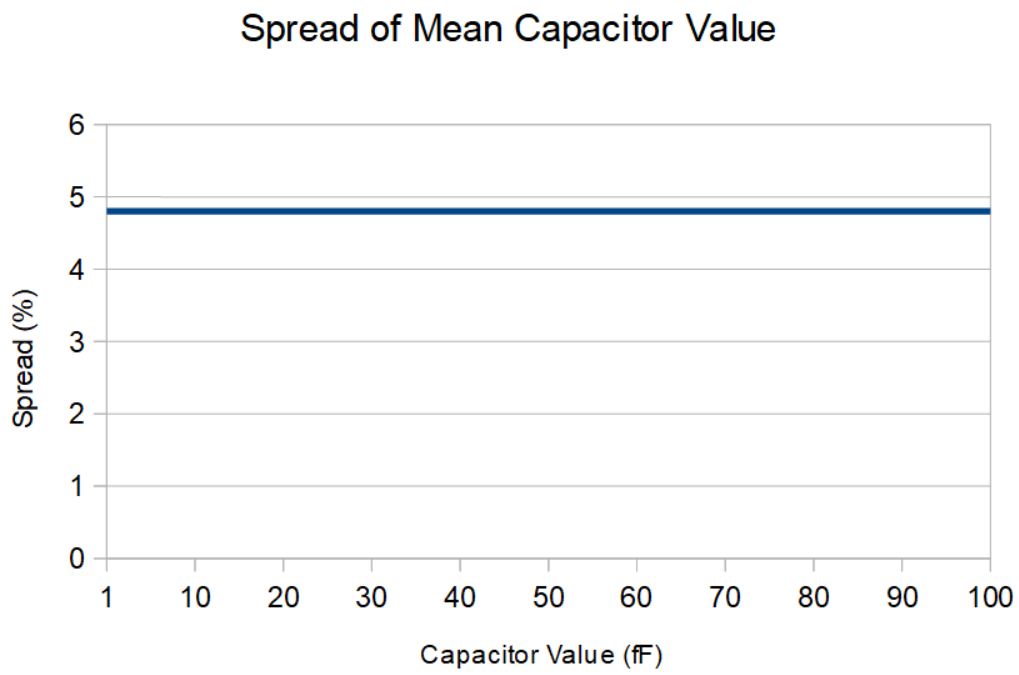


Figure 3.20: Spread as a function of Real Capacitor Value

4

Test structure using two Ring Oscillators

The previous chapters were necessary in order to describe the overall architecture of the test structures.

Traditionally, PCM scribe-lines consists of single devices such as transistors, capacitors and resistors. Ring oscillators have been also developed, mainly for digital process, since the measurement of their frequency is a fast task and the frequency correlation with transistor performance is well known.

A ring oscillator (Fig.4.1) is a device consisting of an odd number of inverting stages (usually inverters) in which the output voltage oscillates between binary levels (0V-Bias voltage). Each inverter delays the input signal for a certain period of time (the gate-delay time) at the output of the final stage, the total delay time is equal to the product of single gate-delay time multiplied by the number of stages [19].

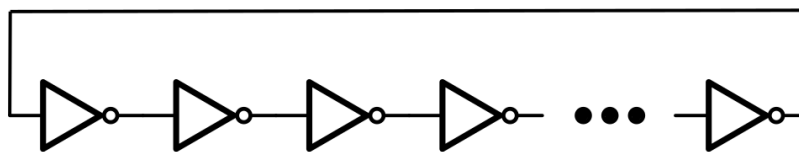


Figure 4.1: Ring Oscillator

4.1 Process Monitoring of Capacitor's Value using two Ring Oscillators

There are many ways to characterize capacitors through oscillation's frequency. The simplest way to implement a Process Control Monitor is to use two identical Ring Oscillators (Fig.4.2). Each oscillator consists of 55 inverting stages. Each stage here is a simple inverter (Fig.4.3). The first Ring Oscillator provides a reference frequency (f_{ref}) and the second Ring Oscillator provides a frequency, which is obviously directly affected by the Device Under Test (DUT)

(f_{DUT}). Through these two frequencies and inverter's delay, we get the value of the DUT (C_{DUT}). In this thesis DUTs are only capacitors.

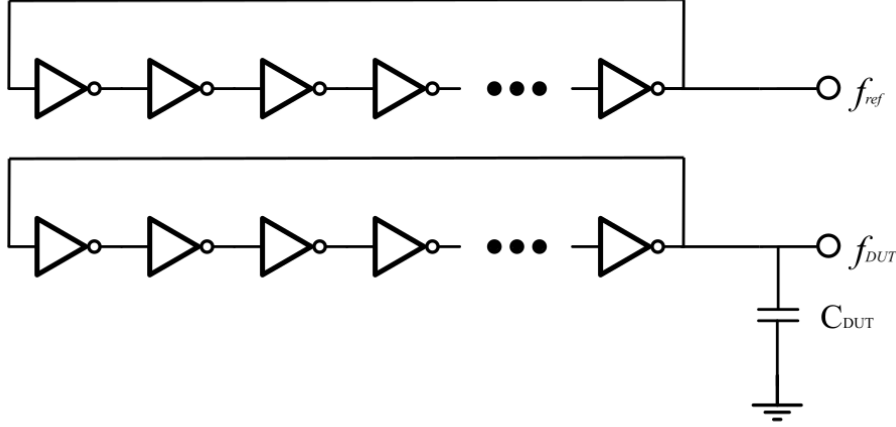


Figure 4.2: The First RO provides the reference frequency (f_{ref}) and the second RO provides the frequency affected by DUT (f_{DUT})

Due to the capacitances introduced by the MOSFET transistors, there is propagation delay for each inverting stage (t_d) (Fig.4.4). The formula for each stage's propagation delay is well-known and is given below [7], [8] :

$$t_d = \frac{C_L \cdot V_{dd}}{2 \cdot I_{osc}} \quad (4.1)$$

where:

C_L : inverter's total load capacitance

V_{dd} : Bias Voltage

I_{osc} : oscillation's current

In order to get a final formula which calculates the value of the DUT, we assume that the two Ring Oscillators are identical and are not affected by process variation. This means that each inverting stage has the same C_L , the same I_{osc} and so the same propagation delay (t_d). The oscillation's frequency of the first Ring Oscillator is well-known and it is given below:

$$f_{ref} = \frac{1}{2Nt_d} \quad (4.2)$$

where:

N: number of inverting stages

t_d : stage's propagation delay

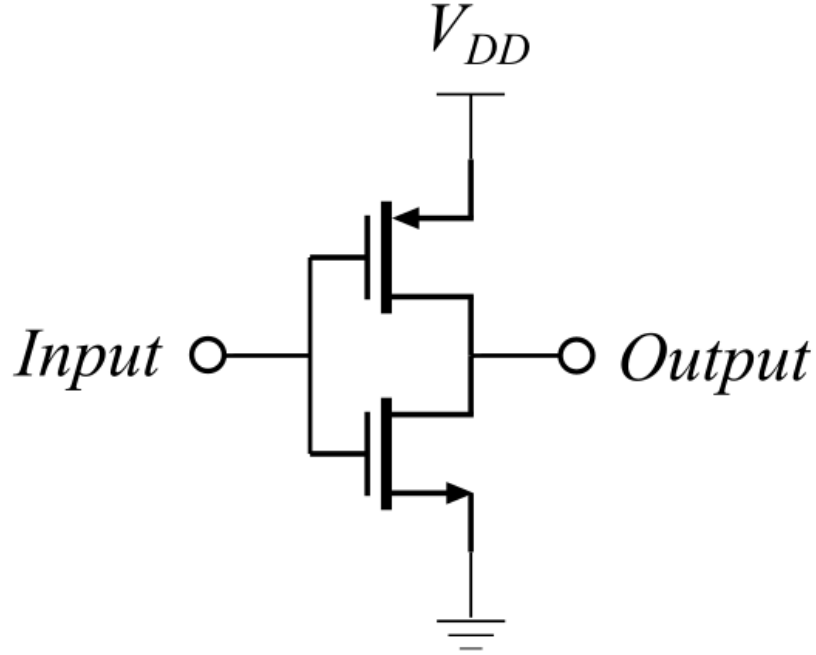


Figure 4.3: Inverter cell which is used for the Ring Oscillators with $W_{nmos} = 2\ \mu\text{m}$, $W_{pmos} = 4\ \mu\text{m}$ and $L_{nmos} = L_{pmos} = 80\ \text{nm}$

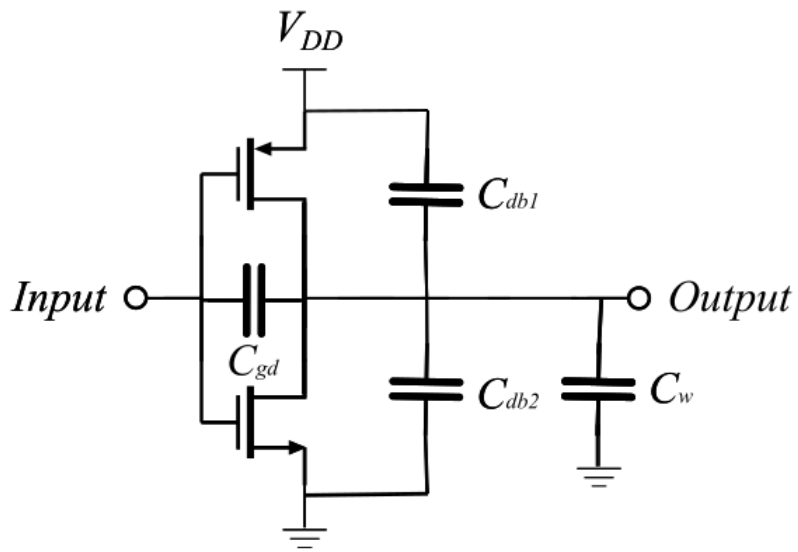
It is obvious that oscillation frequency depends on stages delay time since the number of stages in a fixed structure is constant.

In our implementation, the last stage of the second Ring Oscillator drives a load, which is the DUT. So this last stage has obviously different propagation delay (t'_d) than the other delay stages. The oscillation's frequency of the second Ring Oscillator is given below [7] :

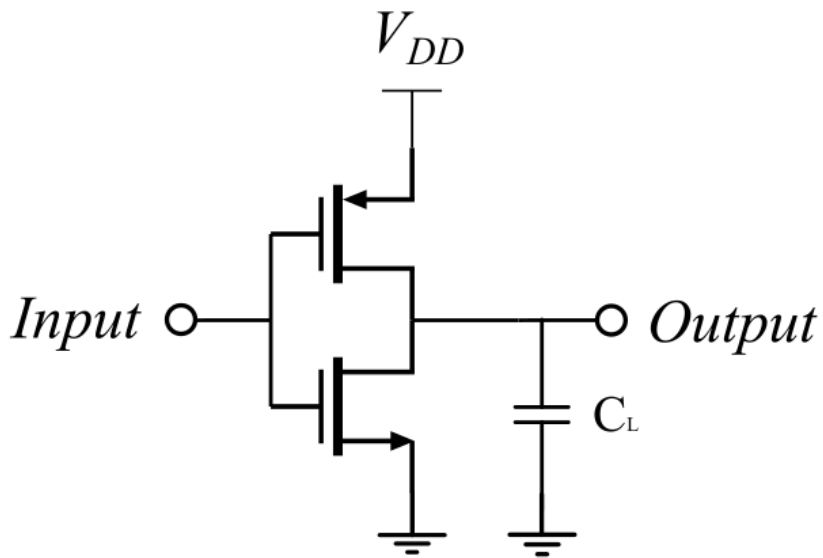
$$f_{DUT} = \frac{1}{2 \cdot (N - 1) \cdot t_d + 2 \cdot t'_d} \quad (4.3)$$

where:

$$t'_d = \frac{(C_L + C_{DUT}) \cdot V_{dd}}{2 \cdot I'_{osc}} \quad (4.4)$$



(a)



(b)

Figure 4.4: a) Inverter stage with capacitances added by transistors, b) Inverter stage with total load capacitance $C_L = C_{gd} + C_{db1} + C_{db2} + C_w$

4.2 Mean Frequency Value, Standard Deviation and Spread

Monte Carlo simulations are made for this implementation in order to extract some useful information, for example Mean Frequency Value, Standard Deviation and Spread.

Below graphs will be presented that lead us to significant conclusions about our implementation:

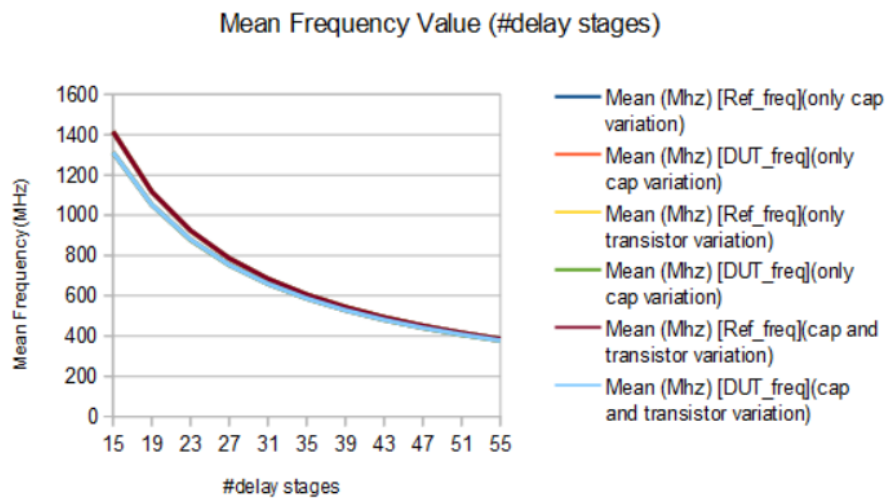


Figure 4.5: Mean Frequency Value (f_{ref}, f_{DUT}) with only capacitor variation, only transistor variation and capacitor and transistor variation as a function of the number Ring Oscillators' stages when DUT is 50fF

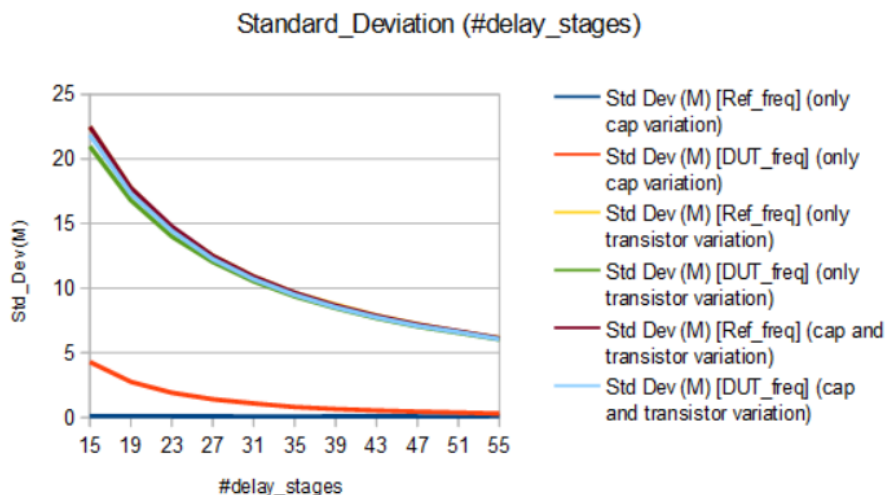


Figure 4.6: Standard Deviation of Frequency Value (f_{ref}, f_{DUT}) with only capacitor variation, only transistor variation and capacitor and transistor variation as a function of the number Ring Oscillators' stages when DUT is 50fF

Now useful conclusions could be extracted. Initially, Mean Frequency Value and Standard

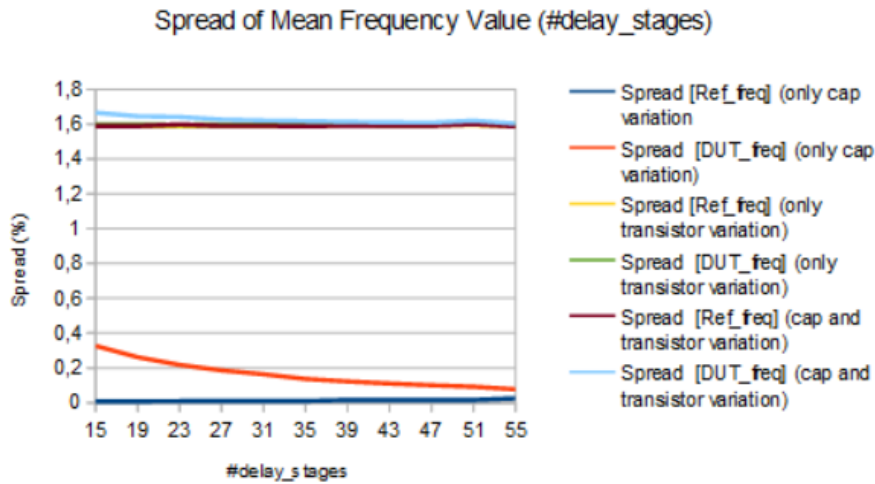


Figure 4.7: Spread of Frequency Value (f_{ref} , f_{DUT}) with only capacitor variation, only transistor variation and capacitor and transistor variation as a function of the number Ring Oscillators' stages when DUT is 50fF

Deviation decrease as the number of Ring Oscillator stages increases as shown in the graphs (Fig.4.5, 4.6). But the most useful conclusion is that Spread decrease as shown in the graph (Fig.4.7). That is why many inverting stages are used. The most obvious decrease is observed when we have only capacitor variation. This means that the more inverting stages a Ring Oscillator has, the less the output frequency is affected by process variation introduced by the DUT. There is a slight decrease in the output frequency (f_{DUT}) spread when this implementation is affected by capacitor and transistor variation (Fig.4.7). It is crucial to eliminate the effect of variation because it leads to an error in the final estimation of the DUT value.

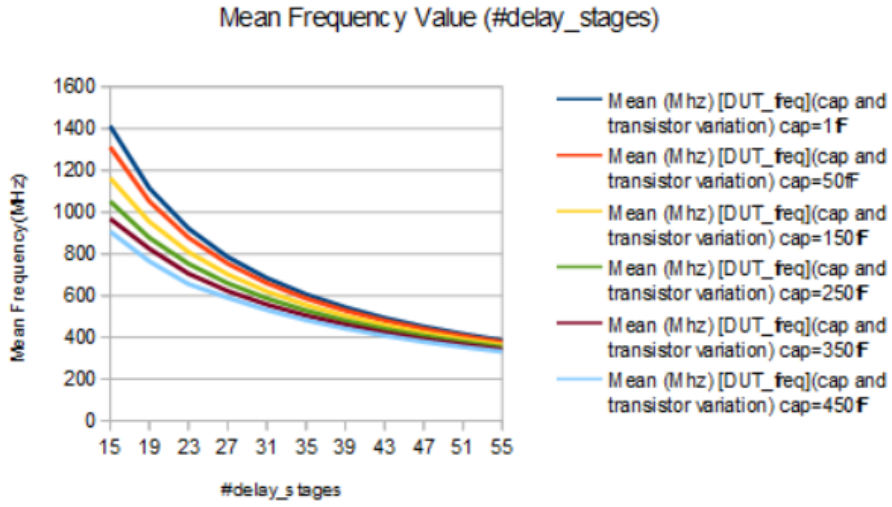


Figure 4.8: Mean Frequency Value (f_{DUT}) capacitor and transistor variation for DUTs ranging from 1fF-450fF as a function of the number Ring Oscillators' stages.

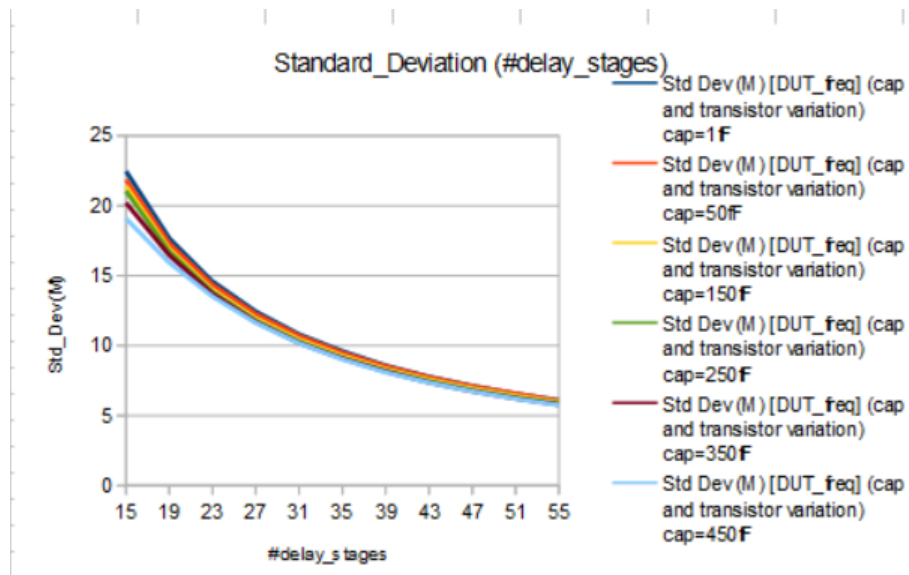


Figure 4.9: Standard Deviation of Frequency Value (f_{Dev}) with capacitor and transistor variation for DUTs ranging from 1fF-450fF as a function of the number Ring Oscillators' stages.

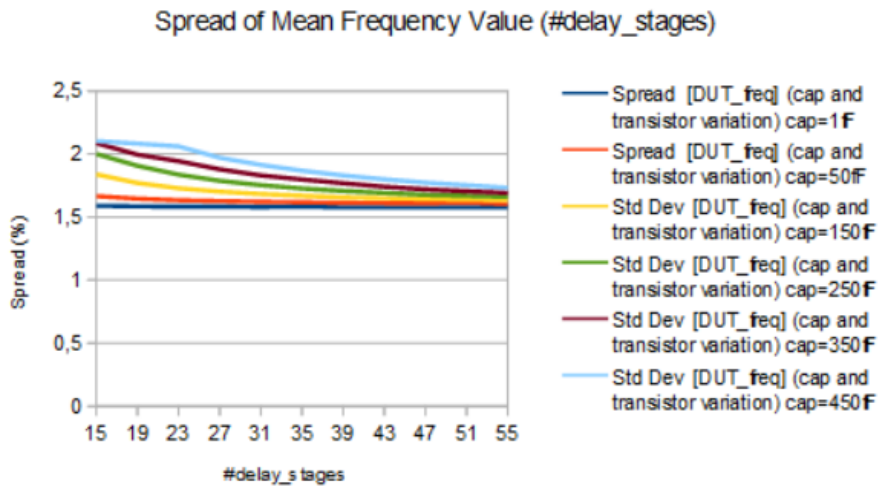


Figure 4.10: Spread of Frequency Value (f_{DUT}) with capacitor and transistor variation for DUTs ranging from 1fF-450fF as a function of the number Ring Oscillators' stages.

Here it is important to point out some conclusions that led us to choose this particular test structure. Firstly, the Mean Frequency Value and the Standard Deviation decrease as the inverting stages increase as shown at the graphs (Fig.4.8, 4.9). In addition, it is obvious that Spread of Frequency Value (f_{DUT}) (with capacitor and transistor variation) decreases as the number of inverting stages increases. 55 stages are used because after this, it is observed that Spread of Frequency Value remains constant. Larger decrease in spread is observed for the larger DUTs (Fig.4.10).

4.3 Estimation of the DUT's value using the test structure

4.3.1 Mathematical formula for DUT

In order to estimate the value of the DUT using this test structure, it is significant to reach a final mathematical formula. Using the equations (4.1), (4.2), (4.3), (4.4) we have the formula for the value of DUT (C_{DUT}):

$$C_{DUT} = \frac{1}{N \cdot V_{dd} \cdot f_{ref}} \cdot \left[\frac{I'_{osc}(N \cdot f_{ref} - f_{DUT} \cdot (N - 1))}{f_{DUT}} - I_{osc} \right] \quad (4.5)$$

If we assume that $I_{osc} = I'_{osc}$ then:

$$C_{DUT} = \frac{I_{osc}}{N \cdot V_{dd} \cdot f_{ref}} \cdot \left[\frac{N \cdot f_{ref} - f_{DUT} \cdot (N - 1)}{f_{DUT}} - 1 \right] \quad (4.6)$$

The assumption $I_{osc} = I'_{osc}$ is true if we can obtain a sufficient transistor size, such that the current at each stage remains the same regardless of the load it drives. Only in this way (4.6) will be accurate.

This way we can find the value of DUT if the average value of the oscillation current is known. At this point, we must point out that in order to extract currents' values a different structure must be used. We do not deal with this structure in this work.

4.3.2 Estimation of DUT's value, Monte Carlo Simulations and other graphs

Cadence Virtuoso with Spectre simulator is used in this thesis in order to extract simulations and usefull data.

Three Monte Carlo simulations are implemented for each DUT. At first, only DUT's variation is introduced. After Monte Carlo simulation is made with variation only for the transistors of the inverting stages. At last Monte Carlo simulations are made with the variation of transistors and capacitor (DUT). This separation is made to make it obvious if the transistors of the test structure (transistors of each inverting stage) introduce a variation that distorts the estimation of DUT's Value.

During testing with test structures if all devices were ideal (no device adds process variation which means that no devices' characteristic deviates from the value given by the designer and the test structures are completely accurate) then for example by measuring a capacitor **10fF** measurement would show exactly **10fF**. But none of the assumptions above are real because each device introduce process variation, so their characteristics may have different values than designer wants. So through Monte Carlo simulations, in which all devices have process variation, we extract the Relative Error and the Spread in order to predict what values are possible for the measurement of the capacitor. The only thing that we know when we measure a capacitor

through test structures is the value the designer gave it, not its actual value.

Note that in the case where the Monte Carlo simulations takes into account only capacitor's process variation and in the case where the Monte Carlo simulations takes into account transistors' and capacitor's process variation, the value of Capacitors under Test (DUT Value) are the values that the designer wants to be and the Estimated Mean Capacitor Value is the value that is measured through test structures. In the case where Monte Carlo simulations take into account only transistors' process variation, then the value of Capacitors under Test (DUT Value) are the real values of the capacitors and the Estimated Mean Capacitor Value is the value that is measured through test structures. These notes refer to the following tables and graphs.

Simulations with only Capacitor's Variation The Table 4.1 below is made with data from Monte Carlo simulation. In this simulation only DUT's variation was taken into account. We assume that transistors are ideal and that inverting stages and the Ring Oscillators are identical. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error ($\text{Relative Error} = \frac{\text{Error}}{\text{CapacitorUnderTest}}$) were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	-0.2447	0,0475	19,4115243155	-1,2447	-124,47
10	8,676	0,527	6,0742277547	-1,324	-13,24
20	19,37	1,052	5,4310789881	-0,63	-3,15
30	29,6	1,487	5,0236486486	-0,4	-1,3333333333
40	40,04	1,929	4,8176823177	0,04	0,1
50	50,18	2,407	4,7967317656	0,18	0,36
60	60,26	2,914	4,835711915	0,26	0,4333333333
70	70,06	3,278	4,6788467028	0,06	0,0857142857
80	79,84	3,768	4,7194388778	-0,16	-0,2
90	89,55	3,768	4,2077051926	-0,45	-0,5
100	99,07	4,583	4,6260220046	-0,93	-0,93

Table 4.1: Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account

According to Table 4.1, graphs were plotted from which significant conclusions were extracted.

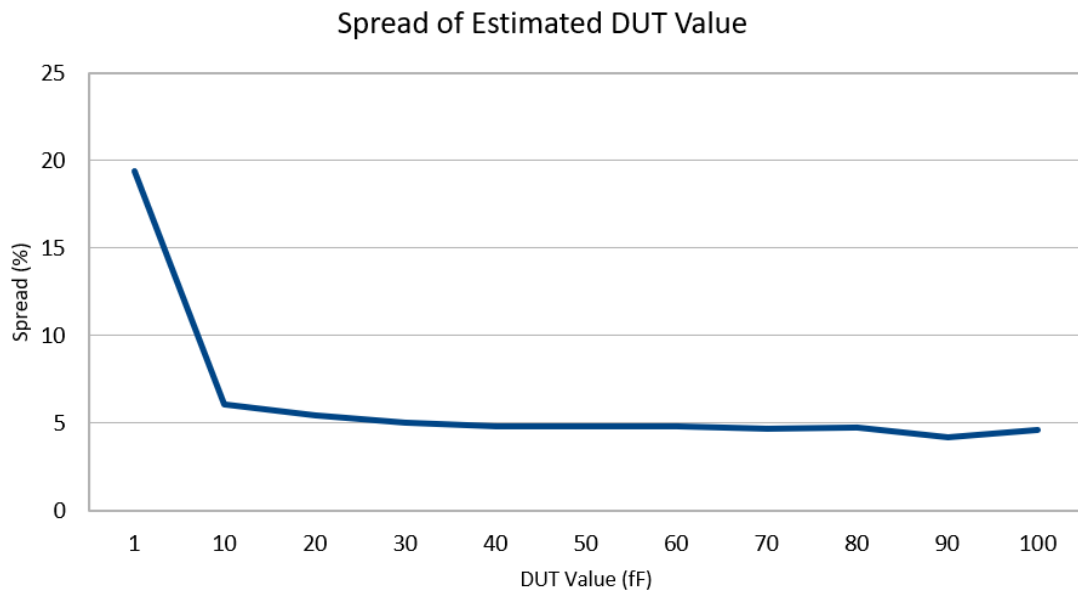


Figure 4.11: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

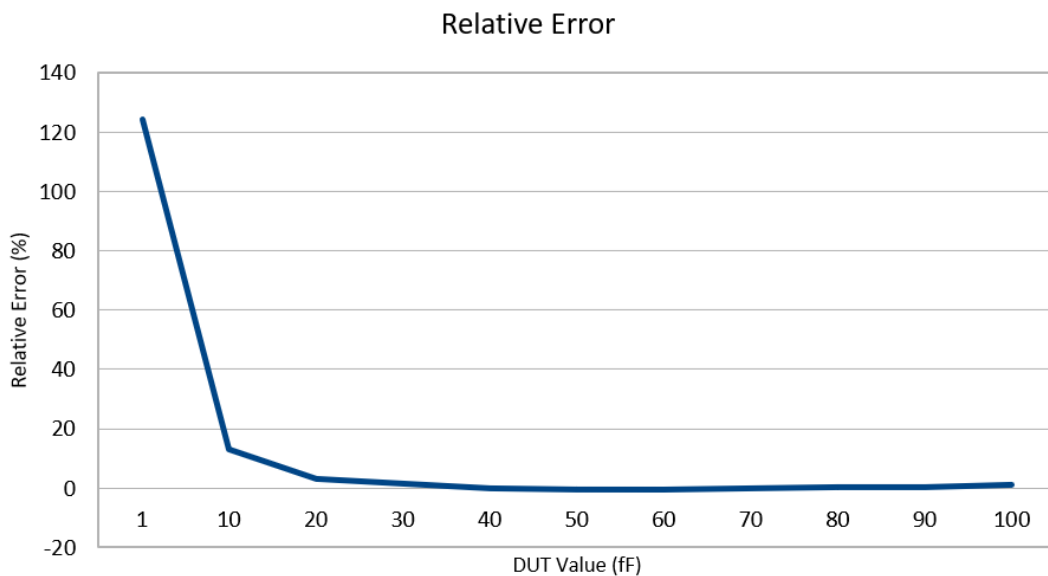


Figure 4.12: Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

It is obvious that Spread of Estimated DUT Value and the Relative Error of the estimation decrease (not linear) for DUTs smaller than 20 fF and then remain constant (Fig.4.11, 4.12). This proves that the test structure cannot accurately calculate the value of small capacitors (< 10 fF) even if the two Ring Oscillators are identical. In general it is more difficult to calculate accurately the value of very small capacitors than estimate the value of big capacitors.

Simulations with only transistor's Variation The Table 4.2 below is made with data from Monte Carlo simulation. In this simulation only transistor's variation was taken into account. We assume that the DUT is ideal. The Ring Oscillators are not identical because each transistor may introduce a different variation. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	-0,2474	0,08573	34,6523848019	-1,2474	-124,74
10	8,66	0,4852	5,6027713626	-1,34	-13,4
20	19,42	1,01	5,2008238929	-0,58	-2,9
30	29,55	1,442	4,8798646362	-0,45	-1,5
40	40,16	1,956	4,8705179283	0,16	0,4
50	50,25	2,386	4,7482587065	0,25	0,5
60	60,3	2,859	4,7412935323	0,3	0,5
70	70,04	3,26	4,6544831525	0,04	0,0571428571
80	79,95	3,753	4,6941838649	-0,05	-0,0625
90	89,65	4,22	4,7071946458	-0,35	-0,3888888889
100	99,26	4,625	4,6594801531	-0,74	-0,74

Table 4.2: Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account

According to Table 4.2 graphs were plotted from which significant conclusions were extracted.

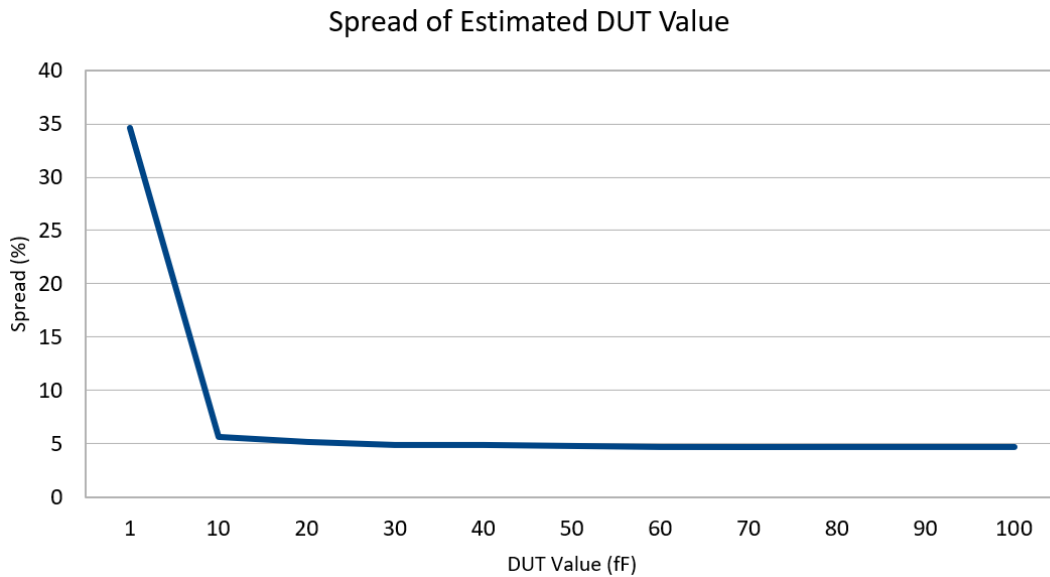


Figure 4.13: Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account

It is obvious that Spread of Estimated DUT Value and the Relative Error of the estimation decrease (not linear) for DUTs smaller than 20 fF and then remain constant. (Fig.4.13, 4.14). This proves that the test structure cannot accurately calculate the value of small capacitors (< 10 fF). In the same time this test structure could accurately estimate the values of bigger capacitors as shown at Table 4.2 when the transistors of the inverting stages introduce variation. Although the Spread remains high even for measurement of big capacitors.

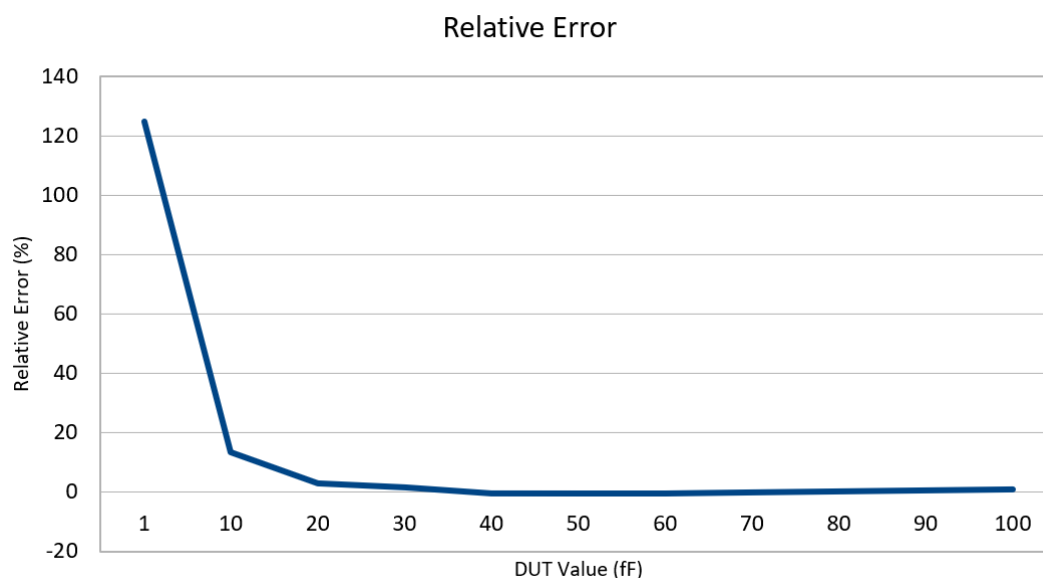


Figure 4.14: Relative Error as a function of real DUT Value when only transistor's variation is taken into account

Simulations with DUT's and transistor's Variation The Table 4.3 below is made with data from Monte Carlo simulation. In this simulation DUT's and transistor's variation were taken into account. Now the Ring Oscillators are not identical because each transistor may introduce a different variation. Also the DUT is not ideal because it introduces variation in our calculations. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	-0,2482	0,9768	393,5535858179	-1,2482	-124,82
10	8,652	0,7302	8,439667129	-1,348	-13,48
20	19,3	1,475	7,6424870466	-0,7	-3,5
30	29,51	2,128	7,2111148763	-0,49	-1,6333333333
40	39,91	2,792	6,9957404159	-0,09	-0,225
50	50,04	3,469	6,9324540368	0,04	0,08
60	60,1	4,173	6,9434276206	0,1	0,1666666667
70	69,88	4,753	6,8016599886	-0,12	-0,1714285714
80	79,66	5,429	6,8152146623	-0,34	-0,425
90	89,43	6,043	6,7572402997	-0,57	-0,6333333333
100	98,84	6,655	6,7331040065	-1,16	-1,16

Table 4.3: Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation were taken into account

According to Table 4.3 graphs were plotted from which significant conclusions were extracted.

It is obvious that Spread of Estimated DUT Value and the Relative Error of the estimation decrease (not linear) for DUTs smaller than 20 fF and then remain constant. (Fig.4.15, 4.16). This proves that the test structure cannot accurately calculate the value of small capacitors (< 10 fF). In the same time this test structure could accurately estimate the values of bigger capacitors as shown at Table 4.2 when the transistors of the inverting stages introduce variation. Although the Spread still remains high.

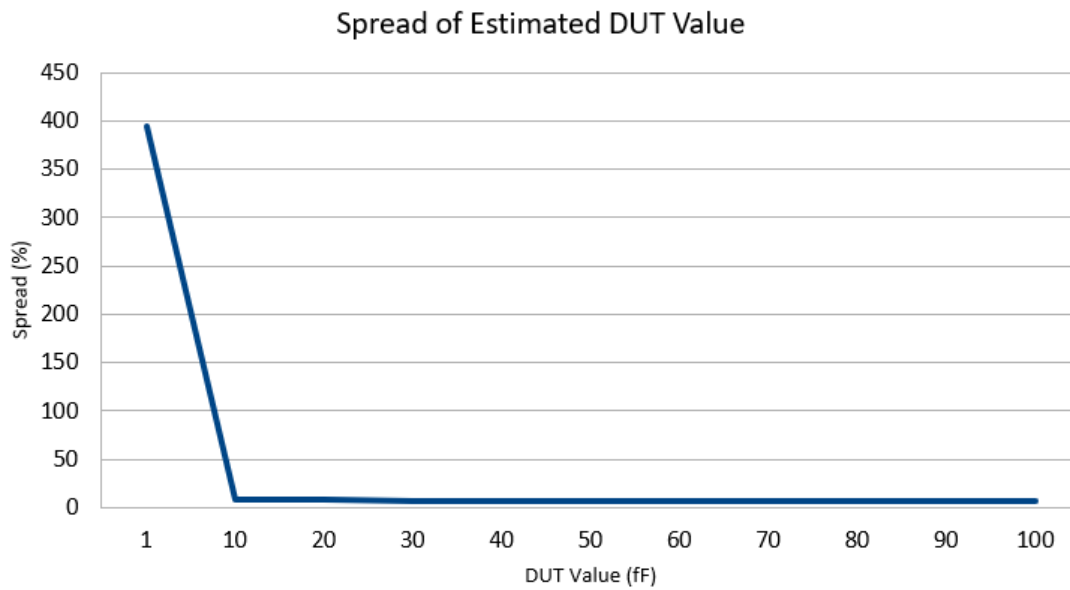


Figure 4.15: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.

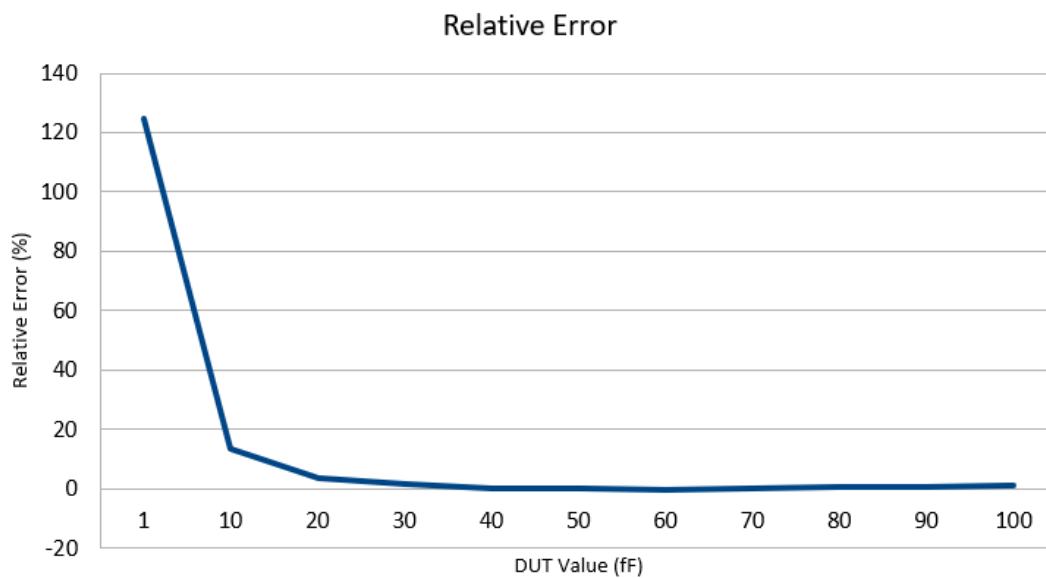


Figure 4.16: Relative Error as a function of expected by the designer DUT Value when transistor's and capacitor's variation are taken into account.

4.3.3 Conclusions

In order to draw conclusions, it is necessary to compare the tables and graphs above. Particular importance should be given to the comparison of Tables 4.1 and 4.3. Table 4.1 consists of data for which only the capacitor's variation has been taken into account. Table 4.3 consists of data for which capacitor's and transistor's variation have been taken into account.

It is obvious that when transistor's variation is ignored (Table 4.1) the Spread of Estimated Mean Capacitor Value is lower than the case when no device variation is ignored (Table 4.3) almost for every DUT. This means that transistors of inverting stages introduce variation which greatly affects the final measurement regarding Spread. It is observed that measurements with this implementation are more sensitive to variations when very small capacitors are measured. This is why Relative Error and Spread have big values when we measure small capacitors (< 10fF).

The structure measures sufficient capacitors in the range 20fF-100fF (Relative Error< 3%) (Table 4.2).

A disadvantage is that currents must be measured, which is a difficult process.

In order to have accurate estimations, a way to decrease transistor's variation must be found.

5

Test structure using a single Ring Oscillator and a MUX

5.1 Process Monitoring of Capacitor's Value using a single Ring Oscillator with MUX

Another way to characterize capacitors through oscillation's frequency is described below. In this section a single Ring Oscillator and a MUX (Fig.5.3) are used in order to measure capacitor's value through oscillation's frequency (Fig.5.1). The oscillator consists of 53 inverting stages. Each stage here is current starved inverter (not a simple inverter). DC voltage "Control nmos" is always 1V and DC voltage "Control pmos" is always 0V. In this way transistors which have these gate voltages are always ON (Fig.5.2). Using the MUX (Fig.5.3) and a selection signal we manage to obtain reference frequency (f_{ref}) and frequency affected by the device under test (f_{DUT}) from the same Ring Oscillator depending on the value of the selection signal. When selection signal is 0V the output frequency is the reference frequency (f_{ref}). When selection signal is 1V the output frequency is the frequency affected by the device under test (f_{DUT}) [9]. Through these two frequencies and inverter's delay, we get the value of the DUT (C_{DUT}).

Due to the capacitances introduced by the MOSFET transistors, there is propagation delay for each inverting stage (t_d) except for the two last stages of the Ring Oscillator (the last two stages, 52nd and 53rd, have different propagation delay). For the current starved inverter's delay the same formula as for the simple inverter's delay is used (all stages except for 52nd and 53rd stage) [7], [10] :

$$t_d = \frac{C_L \cdot V_{dd}}{2 \cdot I_{C_L}} \quad (5.1)$$

where:

C_L : current starved inverter's total load capacitance

V_{dd} : bias voltage

I_{C_L} : current that flows through NMOS transistors of the current starved inverter to the ground.

Each of the cells above introduces some capacitances because of the transistors that are used. The Current Starved Inverter cell introduces capacitance C_L . In addition MUX introduces C_{MUX}

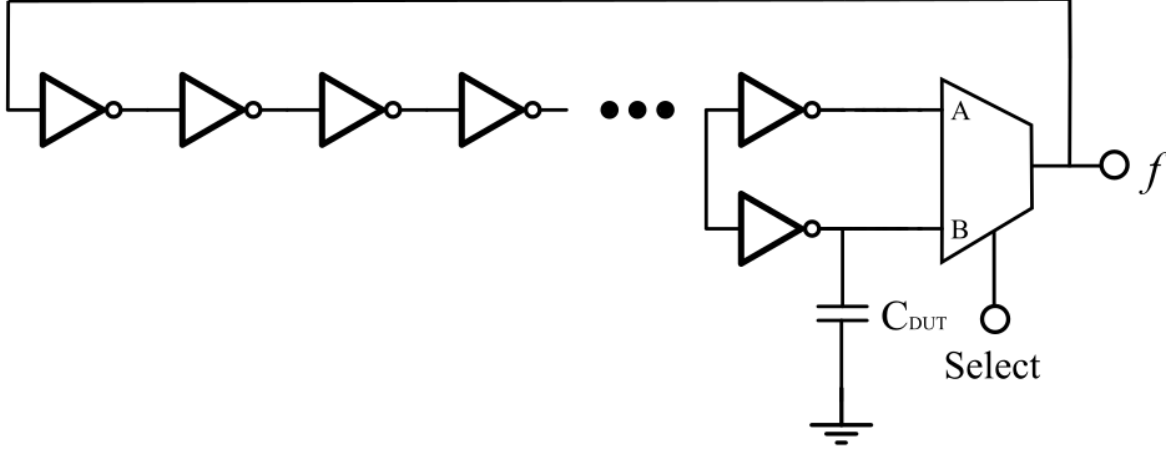


Figure 5.1: When selection signal is 0V f_{ref} is provided and when selection signal is 1V f_{DUT} is provided.

that is driven by one of the current starved inverters of the last stage. Moreover, in any case (whether the selection signal is 0V or 1V) there is a floating current starved inverter at the last stage. This floating current starved inverter adds a capacitance C_{float} that is driven by the 52nd stage. As a result 52nd stage drives not only C_L but also C_{float} . When selection signal is 0V (f_{ref} is the output frequency) 53rd stage (last stage) drives C_L and C_{MUX} . When selection signal is 1V (f_{DUT} is the output frequency) 53rd stage (last stage) drives C_L , C_{MUX} and the device under test C_{DUT} .

For the 52nd stage the mathematical formula for the propagation delay in both cases (whether the selection signal is 0V or 1V) is:

$$t_{d_{52nd-stage}} = \frac{(C_L + C_{float}) \cdot V_{dd}}{2 \cdot I_{C_L - C_{float}}} \quad (5.2)$$

where:

C_L : inverter's total load capacitance

C_{float} : capacitance added by floating current starved inverter

V_{dd} : bias voltage

$I_{C_L - C_{float}}$: This is the current that flows through these capacitancies that cause propagation delay (C_L and C_{float}).

For the 53rd stage the mathematical formula for the propagation delay when the selection signal is 0V (f_{ref} is provided) is:

$$t_{d_{53rd-stage-ref}} = \frac{(C_L + C_{MUX}) \cdot V_{dd}}{2 \cdot I_{C_L - C_{MUX}}} \quad (5.3)$$

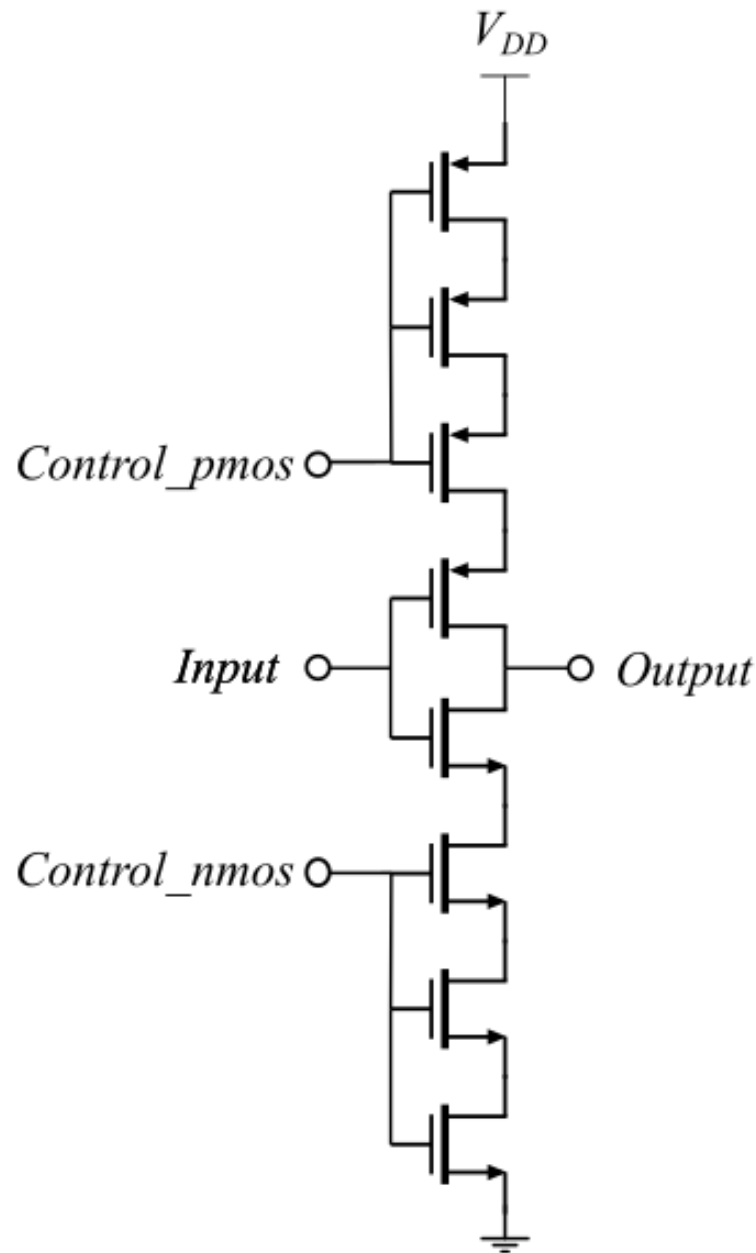


Figure 5.2: Current starved Inverter cell which is used for the Ring Oscillator with $W_{nmos} = 8 \mu\text{m}$, $W_{pmos} = 16 \mu\text{m}$ and $L_{nmos} = L_{pmos} = 80 \text{ nm}$.

where:

C_L : inverter's total load capacitance

C_{MUX} : capacitance added by MUX

V_{dd} : bias voltage

$I_{C_L-C_{MUX}}$: This is the current that flows through these capacitancies that cause propagation delay (C_L and C_{MUX}).

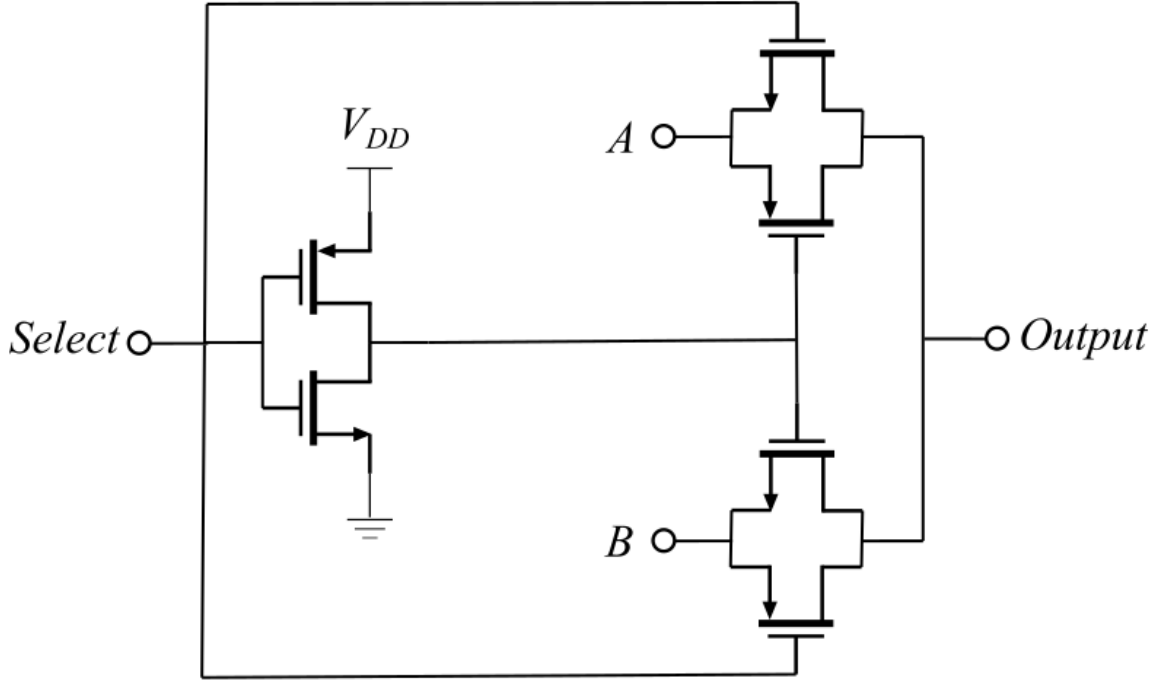


Figure 5.3: MUX that is used for this test structure and consists of two transmission gates with $W_{nmos} = 5 \mu\text{m} = W_{pmos}$ and $L_{nmos} = L_{pmos} = 80 \text{ nm}$.

For the 53rd stage the mathematical formula for the propagation delay when the selection signal is 1V (f_{DUT} is provided) is:

$$t_{d_{53rd\text{-stage}\text{-}DUT}} = \frac{(C_L + C_{MUX} + C_{DUT}) \cdot V_{dd}}{2 \cdot I_{C_L\text{-}C_{MUX}\text{-}C_{DUT}}} \quad (5.4)$$

where:

C_L : inverter's total load capacitance

C_{MUX} : capacitance added by MUX

C_{DUT} : device under test

V_{dd} : bias voltage

$I_{C_L\text{-}C_{MUX}\text{-}C_{DUT}}$: This is the current that flows through these capacitancies that cause propagation delay (C_L , C_{MUX} and C_{DUT}).

So the mathematical formula for the reference frequency (f_{ref} provided when selection signal is 0V) is:

$$f_{ref} = \frac{1}{2 \cdot (N - 2) \cdot t_d + 2 \cdot t_{d_{52nd\text{-stage}}} + 2 \cdot t_{d_{53rd\text{-stage}\text{-}ref}}} \quad (5.5)$$

where:

N: number of inverting stages

The mathematical formula for the frequency affected by DUT (f_{DUT} provided when selection signal is 1V) is:

$$f_{DUT} = \frac{1}{2 \cdot (N - 2) \cdot t_d + 2 \cdot t_{d_{52nd-stage}} + 2 \cdot t_{d_{53rd-stage-DUT}}} \quad (5.6)$$

where:

N: number of inverting stages

5.2 Estimation of the DUT's value using the test structure

5.2.1 Mathematical formula for DUT

In order to estimate the value of the DUT using this test structure, it is significant to reach a final mathematical formula. For this reason we must make some assumptions in order to deemed C_L and C_{MUX} . The assumption $I_{C_L-C_{MUX}} = I_{C_L-C_{MUX}-C_{DUT}} = I$ must be made. To make our assumption closer to reality, we used large transistors for each stage. This is why current starved inverters were used instead of simple inverters. Also we assume that all inverting stages are identical which implies that they introduce identical capacitancies C_L . Using the equations (5.1), (5.2), (5.3), (5.4), (5.5) ,(5.6) and the assumptions above we reach the formula for the value of DUT (C_{DUT}):

$$C_{DUT} = \frac{f_{ref} - f_{DUT}}{V_{dd} \cdot f_{ref} \cdot f_{DUT}} \cdot I \quad (5.7)$$

where:

I : the current that is discussed above

This way we can find the value of DUT if the average value of the current I is known.

5.2.2 Estimation of DUT's value, Monte Carlo Simulations and other graphs

Monte Carlo simulations are implemented for each DUT. At first, only DUT's variation is introduced. After Monte Carlo simulation is made with variation introduced by capacitor and transistors of the inverting stages. This separation is made to make it obvious if the transistors of the test structure (transistors of each inverting stage) introduce a variation that distorts the estimation of DUT's Value.

Simulations with only Capacitor's Variation

The Table 5.1 below is made with data from Monte Carlo simulation. In this simulation only DUT's variation was taken into account. We assume that transistors are ideal and that inverting

stages are identical. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1,462	0,08334	5,7004103967	0,462	46,2
10	9,864	0,5411	5,4856042174	-0,136	-1,36
20	19,39	0,9777	5,0422898401	-0,61	-3,05
30	29,86	1,504	5,03683858	-0,14	-0,4666666667
40	41,15	2,044	4,9671931956	1,15	2,875
50	50,31	2,417	4,804213874	0,31	0,62
60	61,27	2,915	4,7576301616	1,27	2,1166666667
70	72,41	3,378	4,6651015053	2,41	3,4428571429
80	84,67	4,867	5,7481988898	4,67	5,8375
90	97,45	5,564	5,7095946639	7,45	8,2777777778
100	109,5	5,83	5,3242009132	9,5	9,5

Table 5.1: Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account

According to Table 5.1, graphs were plotted from which significant conclusions were extracted.

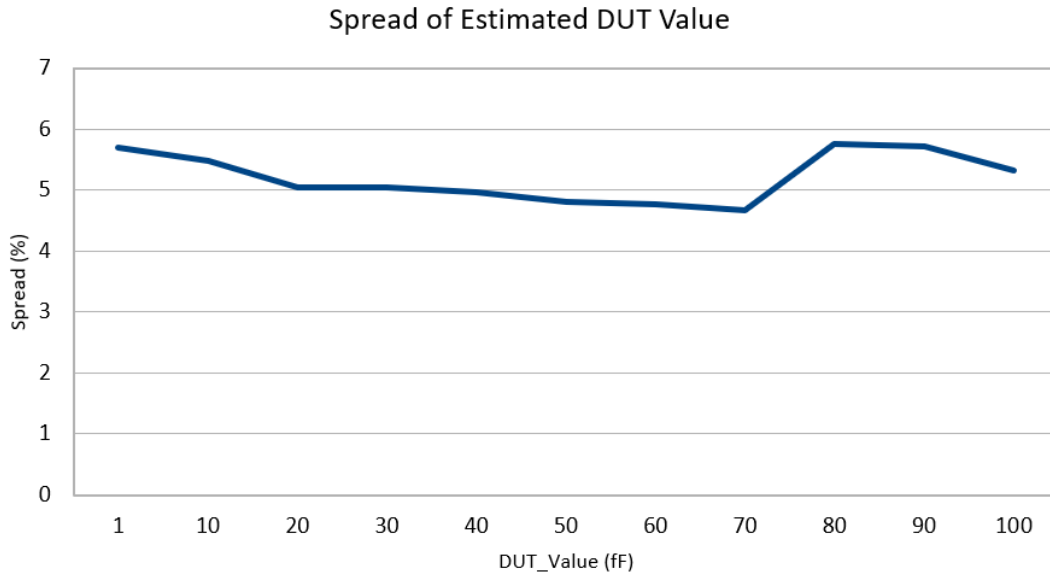


Figure 5.4: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

It is obvious that Spread of Estimated DUT Value decreases (not linear) for DUTs with values until **70 fF**. After this value, Spread takes unexpected values (Fig.5.4).

Relative Error also decreases until DUT value is **10 fF**. After this value Relative Error remains almost constant till DUT value is **70 fF** (Fig.5.5).

In addition, it is obvious the test structure cannot accurately calculate the value of small capacitors (**< 10 fF**) even if transistors do not introduce variation.

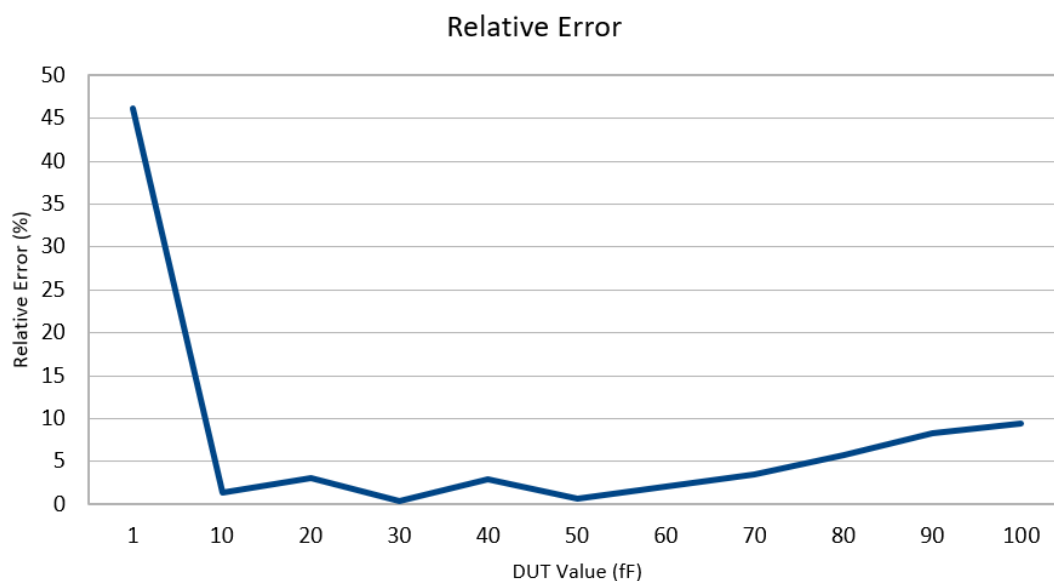


Figure 5.5: Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

Simulations with only transistor's Variation

The Table 5.2 below is made with data from Monte Carlo simulation. In this simulation only transistor's variation was taken into account. We assume that the DUT is ideal. The transistors of Ring Oscillator are not identical because each transistor may introduce a different variation. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1,441	0,1464	10,159611381	0,441	44,1
10	9,823	0,4929	5,0178153314	-0,177	-1,77
20	19,66	1,038	5,2797558494	-0,34	-1,7
30	30,11	1,52	5,0481567586	0,11	0,3666666667
40	40,37	2,119	5,248947238	0,37	0,925
50	50,63	2,674	5,2814536836	0,63	1,26
60	62,3	3,345	5,3691813804	2,3	3,8333333333
70	72,74	4,013	5,5169095408	2,74	3,9142857143
80	84,78	4,594	5,4187308327	4,78	5,975
90	96,93	5,116	5,2780356959	6,93	7,7
100	109,5	5,748	5,2493150685	9,5	9,5

Table 5.2: Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account

According to Table 5.2 graphs were plotted from which significant conclusions were extracted.

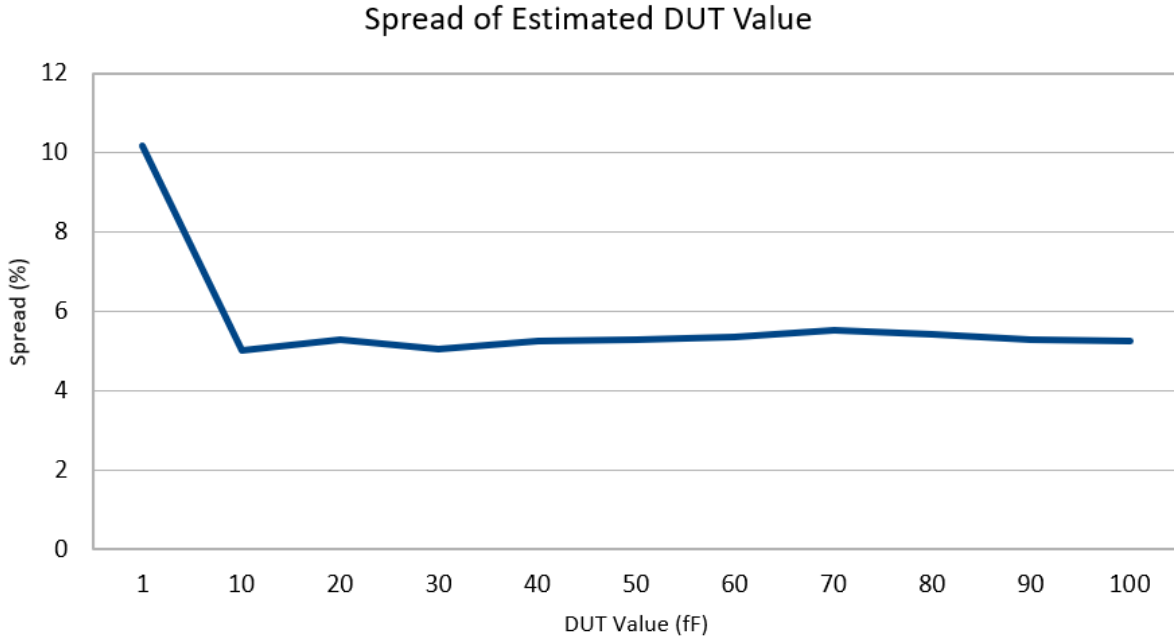


Figure 5.6: Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account.

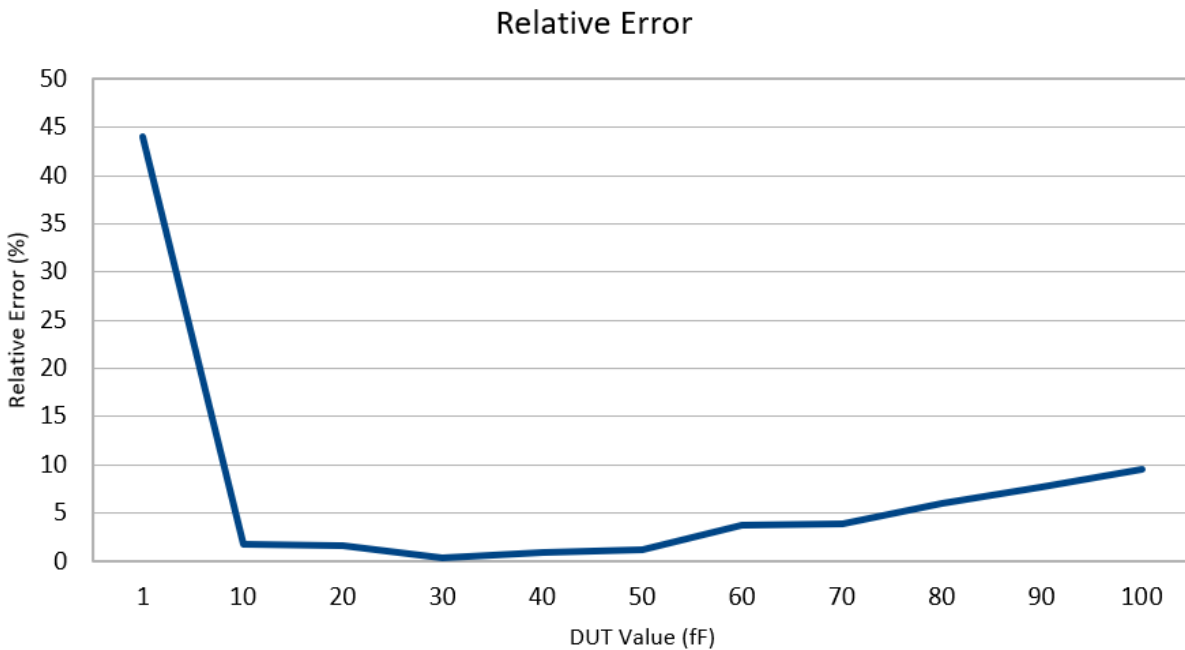


Figure 5.7: Relative Error as a function of real DUT Value when only transistor's variation is taken into account.

It is obvious that Spread of Estimated DUT Value decreases (not linear) and then remains

almost constant (Fig.5.6).

Relative Error also decreases until DUT value is **30 fF**. After this value Relative Error remains almost constant until DUT value is **50 fF**. Until **70 fF** the relative error of estimation is lower than 4% (Fig.5.7).

In addition, it is obvious the test structure cannot accurately calculate the value of small capacitors (< **10 fF**). In the same time this test structure could accurately estimate the values of bigger capacitors as shown at Table 5.2 when only transistor's variation is taken into account.

From these observations we can conclude that the test structure can accurately measure capacitors from **10 fF** to **70 fF** when considering only transistor's variation.

Simulations with DUT's and transistor's Variation

The Table 5.3 below is made with data from Monte Carlo simulation. In this simulation DUT's and transistor's variation were taken into account. Now each stage of Ring Oscillators is not identical with the other stages because each transistor may introduce a different variation. Variation also introduced by transistors of MUX. In addition, the DUT is not ideal because it introduces variation in our calculations. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1,442	0,1495	10,3675450763	0,442	44,2
10	9,766	0,6999	7,1667007987	-0,234	-2,34
20	19,58	1,459	7,4514811032	-0,42	-2,1
30	29,96	2,311	7,7136181575	-0,04	-0,1333333333
40	40,15	3,066	7,6363636364	0,15	0,375
50	50,46	3,87	7,6694411415	0,46	0,92
60	61,49	4,757	7,7362172711	1,49	2,4833333333
70	72,42	5,618	7,7575255454	2,42	3,4571428571
80	84,49	6,65	7,8707539354	4,49	5,6125
90	96,52	7,618	7,8926647327	6,52	7,2444444444
100	109,1	8,64	7,919340055	9,1	9,1

Table 5.3: Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation was taken into account

The Spread of Estimated DUT Value decreases (not linear) until **10 fF**. After there is a slight increase and then it remains almost constant until **70 fF** (Fig.5.8).

Relative Error also decreases until DUT value is **30 fF**. After this value Relative Error remains almost constant until DUT value is **50 fF**. Until **70 fF** the relative error of estimation is lower than 4% (Fig.5.9).

In addition, it is obvious the test structure cannot accurately calculate the value of small capacitors (< **10 fF**).

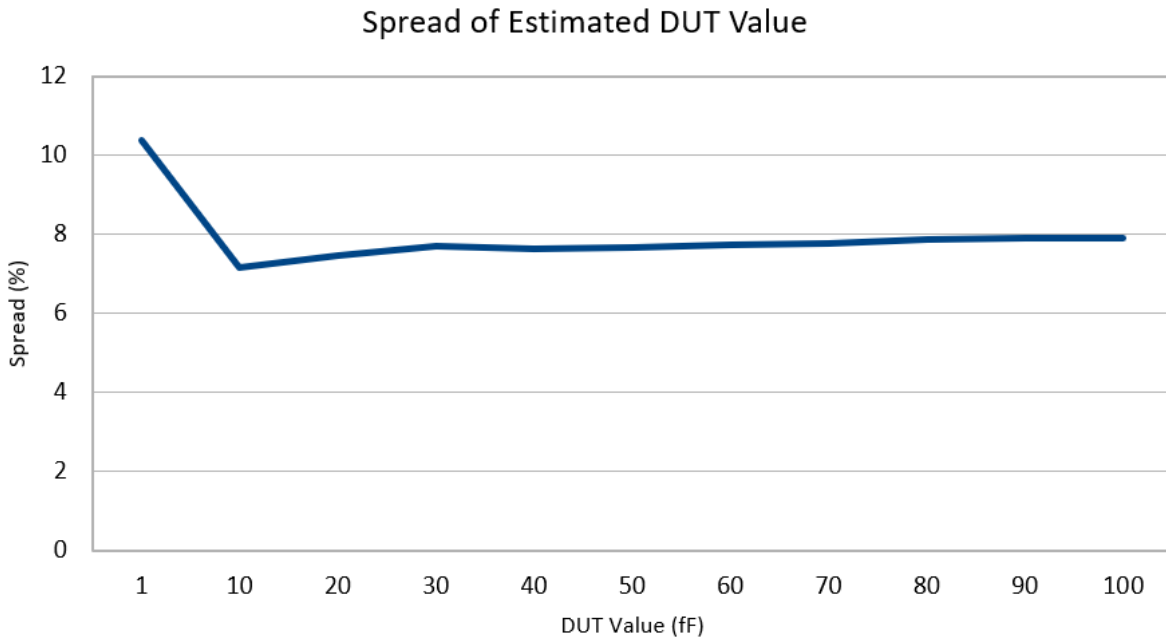


Figure 5.8: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.

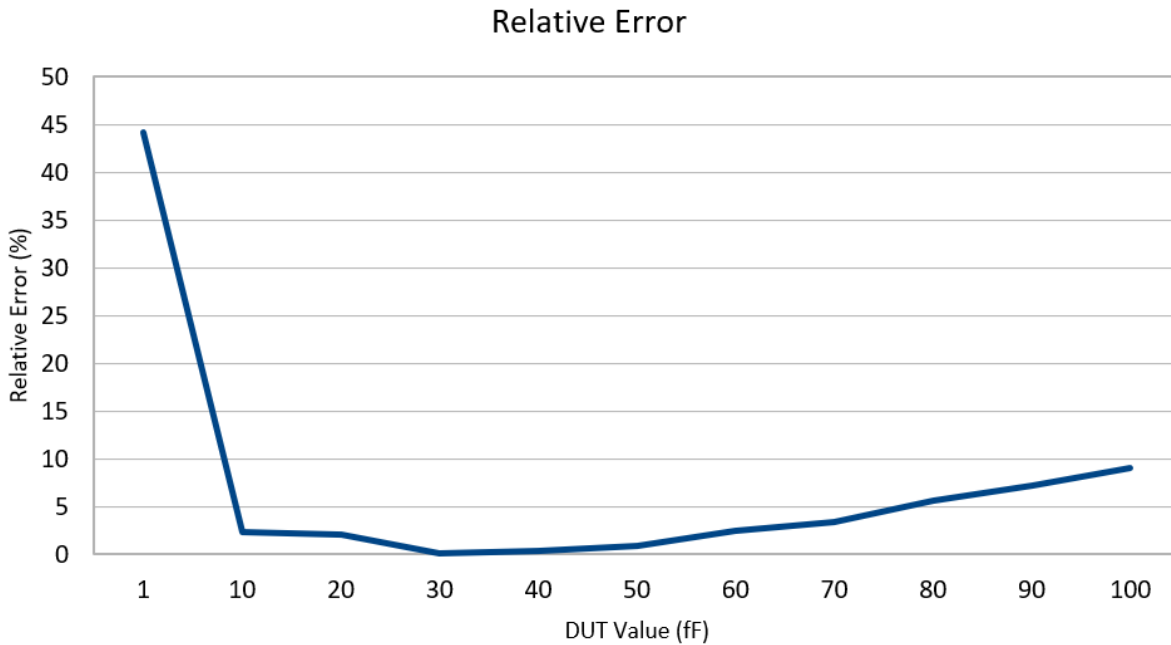


Figure 5.9: Relative Error as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken.

5.2.3 Conclusions

In order to draw conclusions, it is necessary to compare the tables and graphs above. Particular importance should be given to the comparison of Tables 5.1 and 5.3. Table 5.1 consists of data

for which only the capacitor's variation has been taken into account. Table 5.3 consists of data for which capacitor's and transistor's variation have been taken into account.

It is obvious that when transistor's variation is ignored (Table 5.1) the Spread of Estimated Mean Capacitor Value is lower than the case when no device variation is ignored (Table 5.3) almost for every DUT. This means that transistors of inverting stages introduce variation that could distort the estimation of DUT. Especially when DUT is very small (1fF), Spread of estimation when only DUT's variation is taken into account is 5,7%, but when the variation of any device is not ignored, then the spread almost doubles. This means that transistors of inverting stages introduce variation that could distort the estimation of DUT. This is why Relative Error and Spread have big values when we measure small capacitors ($< 10\text{fF}$). Although we could observe that spread of measurement of small capacitors with this test structure is lower than the spread with the previous test structure.

As for DUTs greater than 10fF , when only DUT's variation is taken into account then the spread is around 5%. When considering the variations of all devices, then the spread is about 7%. This means that the measurement of larger DUTs is less affected by the variation introduced by the transistors of the test structure than the measurement of small DUTs.

The structure measures sufficient capacitors in the range 10fF - 50fF (Relative Error $< 3\%$) (Table 4.2).

A disadvantage is that currents must be measured, which is a difficult process.

In order to decrease the spread at our estimations, a way to decrease transistor's variation must be found.

6

Test structure using a single Cross-Coupled Oscillator

6.1 Process Monitoring of Capacitor's Value using a Cross-Coupled Oscillator

Another way to characterize capacitors through oscillation's frequency is described below. In this section a Cross-Coupled Oscillator will be used in order to measure capacitor's (DUT) Value through oscillation's frequency. We expect smaller effect of process variation on our measurements because this test structure is simpler than the previous. The way that this circuit makes oscillation is well-known [11].

The Cross-Coupled oscillator is a LC oscillator consists of two transistors, two inductors and a capacitor. In order to design the Cross-Coupled oscillator MOSFET transistors (two NMOS transistors) are used. The transistor models which are described previously are used also here. The capacitor used for this oscillator is actually the Device Under Test and the Cross-Coupled oscillator is the test structure. Inductors introduce almost no process variation.

A disadvantage of this test structure is that inductors are in general very big devices. Therefore this test structure takes a lot of space.

In addition, here we must assume that transistors add no capacitance ($C_L \rightarrow 0$). In order to make this assumption closer to reality we use as small transistors as possible. Although these transistors could not be very small because this test structure cannot oscillate when transistors are very small and the capacitor big.

The test structure described at this section is shown below (Fig.6.1).

The mathematical formula that describes the oscillation frequency for LC oscillators is well-known [11] and it is shown below:

$$\omega_{osc} = \frac{1}{\sqrt{L \cdot C}} \implies f_{osc} = \frac{1}{2\pi\sqrt{L \cdot C}} \quad (6.1)$$

where:

L: value of one of the two inductors used

C: value of the capacitor used

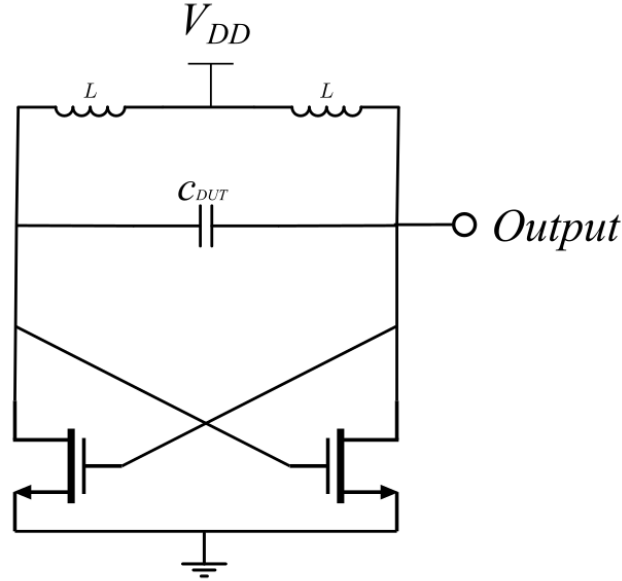


Figure 6.1: Cross-Coupled Oscillator used as Test Structure with $W_{nmos} = 2\mu\text{m}$ and $L_{nmos} = 80\text{nm}$

6.2 Estimation of the DUT's value using the test structure

6.2.1 Mathematical formula for DUT

In order to estimate the value of the DUT using this test structure, it is significant to reach a final mathematical formula. As we already said the capacitor of the LC oscillator is actually here the DUT. Using the equation (6.1) and assuming that $C = C_{DUT}$ we have the formula for the value of DUT (C_{DUT}):

$$f_{osc} = \frac{1}{2\pi\sqrt{L \cdot C_{DUT}}} \Rightarrow C_{DUT} = \frac{1}{4\pi^2 \cdot f_{osc}^2 \cdot L} \quad (6.2)$$

For this test structure, it is obvious that no current appears at the mathematical formula. So it is not necessary to measure any current. This is a very significant observation because it is very difficult to measure current on the wafer, especially for nanoscale ICs.

6.2.2 Estimation of DUT's value, Monte Carlo Simulations and other graphs

Monte Carlo simulations are implemented for each DUT. At first, only DUT's variation is introduced. After Monte Carlo simulation is made with variation only for the transistors. At last Monte Carlo simulations are made with the variation of transistors and capacitor (DUT). This separation is made to make it obvious if the transistors of the test structure introduce a variation that distorts the estimation of DUT's Value.

Simulations with only Capacitor's Variation The Table 6.1 below is made with data from Monte Carlo simulation. In this simulation only DUT's variation was taken into account. We assume that transistors are ideal and perfectly matched. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	5,178	0,17898	3,4565469293	4,178	417,8
10	13,48	0,4582	3,3991097923	3,48	34,8
20	23,25	0,9549	4,1070967742	3,25	16,25
30	33,25	1,448	4,354887218	3,25	10,8333333333
40	43,35	1,944	4,4844290657	3,35	8,375
50	53,45	2,437	4,5594013096	3,45	6,9
60	63,6	2,922	4,5943396226	3,6	6
70	73,73	3,418	4,6358334464	3,73	5,3285714286
80	83,72	3,9	4,6583850932	3,72	4,65
90	94,11	4,402	4,6775050473	4,11	4,5666666667
100	104,3	4,885	4,6836049856	4,3	4,3

Table 6.1: Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account

According to Table 6.1 graphs were plotted from which significant conclusions were extracted.

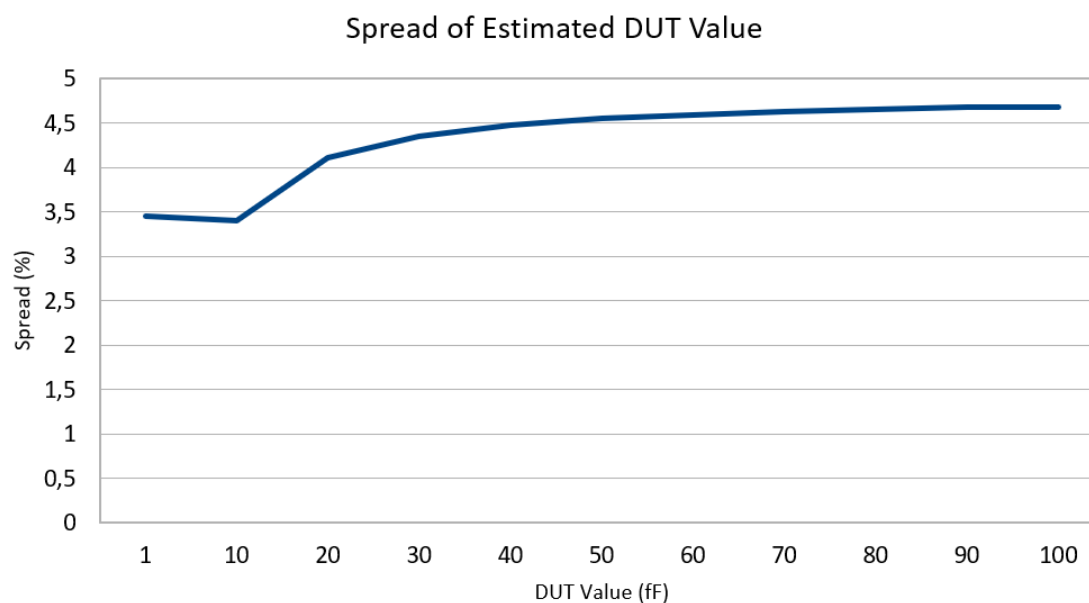


Figure 6.2: Spread of Estimated DUT Value as a function of expected by the designerl DUT Value when only DUT's variation is taken into account.

We can observe that the Relative Error of the estimation decreases (not linear) for bigger DUTs (Fig.6.3) but it remains high (Relative Error>4%). Figure 6.3 proves that this test structure has not very good accuracy, especially for smaller DUTs, when only capacitor's variation is taken into account.

Spread is almost constant (Fig.6.2) when only capacitor's variation is taken into account.

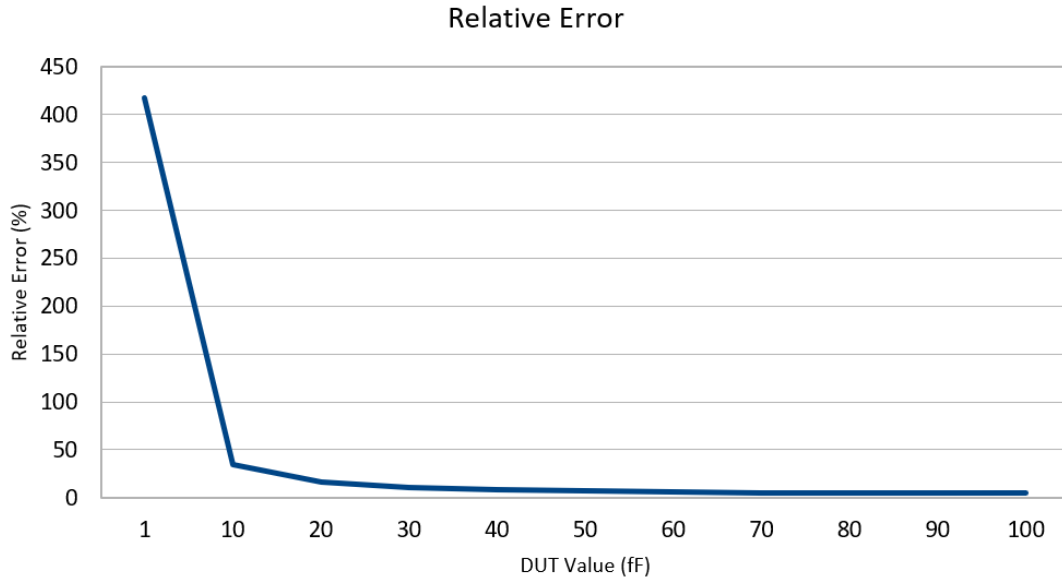


Figure 6.3: Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

Simulations with only transistor's Variation The Table 6.2 below is made with data from Monte Carlo simulation. In this simulation only transistor's variation was taken into account. We assume that the DUT is ideal. The transistors are not identical because each transistor may introduce a different variation. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	5,18	0,01084	0,2092664093	4,18	418
10	13,51	0,005971	0,0441968912	3,51	35,1
20	23,32	0,0035891	0,0153906518	3,32	16,6
30	33,36	0,008962	0,0268645084	3,36	11,2
40	43,51	0,009851	0,0226407722	3,51	8,775
50	53,65	0,00893	0,0166449208	3,65	7,3
60	63,84	0,00986	0,0154448622	3,84	6,4
70	74,01	0,01003	0,0135522227	4,01	5,7285714286
80	84,22	0,03887	0,0461529328	4,22	5,275
90	94,47	0,01117	0,0118238594	4,47	4,966666667
100	104,7	0,01597	0,0152531041	4,7	4,7

Table 6.2: Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account

According to Table 6.2 graphs were plotted from which significant conclusions were extracted.

We can observe that the Relative Error of the estimation decreases (not linear) for bigger DUTs (Fig.6.5) but even in this case it remains high. Figure 6.5 proves that this test structure has not very good accuracy, especially for smaller DUTs.

Spread is bigger when DUT is smaller than 10 fF. This is because the circuit is more sensitive to process variation of transistors when measuring very small capacitors. For DUTs bigger than 10 fF Spread remains almost constant (Fig.6.4) when only transistors' variation is taken into account. In general transistors in this test structure introduce almost no variation (Spread < 1%).

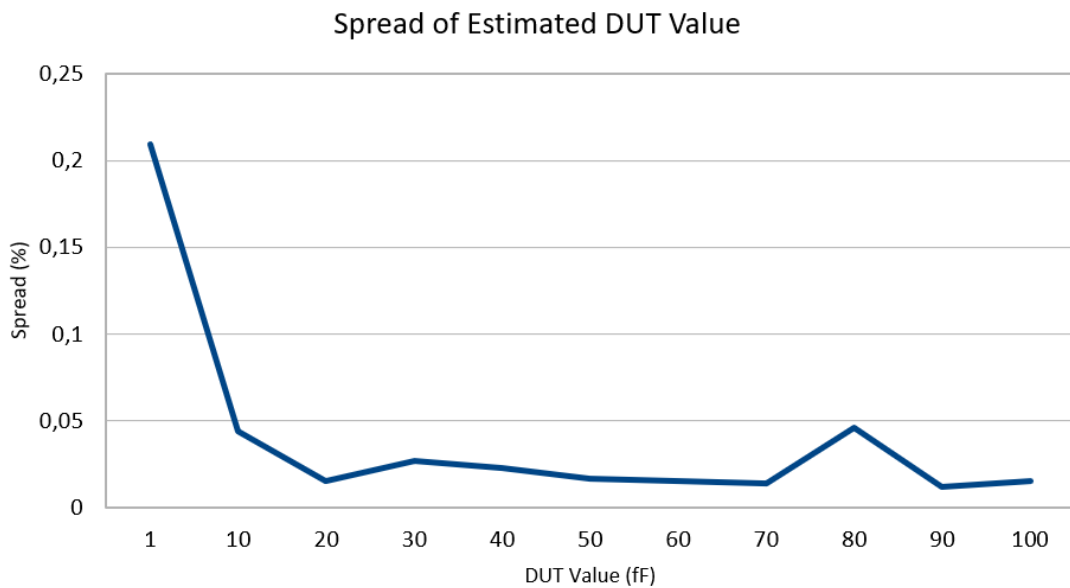


Figure 6.4: Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account.

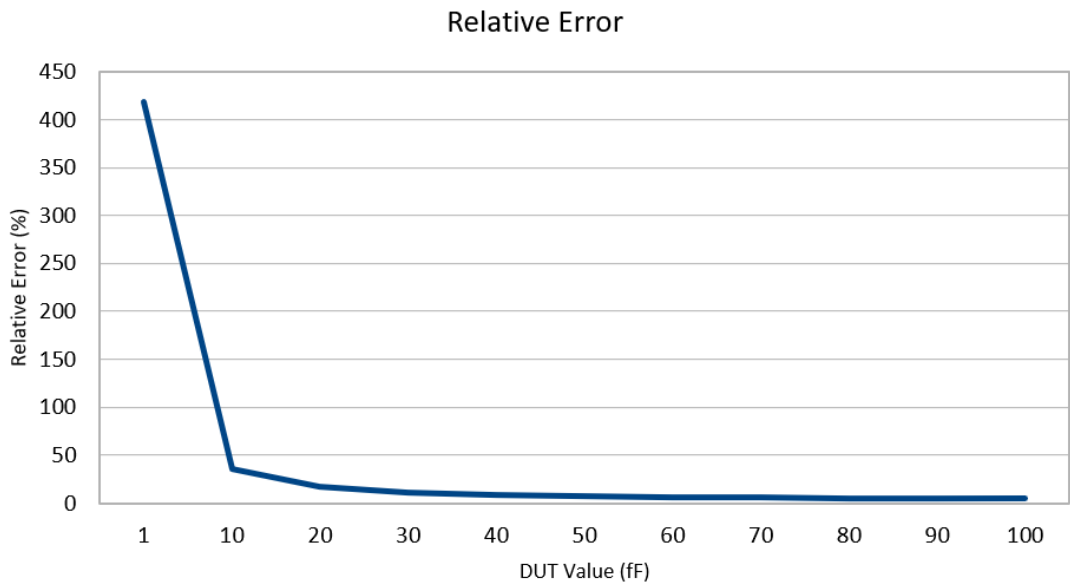


Figure 6.5: Relative Error as a function of real DUT Value when only transistor's variation is taken into account.

Simulations with DUT's and transistor's Variation The Table 6.3 below is made with data from Monte Carlo simulation. In this simulation DUT's and transistor's variation were taken into account. Now the transistors are not identical because each transistor may introduce a different variation. Also the DUT is not ideal because it introduces variation in our calculations. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	5,117	0,20583	4,0224741059	4,117	411,7
10	13,48	0,4573	3,3924332344	3,48	34,8
20	23,25	0,9553	4,1088172043	3,25	16,25
30	33,24	1,452	4,3682310469	3,24	10,8
40	43,35	1,944	4,4844290657	3,35	8,375
50	53,46	2,438	4,5604190049	3,46	6,92
60	63,6	2,929	4,6053459119	3,6	6
70	73,25	3,391	4,6293515358	3,25	4,6428571429
80	83,91	3,936	4,6907400787	3,91	4,8875
90	94,11	4,401	4,6764424609	4,11	4,5666666667
100	104,3	4,887	4,6855225312	4,3	4,3

Table 6.3: Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation were taken into account

According to Table 6.3 graphs were plotted from which significant conclusions were extracted.

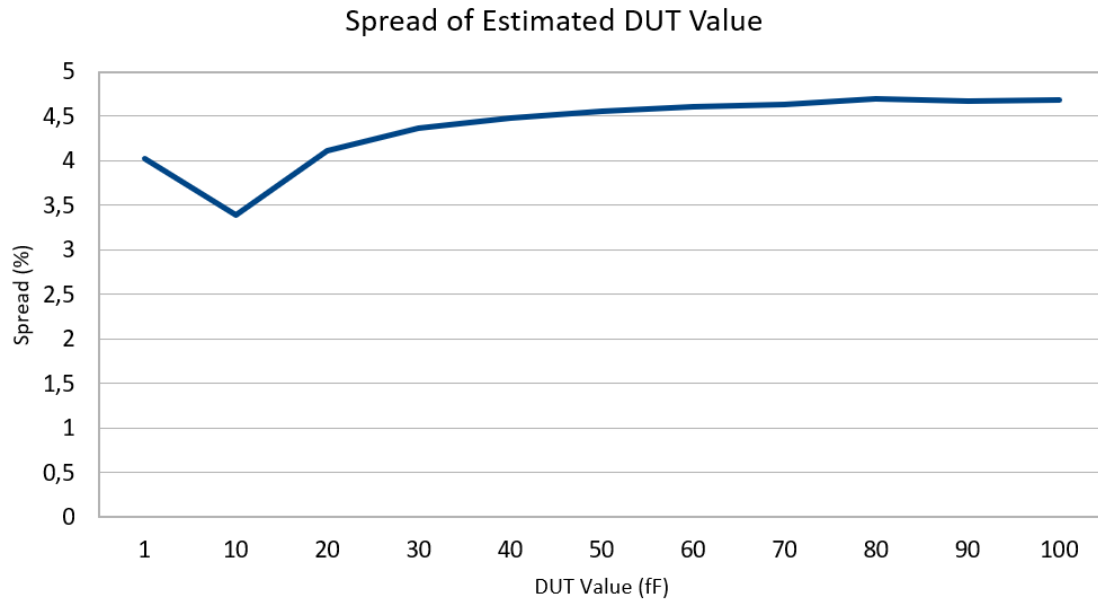


Figure 6.6: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.

We can observe that the Relative Error of the estimation decreases (not linear) (Fig.6.7) but it still remains high. Figure 6.7 proves that this test structure has not very good accuracy, especially for smaller DUTs, when capacitor's and transistors' variation is taken into account.

Spread is almost constant (Fig.6.6) when capacitor's and transistors' variation is taken into account. Graph 6.6 is almost the same with graph 6.2 when only capacitor's variation is taken into account. It proves that transistors add almost no process variation.

6.2.3 Conclusions

In order to draw conclusions, it is necessary to compare the tables and graphs above. Particular importance should be given to the comparison of Tables 6.1 and 6.3. Table 6.1 consists of data for which only the capacitor's variation has been taken into account. Table 6.3 consists of data

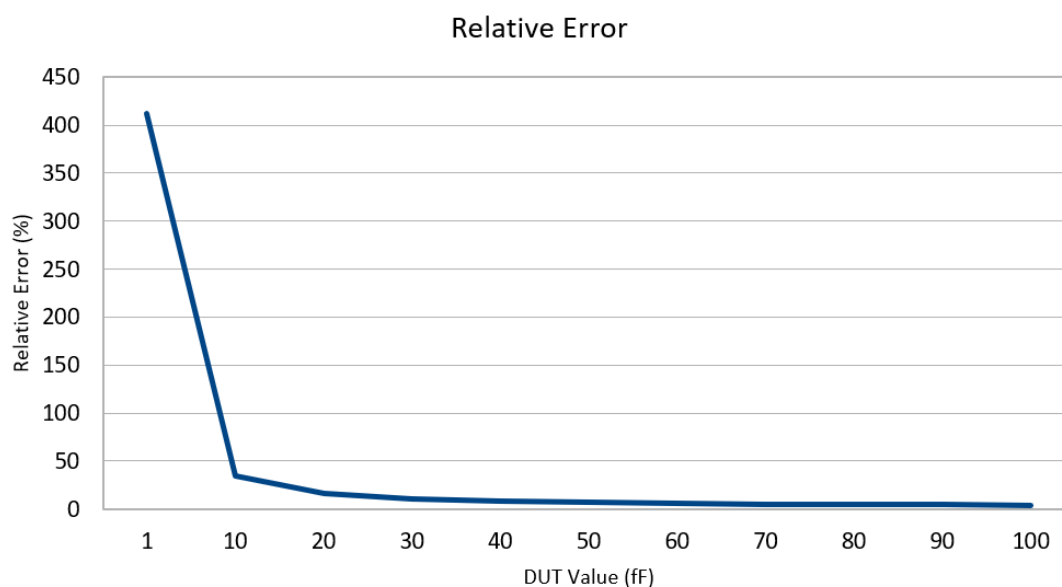


Figure 6.7: Relative Error as a function of expected by the designer DUT Value when transistor's and capacitor's variation are taken into account.

for which capacitor's and transistor's variation have been taken into account.

It is obvious that when transistor's variation is ignored (Table 6.1) the Spread of Estimated Mean Capacitor Value is almost the same with the case when no device variation is ignored (Table 6.3). This means that transistors introduce variation which has almost negligible effect on the final measurements regarding Spread as we noticed above. We have to notice that using small dimensions of the transistors leads to increased process variation ($\sigma\Delta V_{th} = \frac{A_{V_{th}}}{\sqrt{W \cdot L}}$). But as we have already said the effect of transistors' process variation does not distort the final measurements.

Unfortunately, the Relative Error in each case proves in general that this test structure is not very accurate. This happens because we cannot calculate and subtract from our final measurements the value of the capacitances added by transistors (C_L). We have assumed that $C_L = 0$ which is not true even for very small transistors.

Despite its not very good measurement accuracy and the large space it occupies, this test structure has a very significant advantage. It is the only test structure that we propose in this work, which in the final formula that calculating the actual capacitor value does not include the measurement of any current. This is very significant because it is very difficult to measure currents on a nanoscale chip of wafer.

7

Test structure using CBCM

7.1 Process Monitoring of Capacitor's Value using Charge-Based Capacitance Measurement (CBCM)

Another way to characterize capacitors is described below. In this section we will describe a method which characterizes capacitors without any oscillation. This method called Charge-Based Capacitance Measurement (CBCM) [12]. This test structure is completely simple and consists of 4 transistors and the DUT. We expect small effect of process variation on our measurements because this test structure is simple. The left and the right branch of the structure are actually pseudo-inverters. The circuit of test structure is shown below (Fig.7.1).

The left and right branches are both driven by two non-overlapping signals $V1$ and $V2$ as shown in Figure 7.2 below. These can be either generated off-chip or on-chip [12]. At this thesis we do not implement any on-chip non overlapping clock circuit. The purpose of these non-overlapping waveforms is to ensure that only one of the two transistors on either the left or right branch is conducting current at any given time in order to avoid short-circuit current. This current could introduce error at our measurements. When the PMOS transistor turns on, current flows from V_{dd} to charge the DUT. This amount of charge will then be subsequently discharged through the NMOS transistor into ground. The currents that are useful are measured at the source of the PMOSFET (or, alternatively at the source of the NMOSFET). The actual waveform of this charging current is not important - only its DC or average current value needs to be measured.

In order to measure the DUT we assume that the transistors of the two branches are perfectly matched. The left branch is the reference branch and the current that flows left branch's transistors (I_{ref}) is measured at the source of PMOS transistor. This current is described by the mathematical formula below:

$$I_{ref} = C_L \cdot V_{dd} \cdot f \quad (7.1)$$

where:

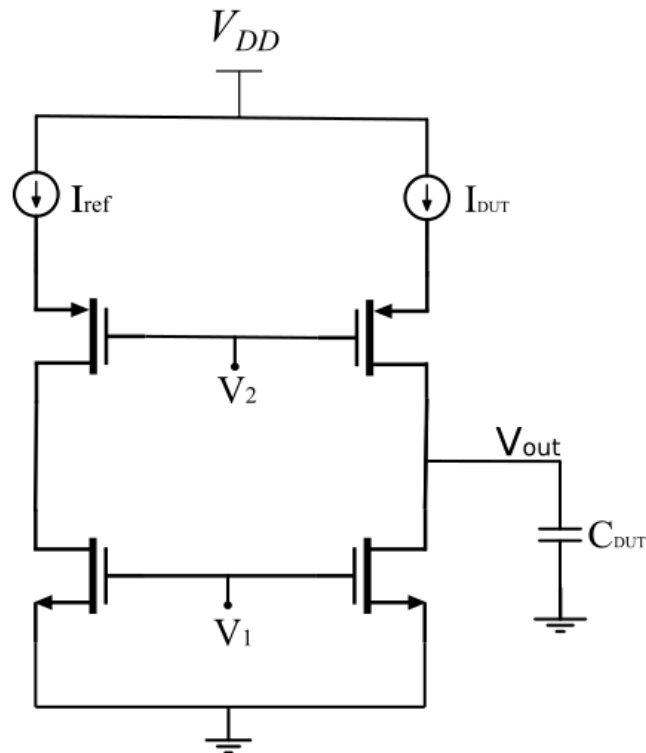


Figure 7.1: Test structure using Charge-Based Capacitance Measurement with $W_{nmos} = 2\ \mu\text{m}$, $W_{pmos} = 4\ \mu\text{m}$ and $L_{nmos} = L_{pmos} = 80\ \text{nm}$

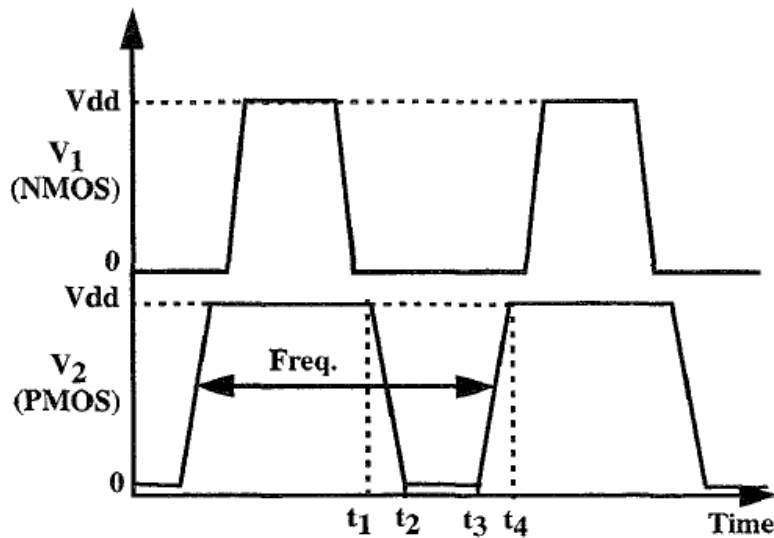


Figure 7.2: These non-overlapping NMOS and PMOS signals ensure no short circuit current

C_L : total capacitance that left branch's transistors introduce

V_{dd} : bias voltage

f : frequency of V_2 signal (Fig.7.2)

The right branch is the branch that drives the DUT (C_{DUT}) and the current that flows right branch's transistors (I_{DUT}) is measured at the source of PMOS transistor. The right branch's transistors introduce also capacitance as left branch's transistors. We made the assumption that branches are perfectly matched, so C_L is the same for both branches. Obviously f and V_{dd} are the same for both structures. The current I_{DUT} is described by the mathematical formula below:

$$I_{DUT} = (C_L + C_{DUT}) \cdot V_{dd} \cdot f \quad (7.2)$$

In order to prove equations (7.1) and (7.2) definition of average switching power dissipation of inverter must be used:

$$\begin{aligned} P_{avg} &= \int_0^T v(t) \cdot i(t) dt \implies \\ P_{avg} &= \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{out}(t) \cdot \left(-C \cdot \frac{dV_{out}(t)}{dt} \right) dt + \int_{\frac{T}{2}}^T (V_{dd} - V_{out}(t)) \cdot \left(C \cdot \frac{dV_{out}(t)}{dt} \right) dt \right] \implies \\ P_{avg} &= \frac{1}{T} \left[\left(-C \cdot \frac{V_{out}(t)^2}{2} \right) \Big|_0^{\frac{T}{2}} + \left(V_{dd} \cdot V_{out}(t) \cdot C - C \cdot \frac{V_{out}(t)^2}{2} \right) \Big|_{\frac{T}{2}}^T \right] \implies \\ P_{avg} &= C \cdot V_{dd}^2 \cdot f \end{aligned} \quad (7.3)$$

Using the definition of power $P_{avg} = I \cdot V_{dd}$ at equation (7.3):

$$I \cdot V_{dd} = C \cdot V_{dd}^2 \cdot f \implies I = C \cdot V_{dd} \cdot f \quad (7.4)$$

Here we have assumed that NMOS transistors of each branch conduct current from 0 to $\frac{T}{2}$ and respectively PMOS transistors conduct current from $\frac{T}{2}$ to T . In this case this is not true. NMOS and PMOS transistors actually conduct current for less time than $\frac{T}{2}$ (Fig.7.4) and the current waveforms are not as expected because NMOS transistors are faster than PMOS at 45nm technology (Fig.7.5, 7.7). To make this assumption closer to reality pulse widths of signals V1 and V2 are very similar.

When $C_{DUT} = 1\text{fF}$ the waveforms of currents and output voltage are shown at Figures 7.5 and 7.6. We assume that period T is between 25ns and 75ns (Fig.7.6). So $\frac{T}{2} = 50\text{ns}$. In order to prove the equations (7.1) and (7.2) we have assumed that NMOS transistors of each branch conduct current from 0 to $\frac{T}{2}$ and respectively PMOS transistors conduct current from $\frac{T}{2}$ to T . This is not happening in this case as shown. There is an error at our assumption because at time period $[\frac{T}{2}, \frac{T}{2} + 2.5\text{ns}]$, when no transistor is "ON", $V_{out} > V_{dd}$. In this way we integrate an area at this time period which cause an error at our assumption. For this reason an error is introduced at measurement of small capacitors.

When $C_{DUT} = 100\text{fF}$ we can observe at Figure 7.8 that the error of the assumption is not

that big as in the case when $C_{DUT} = 1\text{fF}$ because at the time period of the error $[\frac{T}{2}, \frac{T}{2} + 2.5\text{ns}]$ smaller area is integrated in equation 7.4. We need to assume that currents (Fig.7.7) flow as expected at a normal inverter (Fig.7.3). In general the error of the assumption is smaller for bigger DUTs.

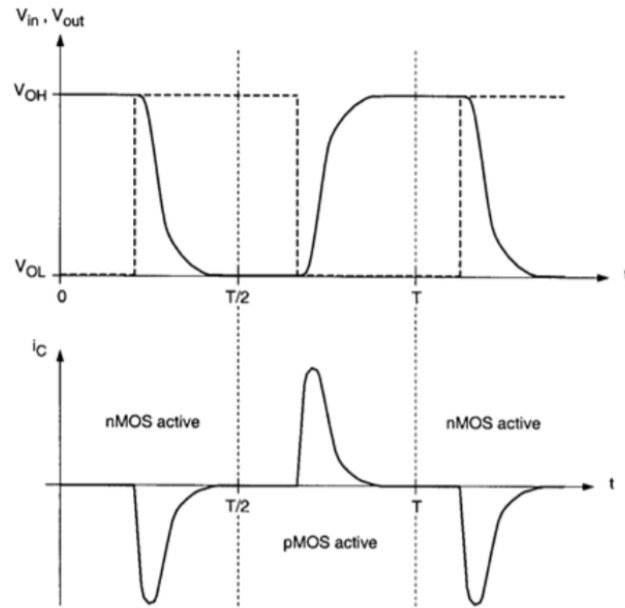


Figure 7.3: Typical input and output voltage waveforms and the capacitor current waveform during switching of the CMOS inverter

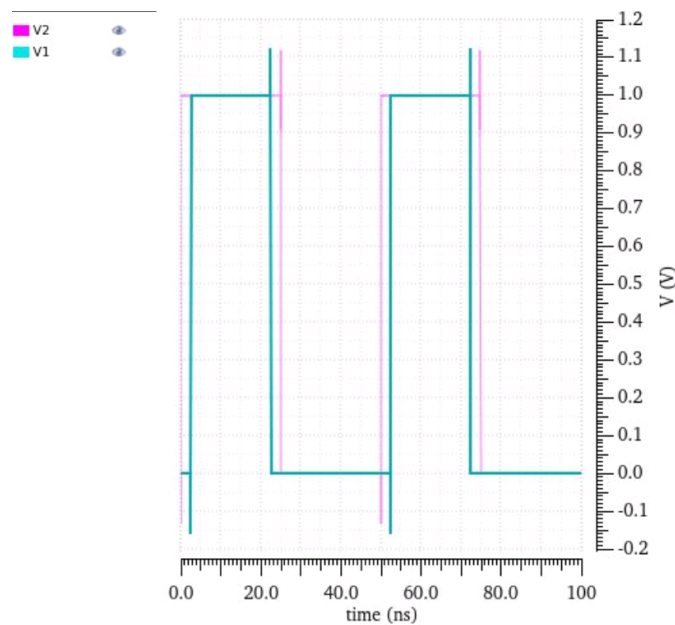
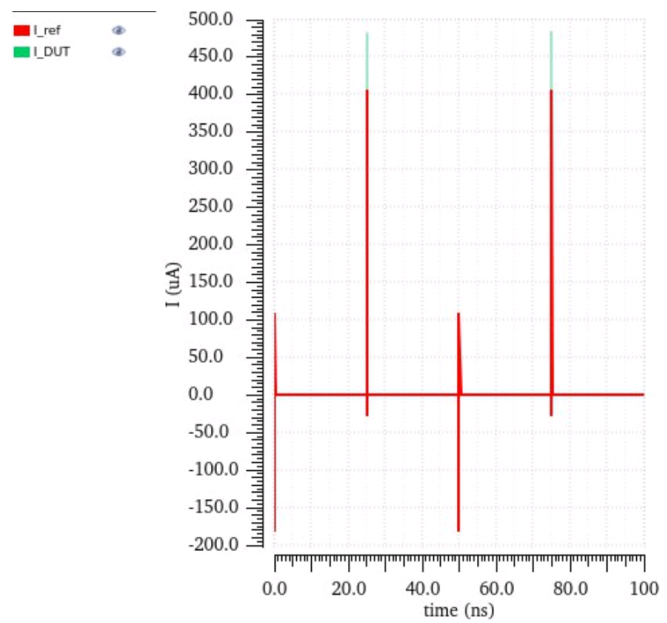
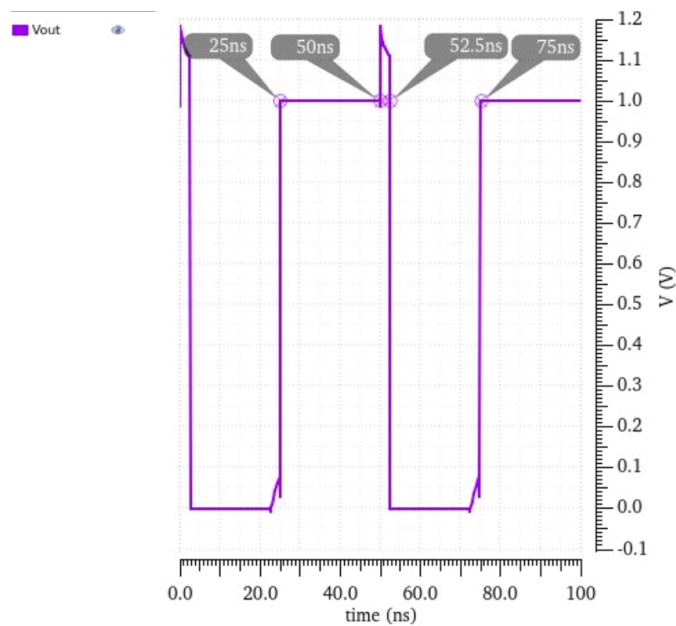


Figure 7.4: Waveforms V1 (NMOS) and V2 (PMOS)


 Figure 7.5: I_{ref} and I_{DUT} waveforms when $C_{DUT} = 1\text{ fF}$

 Figure 7.6: V_{out} waveform when $C_{DUT} = 1\text{ fF}$

7.2 Estimation of the DUT's value using the test structure

7.2.1 Mathematical formula for DUT

In order to estimate the value of the DUT using this test structure, it is significant to reach a final mathematical formula. Subtracting (7.2) from the (7.1) we reach the following mathematical

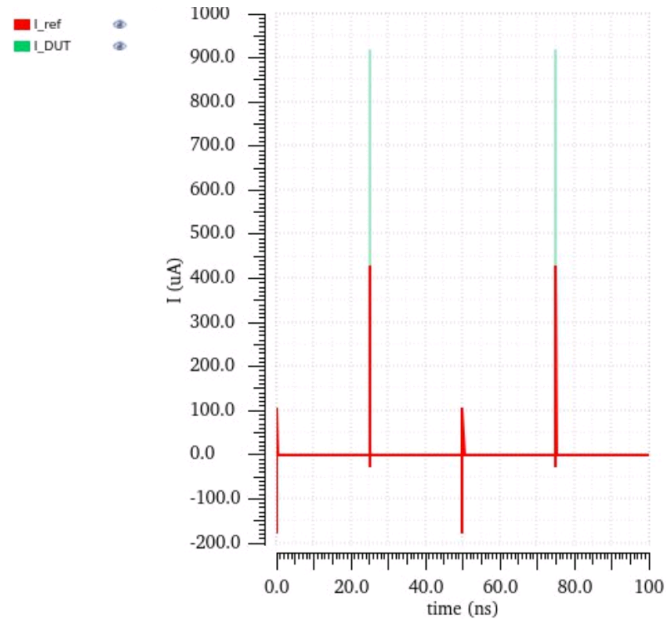


Figure 7.7: I_{ref} and I_{DUT} waveforms when $C_{DUT} = 100 \text{ fF}$

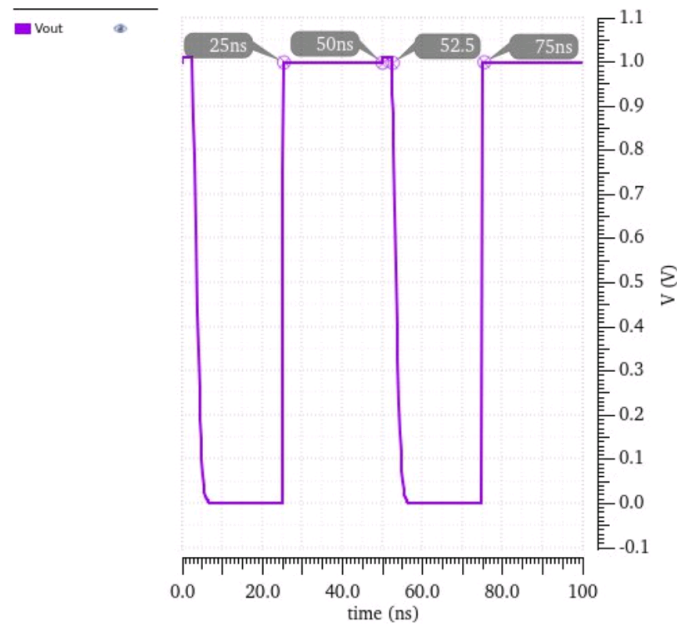


Figure 7.8: V_{out} waveform when $C_{DUT} = 100 \text{ fF}$

formula:

$$I_{DUT} - I_{ref} = C_{DUT} \cdot V_{dd} \cdot f \Rightarrow C_{DUT} = \frac{I_{DUT} - I_{ref}}{V_{dd} \cdot f} \quad (7.5)$$

In this formula we can observe that C_L is completely subtracted. This is very significant because there is no way to measure accurately this capacitance.

7.2.2 Estimation of DUT's value, Monte Carlo Simulations and other graphs

Monte Carlo simulations are implemented for each DUT. At first, only DUT's variation is introduced. After Monte Carlo simulation is made with variation only for the transistors. At last Monte Carlo simulations are made with the variation of transistors and capacitor (DUT). This separation is made to make it obvious if the transistors of the test structure introduce a variation that distorts the estimation of DUT's Value.

Simulations with only Capacitor's Variation The Table 7.1 below is made with data from Monte Carlo simulation. In this simulation only DUT's variation was taken into account. We assume that transistors are ideal and perfectly matched. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1,124	0,05382	4,7882562278	0,124	12,4
10	10,62	0,49	4,6139359699	0,62	6,2
20	20,7	0,9649	4,661352657	0,7	3,5
30	30,69	1,439	4,6888237211	0,69	2,3
40	40,65	1,916	4,7134071341	0,65	1,625
50	50,6	2,393	4,7292490119	0,6	1,2
60	60,54	2,87	4,7406673274	0,54	0,9
70	70,48	3,348	4,7502837684	0,48	0,6857142857
80	80,42	3,826	4,7575230042	0,42	0,525
90	90,35	4,304	4,7636967349	0,35	0,388888889
100	100,3	4,781	4,7666999003	0,3	0,3

Table 7.1: Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account

According to Table 7.1 graphs were plotted from which significant conclusions were extracted.

We can observe that the Relative Error of the estimation decreases (not linear) for bigger DUTs (Fig.7.10). Figure 7.10 proves that this test structure can very accurately calculate the value of capacitors bigger than **30 fF** (Relative Error < **3%** for DUTs bigger than **30 fF**) when only capacitor's variation is taken into account. .

Spread is almost constant (Fig.7.9) when only capacitor's variation is taken into account.

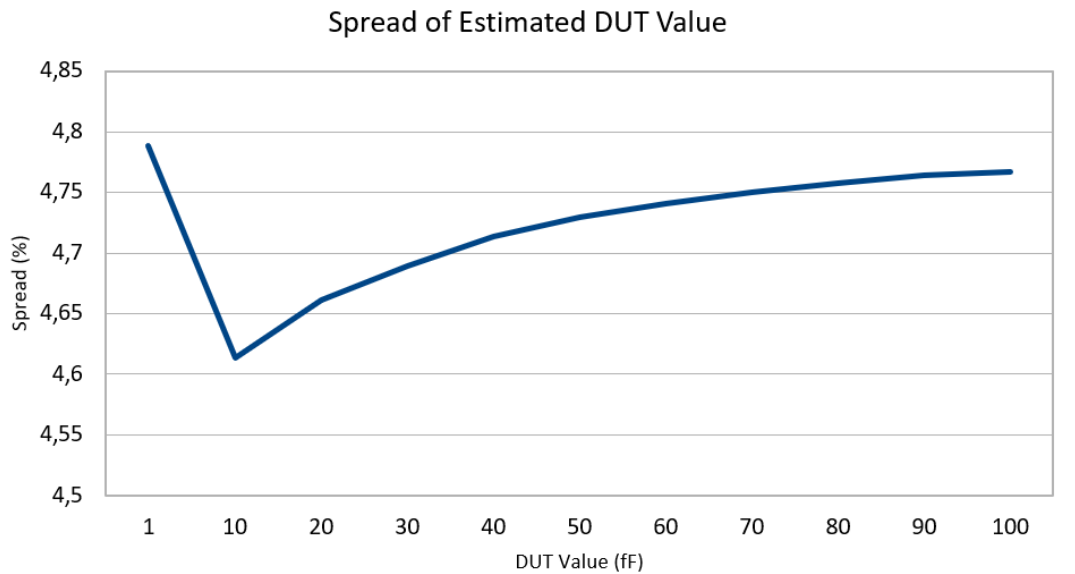


Figure 7.9: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

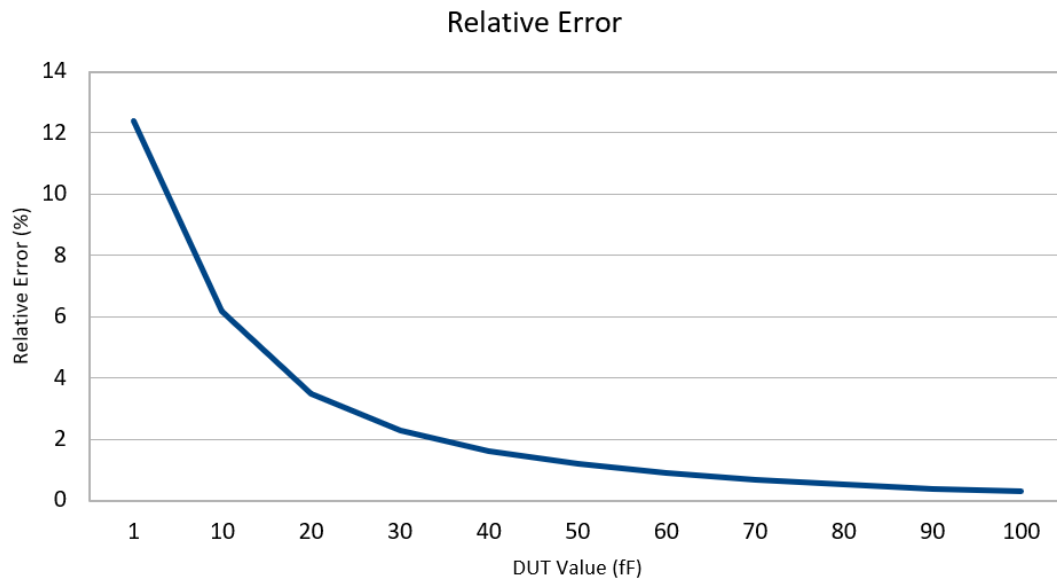


Figure 7.10: Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

Simulations with only transistor's Variation The Table 7.2 below is made with data from Monte Carlo simulation. In this simulation only transistor's variation was taken into account. We assume that the DUT is ideal. The transistors are not identical because each transistor may introduce a different variation. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

According to Table 7.2 graphs were plotted from which significant conclusions were extracted.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1,128	0,007292	0,6464539007	0,128	12,8
10	10,66	0,00595	0,0558161351	0,66	6,6
20	20,78	0,00657	0,0316169394	0,78	3,9
30	30,8	0,009631	0,0312694805	0,8	2,6666666667
40	40,8	0,01504	0,0368627451	0,8	2
50	50,79	0,02146	0,0422524119	0,79	1,58
60	60,77	0,02836	0,0466677637	0,77	1,2833333333
70	70,75	0,03511	0,0496254417	0,75	1,0714285714
80	80,72	0,04135	0,0512264618	0,72	0,9
90	90,69	0,04885	0,0538648142	0,69	0,7666666667
100	100,7	0,05592	0,055531281	0,7	0,7

Table 7.2: Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account

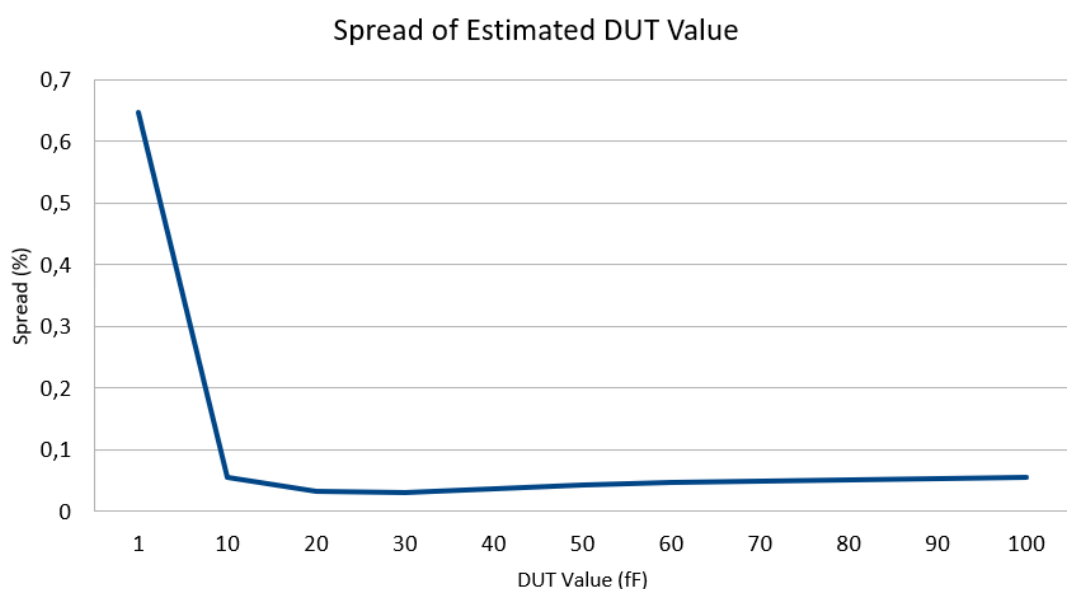


Figure 7.11: Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account.

We can observe that the Relative Error of the estimation decreases (not linear) for bigger DUTs (Fig.7.12). Figure 7.12 proves that this test structure can very accurately calculate the value of capacitors bigger than **30 fF** (Relative Error < 3% for DUTs bigger than **30 fF**) when only transistors' variation is taken into account. .

Spread is bigger when DUT is smaller than **10 fF**. This is because the circuit is more sensitive to process variation of transistors when measuring very small capacitors. For DUTs bigger than **10 fF** Spread remains almost constant (Fig.7.11) when only transistors' variation is taken into account. In general transistors in this test structure introduce almost no variation (Spread < 1%).

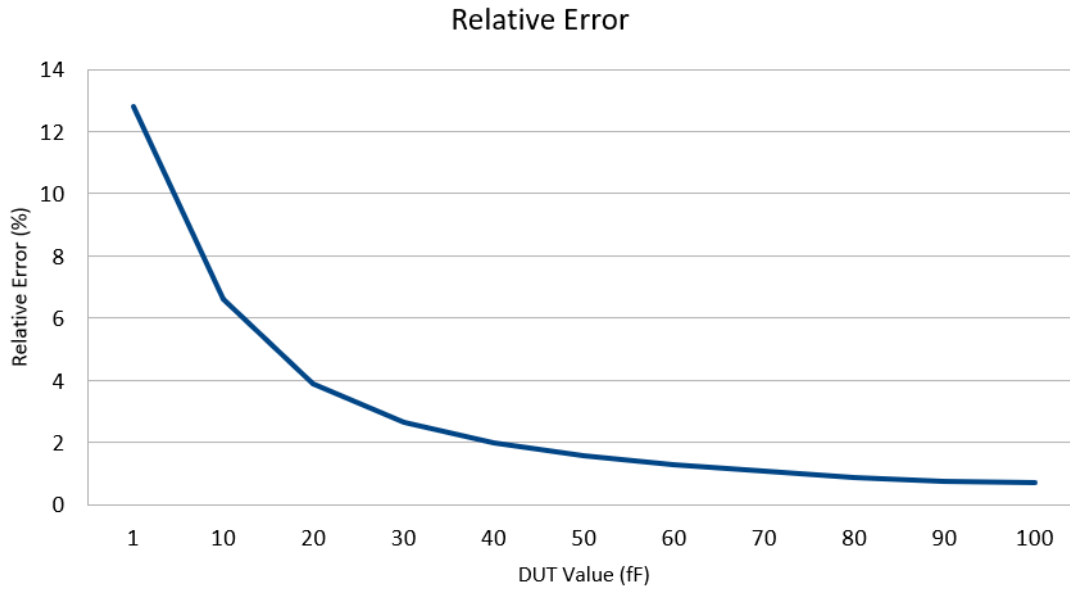


Figure 7.12: Relative Error as a function of real DUT Value when only transistor's variation is taken into account.

Simulations with DUT's and transistor's Variation The Table 7.3 below is made with data from Monte Carlo simulation. In this simulation DUT's and transistor's variation were taken into account. Now the transistors are not identical because each transistor may introduce a different variation. Also the DUT is not ideal because it introduces variation in our calculations. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

According to Table 7.3 graphs were plotted from which significant conclusions were extracted.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1,123	0,05498	4,8958147818	0,123	12,3
10	10,62	0,4906	4,6195856874	0,62	6,2
20	20,7	0,9646	4,6599033816	0,7	3,5
30	30,68	1,44	4,6936114733	0,68	2,2666666667
40	40,64	1,917	4,7170275591	0,64	1,6
50	50,59	2,385	4,7143704289	0,59	1,18
60	60,53	2,873	4,7464067405	0,53	0,8833333333
70	70,47	3,341	4,7410245495	0,47	0,6714285714
80	80,41	3,829	4,7618455416	0,41	0,5125
90	90,34	4,3	4,759796325	0,34	0,3777777778
100	100,3	4,786	4,7716849452	0,3	0,3

Table 7.3: Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation were taken into account

We can observe that the Relative Error of the estimation decreases (not linear) for bigger DUTs (Fig.7.14). Figure 7.14 proves that this test structure can very accurately calculate the value of capacitors bigger than 30fF (Relative Error < 3% for DUTs bigger than 30fF) when capacitor's and transistors' variation is taken into account.

Spread is almost constant (Fig.7.13) when capacitor's and transistors' variation is taken into account.

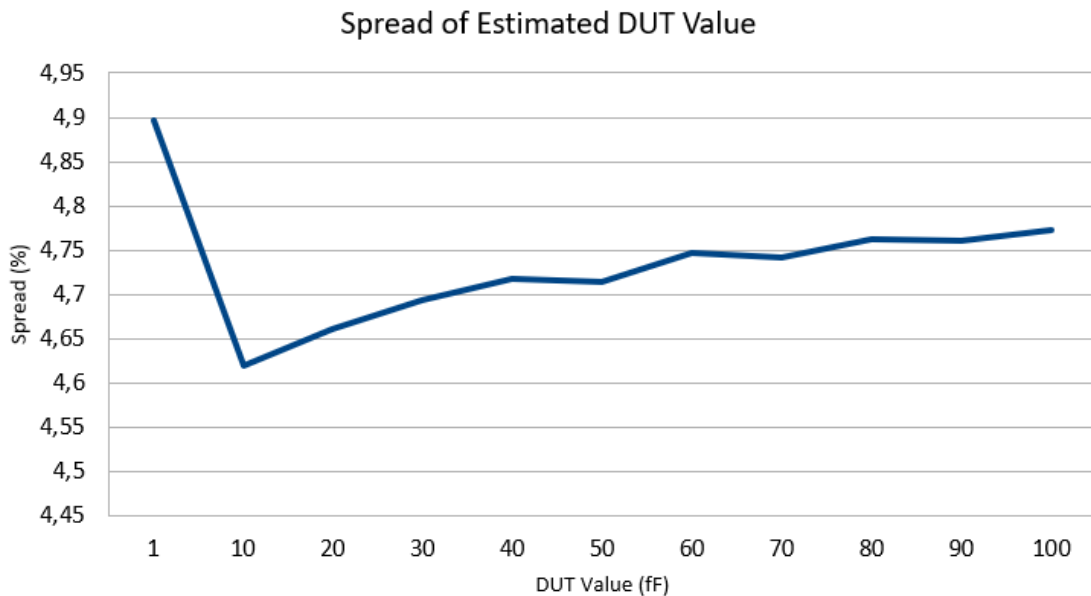


Figure 7.13: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.

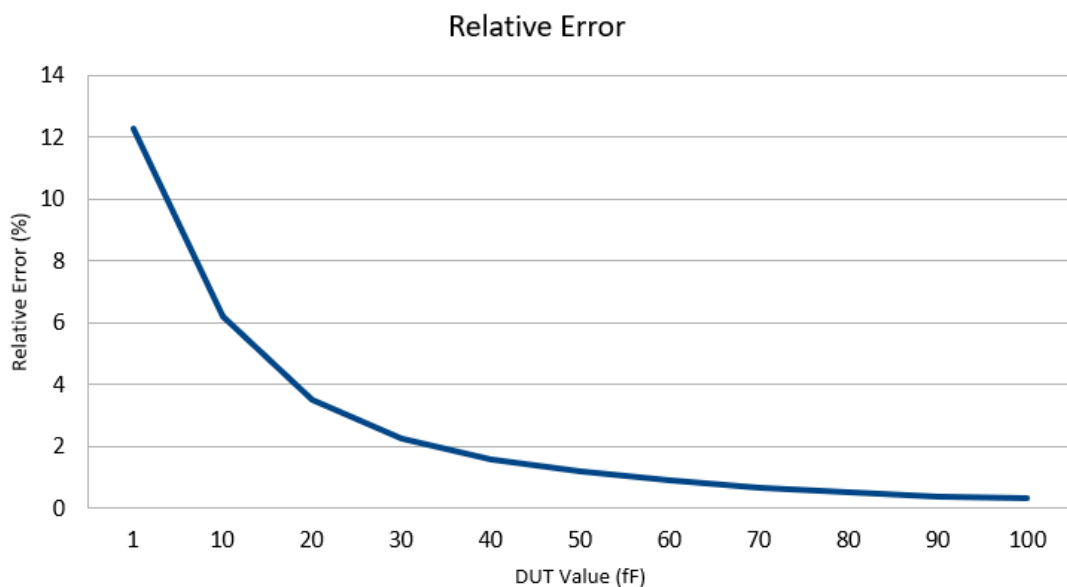


Figure 7.14: Relative Error as a function of expected by the designer DUT Value when transistor's and capacitor's variation are taken into account.

7.2.3 Conclusions

In order to draw conclusions, it is necessary to compare the tables and graphs above. Particular importance should be given to the comparison of Tables 7.1 and 7.3. Table 7.1 consists of data for which only the capacitor's variation has been taken into account. Table 7.3 consists of data for which capacitor's and transistor's variation have been taken into account.

It is obvious that when transistor's variation is ignored (Table 7.1) the Spread of Estimated Mean Capacitor Value is almost the same with the case when no device variation is ignored (Table 7.3). This means that transistors introduce variation which has almost negligible effect on the final measurements regarding Spread.

Also it is obvious that when transistors' variation is introduced, the accuracy of the Estimation of the Mean Capacitor's Value is not greatly affected. We have to note that using small dimensions of the transistors leads to increased process variation ($\sigma\Delta V_{th} = \frac{A_{V_{th}}}{\sqrt{W \cdot L}}$). But as we have already said the effect of transistor's process variation on the measurements for this test structure remains negligible.

In general this test structure can accurately measure all capacitors in the range **30 fF – 100 fF** (Relative Error < 3%) with low Spread.

A disadvantage is that currents must be measured, which is a difficult process.

In order to have more accurate estimations, a way to decrease the relative error of our measurements must be found.

8

Test structure using changed-CBCM

8.1 Process Monitoring of Capacitor's Value using changed Charge-Based Capacitance Measurement

This test structure is similar with that in chapter 7. The only difference is that instead of pseudo-inverters each branch is a normal inverter. This means that PMOS and NMOS transistors' gates of the same branch have the same signal (Fig.8.2). The circuit of test structure is shown below (Fig.8.1).

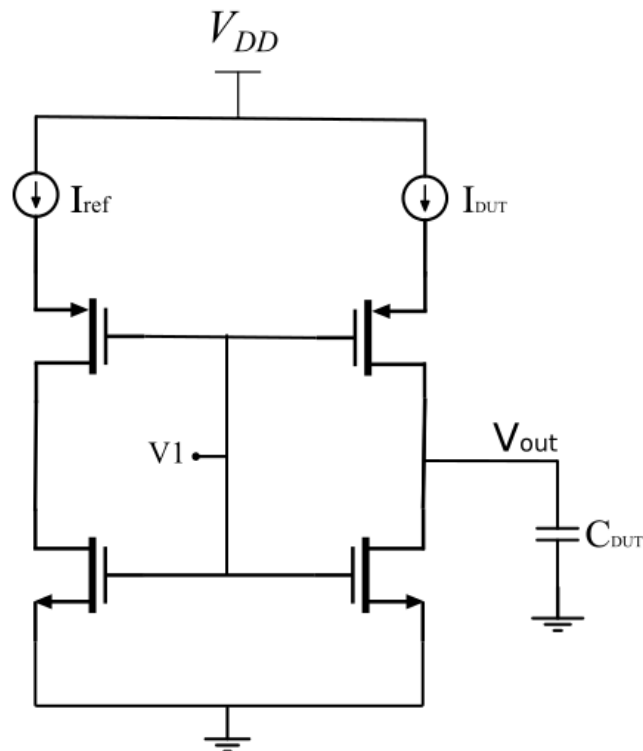


Figure 8.1: Test structure using changed Charge-Based Capacitance Measurement with $W_{nmos} = 2\mu\text{m}$, $W_{pmos} = 4\mu\text{m}$ and $L_{nmos} = L_{pmos} = 80\text{nm}$

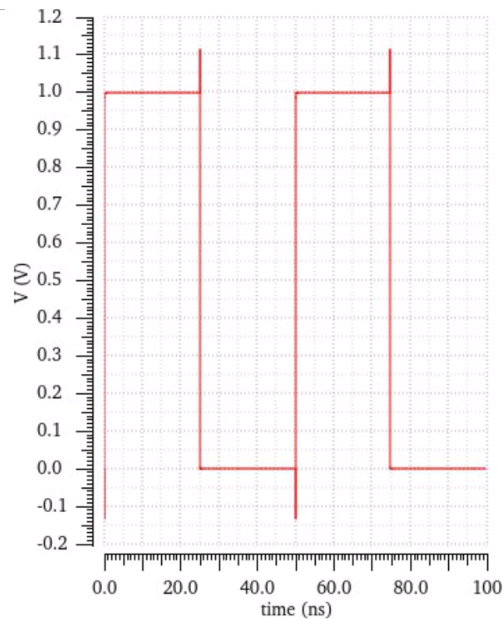
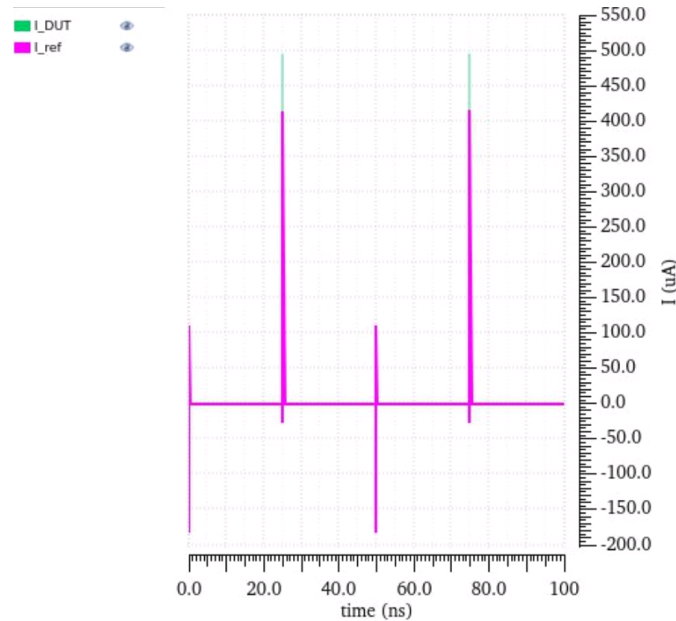


Figure 8.2: Waveform V (NMOS and PMOS)

When $C_{DUT} = 1\text{fF}$ the waveforms of currents and output voltage are shown at Figures 8.3 and 8.4. We assume that period T is between 25ns and 75ns (Fig.8.4). So $\frac{T}{2} = 50\text{ns}$. In order to prove the equations (7.1) and (7.2) that are used in this chapter too, we have assumed that NMOS transistors of each branch conduct current from 0 to $\frac{T}{2}$ and respectively PMOS transistors conduct current from $\frac{T}{2}$ to T . This assumption is true in this case as shown at Figure 8.4. In this case, we integrate no area that causes error to our measurement.

Figure 8.3: I_{ref} and I_{DUT} waveforms when $C_{DUT} = 1\text{fF}$

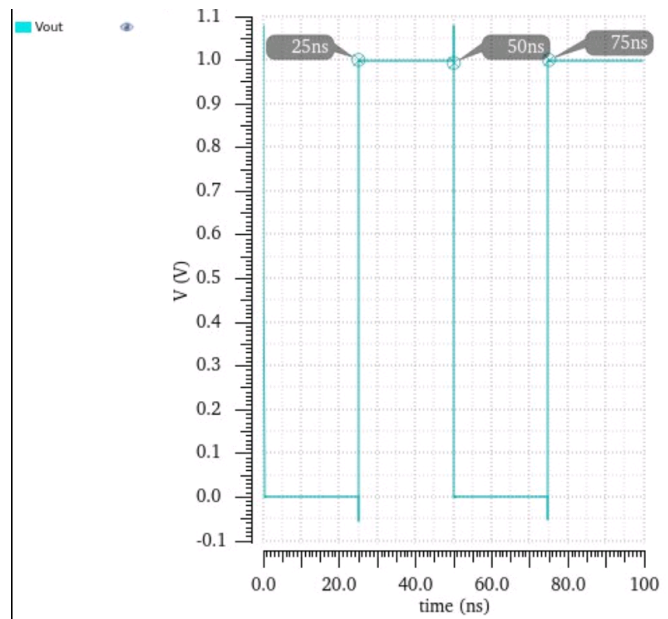


Figure 8.4: V_{out} waveform when $C_{DUT} = 1 \text{ fF}$

When $C_{DUT} = 100 \text{ fF}$ we can observe at Figure 8.6 that there is no error at the assumption. We need to assume again that currents (Fig.8.5) flow as expected (Fig.7.3).

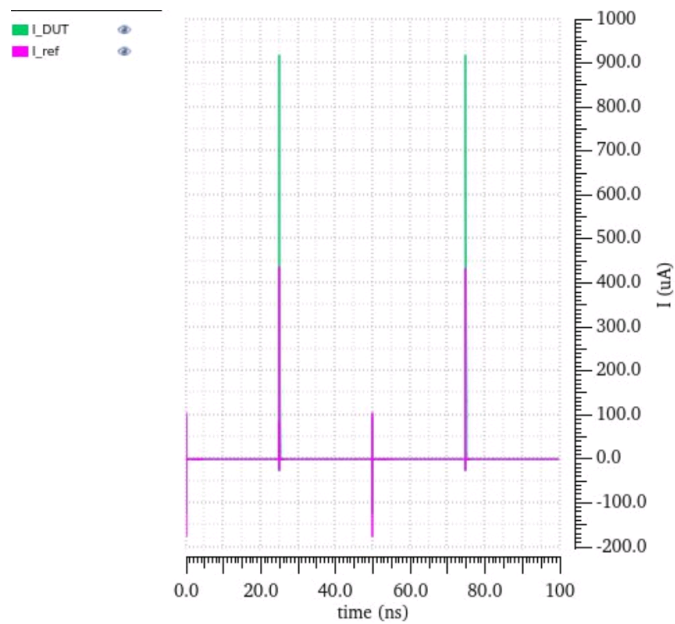


Figure 8.5: I_{ref} and I_{DUT} waveforms when $C_{DUT} = 100 \text{ fF}$

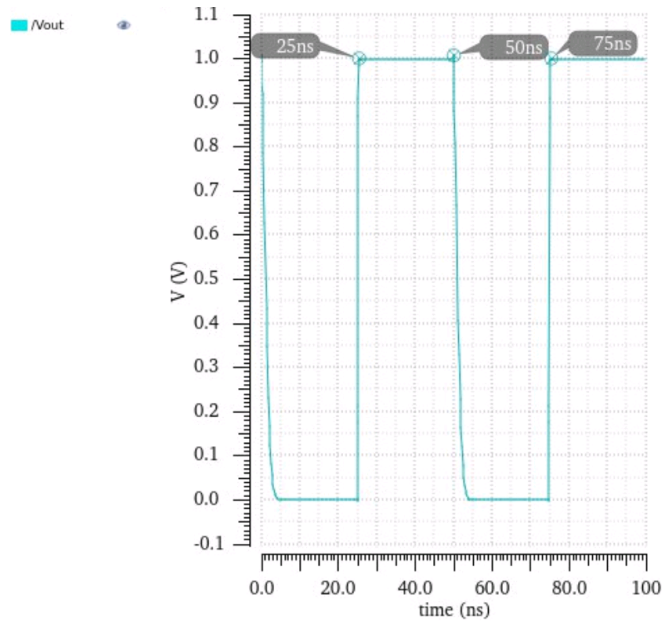


Figure 8.6: V_{out} waveform when $C_{DUT} = 100\text{ fF}$

8.2 Estimation of the DUT's value using the test structure

8.2.1 Mathematical formula for DUT

Obviously the mathematical formula that calculates the DUT is the same with 7.5:

$$C_{DUT} = \frac{I_{DUT} - I_{ref}}{V_{dd} \cdot f} \quad (8.1)$$

In this chapter the only assumption that is made is that current waveform is as expected (Fig.7.3). NMOS transistors of each branch conduct current from 0 to $\frac{T}{2}$ and respectively PMOS transistors conduct current from $\frac{T}{2}$ to T .

8.2.2 Estimation of DUT's value, Monte Carlo Simulations and other graphs

Monte Carlo simulations are implemented for each DUT. At first, only DUT's variation is introduced. After Monte Carlo simulation is made with variation only for the transistors. At last Monte Carlo simulations are made with the variation of transistors and capacitor (DUT). This separation is made to make it obvious if the transistors of the test structure introduce a variation that distorts the estimation of DUT's Value.

Simulations with only Capacitor's Variation The Table 8.1 below is made with data from Monte Carlo simulation. In this simulation only DUT's variation was taken into account. We assume that transistors are ideal and perfectly matched. Estimated Capacitor Value and

Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1,066	0,05083	4,7682926829	0,066	6,6
10	10,29	0,4848	4,7113702624	0,29	2,9
20	20,3	0,9596	4,7270935961	0,3	1,5
30	30,24	1,432	4,7354497354	0,24	0,8
40	40,15	1,906	4,7471980075	0,15	0,375
50	50,04	2,378	4,7521982414	0,04	0,08
60	59,92	2,852	4,7596795728	-0,08	-0,1333333333
70	69,79	3,328	4,7685914888	-0,21	-0,3
80	79,69	3,817	4,7898105157	-0,31	-0,3875
90	89,84	4,286	4,7707034728	-0,16	-0,1777777778
100	99,47	4,77	4,7954157032	-0,53	-0,53

Table 8.1: Data extracted from Monte Carlo Simulation in which only capacitor's variation was taken into account

According to Table 8.1, graphs were plotted from which significant conclusions were extracted.

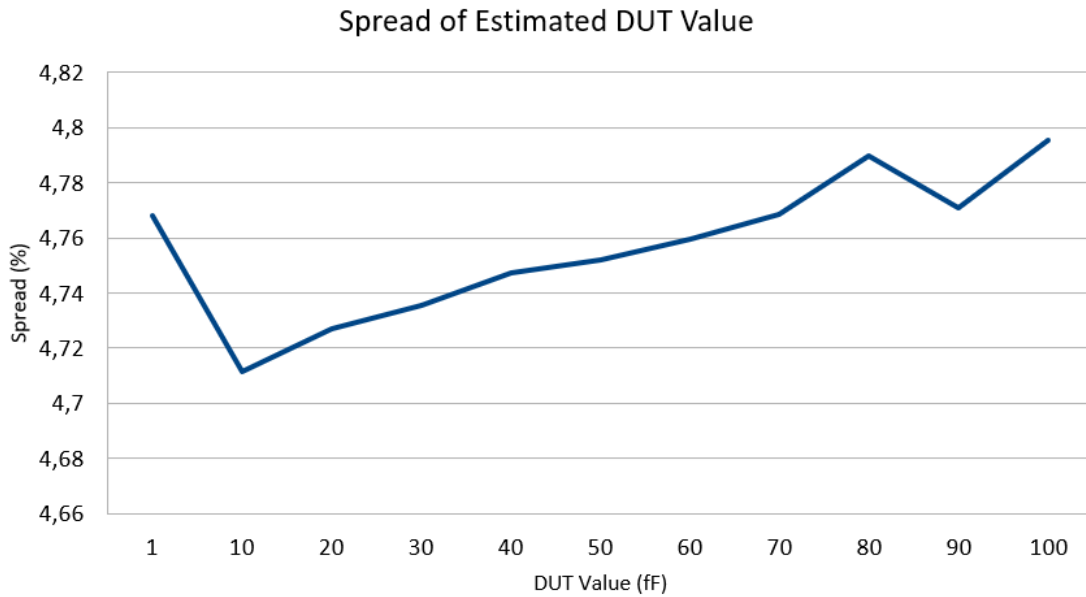


Figure 8.7: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

We can observe that the Relative Error of the estimation decreases (not linear) for bigger DUTs (Fig.8.8). Figure 8.8 proves that this test structure can very accurately calculate the value of capacitors bigger than 10 fF (Relative Error < 3% for DUTs bigger than 10 fF) when only capacitor's variation is taken into account.

Spread is almost constant (Fig.8.7) when only capacitor's variation is taken into account.

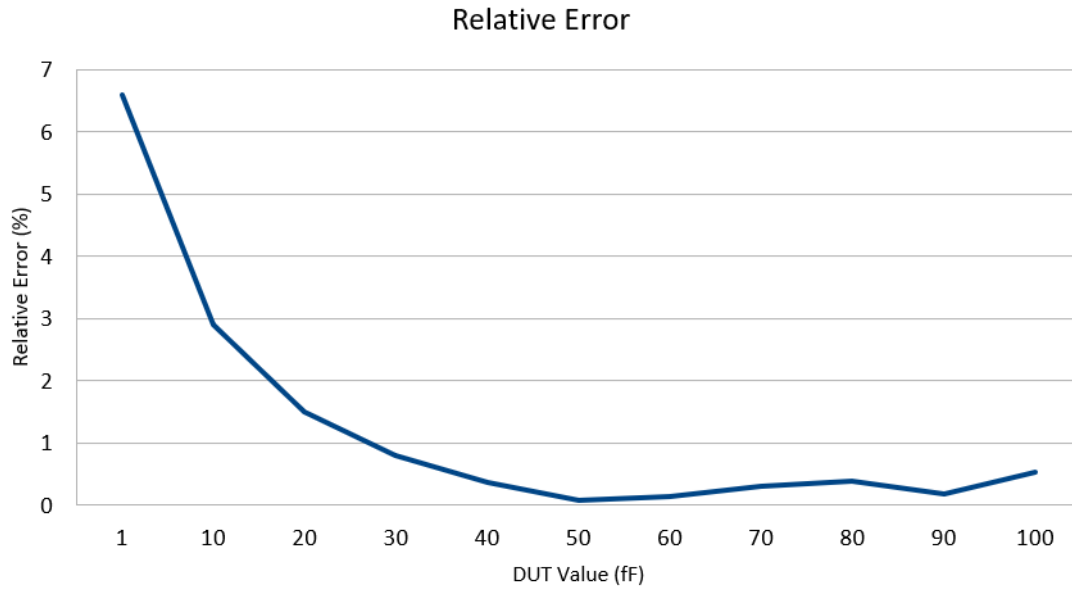


Figure 8.8: Relative Error as a function of expected by the designer DUT Value when only DUT's variation is taken into account.

Simulations with only transistor's Variation The Table 8.2 below is made with data from Monte Carlo simulation. In this simulation only transistor's variation was taken into account. We assume that the DUT is ideal. The transistors are not identical because each transistor may introduce a different variation. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1.07	0.003199	0.2989719626	0.07	7
10	10.33	0.01019	0.0986447241	0.33	3.3
20	20.37	0.01532	0.0752086402	0.37	1.85
30	30.35	0.02073	0.0683031301	0.35	1.166666667
40	40.3	0.02507	0.0622084367	0.3	0.75
50	50.22	0.03181	0.0633412983	0.22	0.44
60	60.14	0.03837	0.0638011307	0.14	0.2333333333
70	70.05	0.04351	0.0621127766	0.05	0.0714285714
80	79.99	0.05219	0.0652456557	-0.01	-0.0125
90	89.89	0.05773	0.0642229391	-0.11	-0.1222222222
100	99.84	0.08065	0.0807792468	-0.16	-0.16

Table 8.2: Data extracted from Monte Carlo Simulation in which only transistor's variation was taken into account

According to Table 8.2 graphs were plotted from which significant conclusions were extracted.

We can observe that the Relative Error of the estimation decreases (not linear) for bigger DUTs (Fig.8.10). Figure 8.10 proves that this test structure can very accurately calculate the value of capacitors bigger than 10fF (Relative Error< 3,3% for DUTs bigger than 10fF).

Spread is bigger when DUT is smaller than 10fF. This is because the circuit is more sensitive to process variation of transistors when measuring very small capacitors. For DUTs bigger than 20fF Spread remains almost constant (Fig.7.11) when only transistors' variation is taken into account. In general transistors in this test structure introduce almost no variation (Spread< 1%).

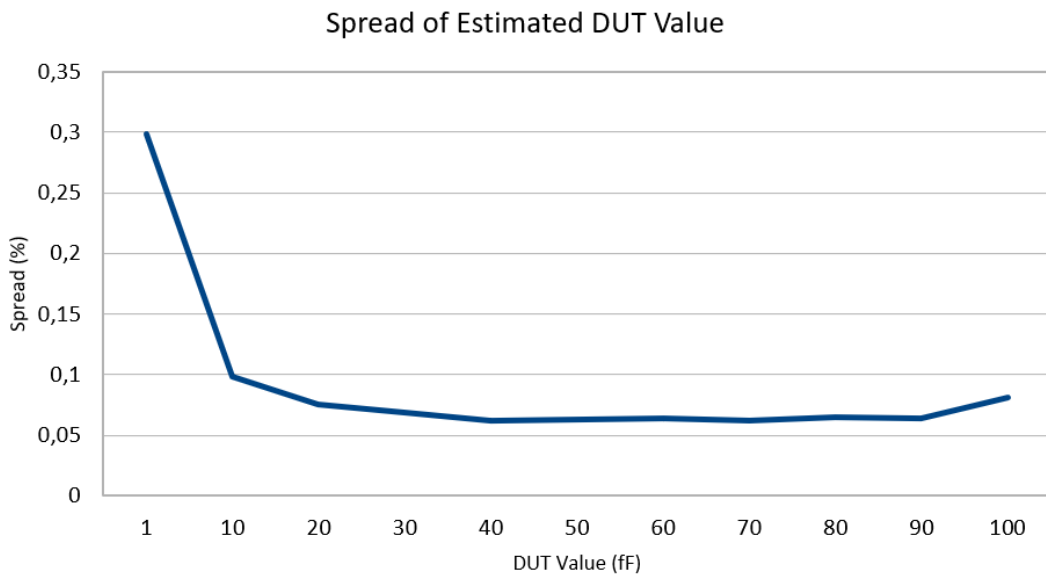


Figure 8.9: Spread of Estimated DUT Value as a function of real DUT Value when only transistor's variation is taken into account.

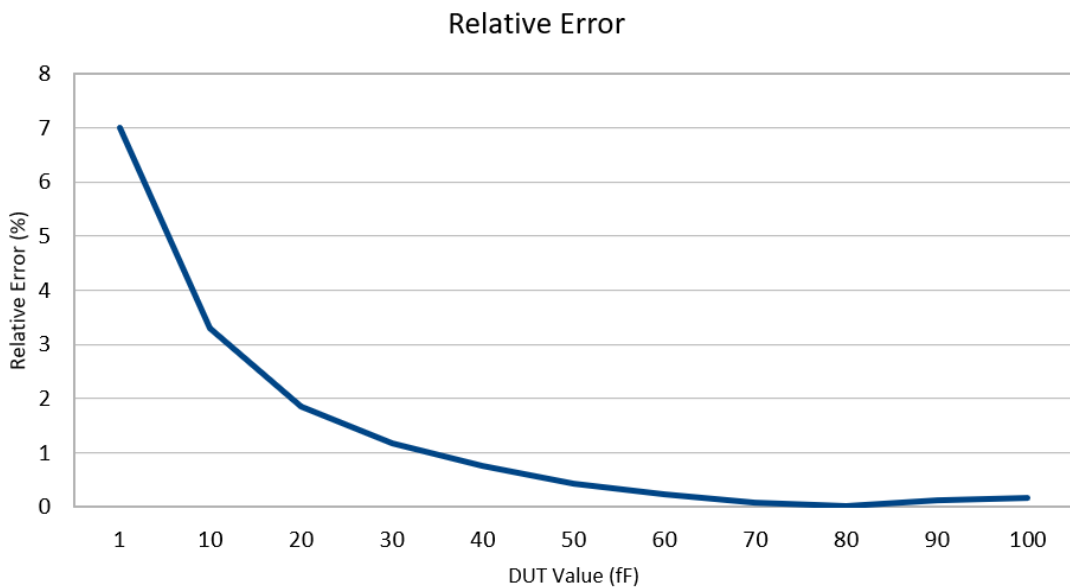


Figure 8.10: Relative Error as a function of real DUT Value when only transistor's variation is taken into account.

Simulations with DUT's and transistor's Variation The Table 8.3 below is made with data from Monte Carlo simulation. In this simulation DUT's and transistor's variation were taken into account. Now the transistors are not identical because each transistor may introduce a different variation. Also the DUT is not ideal because it introduces variation in our calculations. Estimated Capacitor Value and Standard Deviation were directly extracted from the simulation. Spread, Error and Relative Error were also calculated.

Capacitors under test (fF)	Estimated Mean Capacitor Value (fF)	Standard Deviation (f)	Spread (%)	Error (fF)	Relative Error (%)
1	1,07	0,05139	4,8028037383	0,07	7
10	10,29	0,4859	4,7220602527	0,29	2,9
20	20,29	0,9613	4,7378018728	0,29	1,45
30	30,24	1,434	4,7420634921	0,24	0,8
40	40,14	1,907	4,7508719482	0,14	0,35
50	50,03	2,38	4,7571457126	0,03	0,06
60	59,91	2,854	4,7638123852	-0,09	-0,15
70	69,78	3,332	4,7750071654	-0,22	-0,3142857143
80	79,67	3,809	4,7809715075	-0,33	-0,4125
90	89,55	4,296	4,797319933	-0,45	-0,5
100	99,44	4,757	4,7837892196	-0,56	-0,56

Table 8.3: Data extracted from Monte Carlo Simulation in which capacitor's and transistor's variation were taken into account

According to Table 8.3 graphs were plotted from which significant conclusions were extracted.

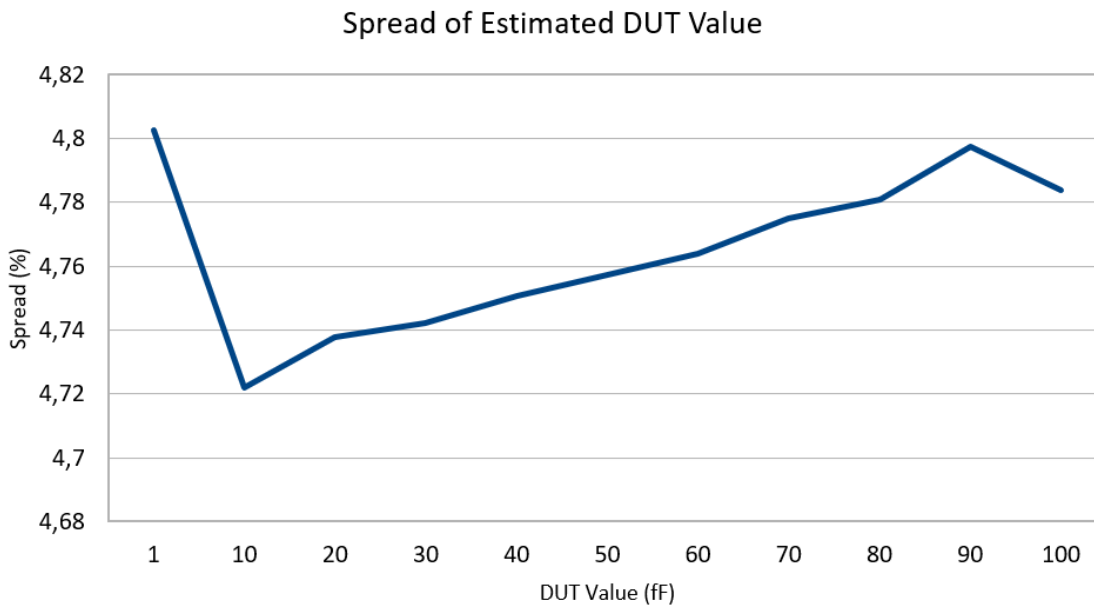


Figure 8.11: Spread of Estimated DUT Value as a function of expected by the designer DUT Value when capacitor's and transistor's variation are taken into account.

We can observe that the Relative Error of the estimation decreases (not linear) (Fig.8.12). Figure 8.12 proves that this test structure can very accurately calculate the value of capacitors bigger than 10 fF (Relative Error < 3% for DUTs bigger than 10 fF) when capacitor's and transistors' variation is taken into account.

Spread is almost constant (Fig.8.11) when capacitor's and transistors' variation is taken into account.

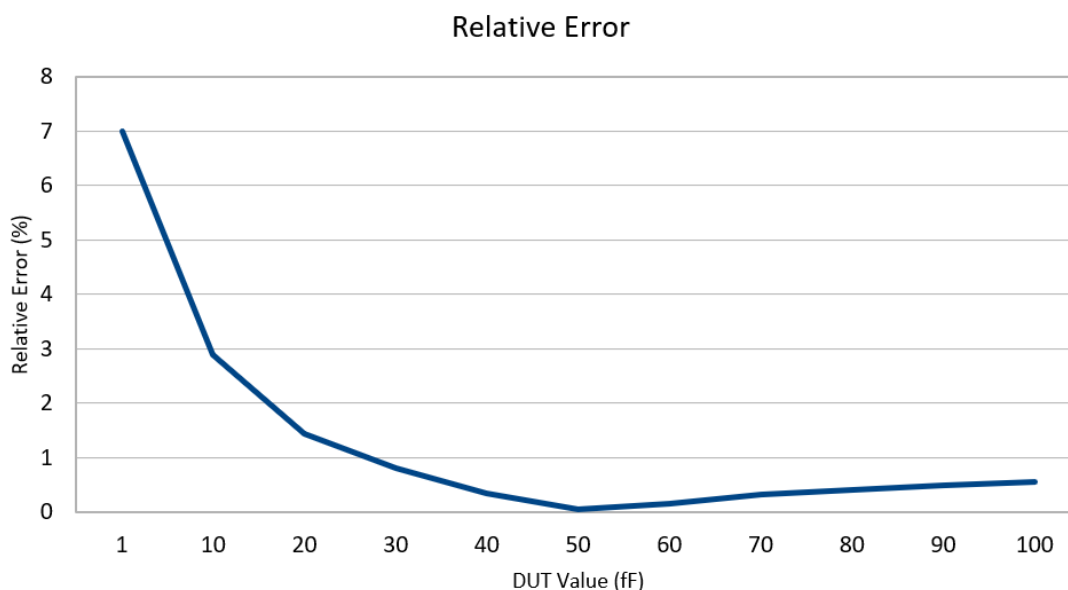


Figure 8.12: Relative Error as a function of expected by the designer DUT Value when transistor's and capacitor's variation are taken into account.

8.2.3 Conclusions

In order to draw conclusions, it is necessary to compare the tables and graphs above. Particular importance should be given to the comparison of Tables 8.1 and 8.3. Table 8.1 consists of data for which only the capacitor's variation has been taken into account. Table 8.3 consists of data for which capacitor's and transistor's variation have been taken into account.

It is obvious that when transistor's variation is ignored (Table 8.1) the Spread of Estimated Mean Capacitor Value is almost the same with the case when no device variation is ignored (Table 8.3). This means that transistors introduce variation which has almost negligible effect on the final measurements regarding Spread.

Also it is obvious that when transistors' variation is introduced, the accuracy of the Estimation of the Mean Capacitor's Value is not greatly affected. This is proven if we compare Table 8.3 with Table 8.1. This test structure is more accurate -regarding Relative Error- than the test structure described at chapter 7. We have to notice that using small dimensions of the transistors leads to increased process variation ($\sigma_{V_{th}} = \frac{A_{V_{th}}}{\sqrt{2 \cdot W \cdot L}}$). But as we have already said the effect of transistor's process variation on the measurements for this test structure remains negligible.

In general this test structure can accurately measure all capacitors in the range 10fF – 100fF (Relative Error < 3%) with low Spread. In general the measurement of capacitor's value is more accurate with this test structure than with the previous implementation.

A disadvantage is that currents must be measured, which is a difficult process.

Finally, we managed to decrease the error of the assumption made at chapter 7.

9

Conclusion

In this final chapter, we present a brief synopsis of our work. Following that, we conclude by mentioning a few possible extensions and improvements that could be developed in the future.

We must notice that, as part of this work, other types of oscillators such as Hartley, Peltz, differential Ring oscillators and various simple Ring Oscillator-based structures have been tested as well. None of them led to results we wanted.

9.1 Test Structures comparison

Finally, we would like to compare the proposed test structures. This is the reason why the Tables 9.1 and 9.2 are introduced. In this way we could conclude which implementation is better in each case.

<i>Spread of Estimated DUT Value (%)</i>	1fF	10fF	20fF	30fF	40fF	50fF	60fF	70fF	80fF	90fF	100fF
<i>Implementation with two RO</i>	393,55	8,44	7,64	7,21	6,99	6,93	6,94	6,8	6,82	6,75	6,73
<i>Implementation with single RO and MUX</i>	10,36	7,17	7,45	7,71	7,63	7,66	7,73	7,75	7,87	7,89	7,91
<i>Implementation with Cross-Coupled Oscillator</i>	4,022	3,39	4,1	4,37	4,48	4,56	4,6	4,63	4,69	4,68	4,68
<i>Implementation with CBCM</i>	4,89	4,62	4,66	4,69	4,72	4,71	4,75	4,74	4,76	4,76	4,77
<i>Implementation with changed CBCM</i>	4,8	4,72	4,74	4,74	4,75	4,76	4,76	4,77	4,78	4,8	4,78

Table 9.1: Comparative table based on Spread

<i>Relative Error (%)</i>	1fF	10fF	20fF	30fF	40fF	50fF	60fF	70fF	80fF	90fF	100fF
<i>Implementation with two ROs</i>	124,82	13,48	3,5	1,63	0,225	0,08	0,17	0,17	0,42	0,63	1,16
<i>Implementation with single RO and MUX</i>	44,2	2,34	2,1	0,13	0,375	0,92	2,48	3,45	5,61	7,24	9,1
<i>Implementation with Cross-Coupled Oscillator</i>	411,7	34,8	16,25	10,8	8,375	6,92	6	4,64	4,89	4,56	4,3
<i>Implementation with CBCM</i>	12,3	6,2	3,5	2,27	1,6	1,18	0,88	0,67	0,51	0,38	0,3
<i>Implementation with changed CBCM</i>	7	2,9	1,45	0,8	0,35	0,06	0,15	0,31	0,41	0,5	0,56

Table 9.2: Comparative table based on Relative Error

At this point we have to notice that the implementation with the Cross-Coupled Oscillator has the lowest spread of estimated DUT value (Table 9.1). This is what we expect because it has only two transistors. Very low spread also have the implementations with CBCM circuit and changed CBCM circuit.

In addition, we can observe that implementation with changed CBCM has the lowest Relative Error (so the best accuracy) for the measurement of the most DUTs (Table 9.2). Even when another implementation has lower Relative Error for the measurement of a DUT, implementation with changed CBCM has still a very good accuracy.

Due to these facts, we conclude that the best test structure for the characterization of capacitors in the range **1fF-80fF** is the implementation with changed CBCM. For the characterization of capacitors in the range **90fF-100fF** best test structure is the implementation with CBCM because its Relative Error is the best that we achieved and it has low Spread.

Unfortunately, implementation with the lowest Spread has the highest Relative Error for the measurement of almost every DUT.

9.2 Future Work

Although we have implemented four test structure with good accuracy, we are sure that there is room for more development.

At first, a way in order to deembed current as a factor of the final mathematical formulas which calculate the real value of DUT must be found. Especially, at nanoscale integrated circuits it is very difficult to measure the current. This research concerns the test structures described in chapters 4, 5, 7 and 8.

In addition, area of research could be to find a way to reduce Spread in our measurements.

Finally, it would be interesting to search what happens to Spread and Relative Error when we change transistors' dimensions.

Bibliography

- [1] Wikipedia contributors. *Moore's law* — *Wikipedia, The Free Encyclopedia*. <https://en.wikipedia.org/w/924740408>. [Online; accessed 7-November-2019]. 2019.
- [2] Wikipedia contributors. *Process variation (semiconductor)* — *Wikipedia, The Free Encyclopedia*. [https://en.wikipedia.org/w/index.php?title=Process_variation\(semiconductor\)&oldid=905758541](https://en.wikipedia.org/w/index.php?title=Process_variation(semiconductor)&oldid=905758541). [Online; accessed 7-November-2019]. 2019.
- [3] Kelin J Kuhn, Martin D Giles, David Becher, Pramod Kolar, Avner Kornfeld, Roza Kotlyar, Sean T Ma, Atul Maheshwari, and Sivakumar Mudanai. "Process technology variation". In: *IEEE Transactions on Electron Devices* 58.8 (2011), pp. 2197–2208.
- [4] Choongyeun Cho, Daeik D Kim, Jonghae Kim, Jean-Olivier Plouchart, Daihyun Lim, Sangyeun Cho, and Robert Trzcinski. "Decomposition and analysis of process variability using constrained principal component analysis". In: *IEEE Transactions on Semiconductor Manufacturing* 21.1 (2008), pp. 55–62.
- [5] Udo Sobe. "Simulation and Analysis of Analog Circuit and PCM (Process Control Monitor) Test Structures in Circuit Design". In: (2007).
- [6] *Predictive Technology Model (PTM)*. <http://ptm.asu.edu/>.
- [7] Sadegh Biabanifard, S Mehdi Hosseini Largani, and Shahrouz Asadi. "Delay time analysis of combined CMOS ring oscillator". In: *International Journal of Electronics and Electrical Engineering* 4.2 (2015), pp. 53–64.
- [8] Walter Schneider. "Analytical Inverter Delay Modeling Using Matlab's Curve Fitting Toolbox". In: *arXiv preprint arXiv:1801.00005* (2017).
- [9] Loïc Welter, Philippe Dreux, Jean-Michel Portal, and Hassen Aziza. "Embedded high-precision frequency-based capacitor measurement system". In: *2013 IEEE 19th International On-Line Testing Symposium (IOLTS)*. IEEE. 2013, pp. 116–121.
- [10] Mohammad Hassan Montaseri and H Miar Naimi. "Novel power supply independent ring oscillator". In: *Proceedings of the 9th WSEAS Int. conf. on Electronics, Hardware, Wireless and Optical Communications*. 2010, pp. 80–87.
- [11] Mojtaba Daliri and Mohammad Maymandi-Nejad. "Analytical model for CMOS cross-coupled LC-tank oscillator". In: *IET Circuits, Devices & Systems* 8.1 (2014), pp. 1–9.

-
- [12] James C Chen, Dennis Sylvester, and Chenming Hu. “An on-chip, interconnect capacitance characterization method with sub-femto-farad resolution”. In: *IEEE Transactions on Semiconductor Manufacturing* 11.2 (1998), pp. 204–210.
- [13] Tomohisa Mizuno, J Okumtura, and Akira Toriumi. “Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET’s”. In: *IEEE Transactions on Electron Devices* 41.11 (1994), pp. 2216–2221.
- [14] Peter A Stolk, Frans P Widdershoven, and DBM Klaassen. “Modeling statistical dopant fluctuations in MOS transistors”. In: *IEEE Transactions on Electron devices* 45.9 (1998), pp. 1960–1971.
- [15] Antonios Bazigos, Matthias Bucher, Joachim Assenmacher, Stefan Decker, Wladyslaw Grabinski, and Yannis Papananos. “An adjusted constant-current method to determine saturated and linear mode threshold voltage of MOSFETs”. In: *IEEE Transactions on Electron Devices* 58.11 (2011), pp. 3751–3758.
- [16] Wikipedia contributors. *Drain-induced barrier lowering* — *Wikipedia, The Free Encyclopedia*. [Online; accessed 11-November-2019]. 2019. URL: https://en.wikipedia.org/w/index.php?title=Drain-induced_barrier_lowering&oldid=924140031.
- [17] Adel S. Sedra and Kenneth C. Smith. *Microelectronic Circuits*. fifth. Oxford University Press, 2004.
- [18] A. Srivastava. “Threshold voltage dependence on channel length in small geometry MOS-FETs”. In: *physica status solidi (a)* 99.1 (1987), pp. 303–308. DOI: 10.1002/pssa.2210990136. eprint: <https://onlinelibrary.wiley.com/doi/pdf/10.1002/pssa.2210990136>. URL: <https://onlinelibrary.wiley.com/doi/abs/10.1002/pssa.2210990136>.
- [19] Wikipedia contributors. *Ring oscillator* — *Wikipedia, The Free Encyclopedia*. [Online; accessed 10-November-2019]. 2019. URL: https://en.wikipedia.org/w/index.php?title=Ring_oscillator&oldid=887052003.