



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ
ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

Τίτλος

“ΔΗΜΙΟΥΡΓΙΑ ΑΥΤΟΝΟΜΗΣ ΓΕΝΝΗΤΡΙΑΣ ΗΜΙΤΟΝΟΕΙΔΟΥΣ
ΣΗΜΑΤΟΣ ΚΑΙ ΛΕΙΤΟΥΡΓΙΑ ΜΕ ΜΑΓΝΗΤΙΚΟΥΣ
ΑΙΣΘΗΤΗΡΕΣ”

Πρόδρομος Ε. Χατζηγεωργίου

Επιβλέπων Καθηγητής:

Ευάγγελος Β. Χριστοφόρου

Καθηγητής Ε.Μ.Π.

Αθήνα, Ιούλιος 2020



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ
ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

Τίτλος

“ΔΗΜΙΟΥΡΓΙΑ ΑΥΤΟΝΟΜΗΣ ΓΕΝΝΗΤΡΙΑΣ ΗΜΙΤΟΝΟΕΙΔΟΥΣ ΣΗΜΑΤΟΣ
ΚΑΙ ΛΕΙΤΟΥΡΓΙΑ ΜΕ ΜΑΓΝΗΤΙΚΟΥΣ ΑΙΣΘΗΤΗΡΕΣ”

Πρόδρομος Χατζηγεωργίου

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 1^η Μήνα Έτος.

Ευάγγελος Χριστοφόρου
Καθηγητής Ε.Μ.Π.

Όνομα Επώνυμο 2
Βαθμίδα ΔΕΠ

Όνομα Επώνυμο 3
Βαθμίδα ΔΕΠ

.....
Πρόδρομος Ε. Χατζηγεωργίου

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Τεχνολογίας Υπολογιστών,
Πανεπιστήμιο Πατρών

Copyright © Πρόδρομος Χατζηγεωργίου, 2020.

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ' ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Σκοπός της παρούσας εργασίας είναι ο σχεδιασμός και κατασκευή μιας αυτόνομης γεννήτριας ημιτονοειδούς σήματος υψηλής σταθερότητας, με την χρήση της Άμεσης ψηφιακής Σύνθεσης (Direct Digital Synthesis - DDS). Η διάταξη μπορεί στην συνέχεια να χρησιμοποιηθεί επωφελώς με αισθητήρες Fluxgate και GMI, καθώς τα χαρακτηριστικά των εν λόγω φαινομένων εξαρτώνται σε μεγάλο βαθμό από τα χαρακτηριστικά (συχνότητα, πλάτος) της οδηγού τάσης. Με την τεχνολογία DDS, αυτές οι παράμετροι είναι δυνατόν να προγραμματιστούν ψηφιακά και δυναμικά με μεγάλη ακρίβεια, επιτρέποντας την βελτιστοποίηση της απόκρισης του αισθητήρα.

Σε συνέχεια των τεσσάρων πρώτων εισαγωγικών κεφαλαίων, παρουσιάζεται ο σχεδιασμός και κατασκευή της γεννήτριας με την χρήση μικροελεγκτή Arduino. Σχεδιάζεται ενισχυτής με δυνατότητα μηδενισμού του offset, καθώς και κύκλωμα για την συλλογή και αποστολή δεδομένων του αισθητήρα.

Εν τέλει, πραγματοποιούνται δοκιμές με αισθητήρα Fluxgate, που επιβεβαιώνουν τις επιδόσεις και σταθερότητα της γεννήτριας.

Λέξεις-κλειδιά: γεννήτρια σήματος, συχνότητα, μαγνητικοί αισθητήρες, DDS, μικροελεγκτής

Abstract

The purpose of this thesis is the design of a highly stable sine signal autonomous generator, utilizing the Direct Digital Synthesis (DDS) method. This generator can be advantageously used for Fluxgate and GMI sensors, since these phenomena characteristics depend largely on the parameters (frequency, amplitude) of the high driving voltage. With the DDS technology, these parameters could be digitally and dynamically programmed with high accuracy, so as to allow for an optimization of the sensor response.

Following the first four introductory chapters, the design and construction of this generator using an Arduino microprocessor is presented. An amplifier with offset zeroing capability is designed, as well as a circuit for sensors' data collection and transmission.

In the end, the generator is tried out on a Fluxgate sensor, validating its performances and stability.

Keywords: *signal generator; frequency; magnetic sensors; DDS; microprocessor*

Πρόλογος – Ευχαριστίες

Στα πλαίσια εκπόνησης της παρούσας διπλωματικής εργασίας, θα ήθελα να ευχαριστήσω τον καθηγητή κ. Ευάγγελο Χριστοφόρου, για την ανάθεση του θέματος και την βοήθειά του σε ζητήματα που προέκυψαν επ' αυτής.

Επίσης, τους συναδέλφους και διδακτορικούς φοιτητές του εργαστηρίου Ηλεκτρονικών Αισθητηρίων, Σπύρο Αγγελόπουλο και Χρόνη Παττακό, για τις πολύτιμες συμβουλές και συνεισφορά τους, κατά το διάστημα παρουσίας μου στο εργαστήριο.

Την οικογένειά μου, για την ηθική και υλική υποστήριξη, όποτε αυτά χρειάστηκαν.

Τέλος, τους συμφοιτητές με τους οποίους συνεργάστηκα στα πλαίσια αυτού του μεταπτυχιακού προγράμματος, τόσο για την αλληλοϋποστήριξη, όσο και για την δυνατότητα πολύπλευρης συζήτησης και προσέγγισης των διαφόρων (ακαδημαϊκών και μη) θεμάτων που εμφανίστηκαν κατά τη διάρκεια αυτού.

Πίνακας περιεχομένων

Περίληψη.....	iv
Abstract.....	vi
Πρόλογος – Ευχαριστίες	vii
Πίνακας περιεχομένων	ix
Ευρετήριο Σχημάτων	xiii
Ευρετήριο Πινάκων.....	xvii
1 Αισθητήρες	1
1.1 Εισαγωγή.....	1
1.2 Γενικά για τους αισθητήρες	1
1.3 Χαρακτηριστικά αισθητήρων	3
1.3.1 Πιστότητα.....	3
1.3.2 Το εύρος.....	4
1.3.3 Συστηματικό σφάλμα.....	4
1.3.4 Ακρίβεια, επαναληψιμότητα, αναπαραγωγιμότητα	4
1.3.5 Γραμμική απόκριση.....	5
1.3.6 Ευαισθησία	6
1.3.7 Υστέρηση.....	7
1.3.8 Χρόνος απόκρισης και νεκρό εύρος.....	8
2 Μαγνητικοί αισθητήρες	9
2.1 Εισαγωγή.....	9
2.2 Αισθητήρες Πύλης-Ροής (Fluxgate).....	10
2.2.1 Βασικές αρχές αισθητήρων Fluxgate	10
2.2.2 Αρχή λειτουργίας μαγνητόμετρων Fluxgate	13
2.2.3 Διατάξεις αισθητήρα Fluxgate	16
2.3 Αισθητήρες Μαγνητοαντίστασης.....	20
2.4 Μαγνητόμετρο πηνίου ανίχνευσης	22

2.5	Αισθητήρες LVDT.....	23
2.6	Αισθητήρες SQUID	24
2.7	Αισθητήρας Hall	25
3	Εφαρμογές μαγνητικών αισθητήρων	27
3.1	Εισαγωγή.....	27
3.2	Εφαρμογές στην πλοήγηση.....	27
3.3	Εφαρμογές ανίχνευσης οχημάτων.....	29
3.4	Εφαρμογές στην ιατρική	31
3.5	Ανίχνευση μετάλλων	33
4	Κατασκευή γεννήτριας ημιτονοειδούς σήματος.....	35
4.1	Προδιαγραφές κατασκευής	35
4.2	Πιθανοί τρόποι υλοποίησης.....	35
4.2.1	Ταλαντωτής γέφυρας Wien	36
4.2.2	Διάταξη Colpitts	37
5	Direct Digital Synthesis (DDS)	41
5.1	Εισαγωγή.....	41
5.2	Μέθοδος σύνθεσης σήματος.....	41
5.3	Πλεονεκτήματα	44
6	Κατασκευή αυτόνομης γεννήτριας σήματος και βοηθητικών διατάξεων	47
6.1	Κατασκευή γεννήτριας.....	47
6.2	Κατασκευή πρώτης βοηθητικής διάταξης	52
6.2.1	Δοκιμές ενίσχυσης με τρανζίστορ.....	52
6.2.2	Διάταξη ενίσχυσης με τελεστικούς ενισχυτές	56
6.3	Δοκιμές διάταξης με αισθητήρα Fluxgate.....	62
6.4	Κατασκευή δεύτερης βοηθητικής διάταξης.....	65
6.4.1	Κατάσρωση κυκλώματος βοηθητικής διάταξης.....	66
6.4.2	Υλοποίηση κυκλώματος βοηθητικής διάταξης.....	67
6.5	Τελικό κατασκευαστικό στάδιο.....	69
7	Συμπεράσματα – Μελλοντικές εργασίες.....	76
7.1	Συμπεράσματα – Ανάλυση αποτελεσμάτων.....	76
7.2	Μελλοντικές εργασίες.....	77
8	Βιβλιογραφία.....	79

9	Παράρτημα.....	80
---	----------------	----

Ευρετήριο Σχημάτων

Σχήμα 1: Χαρακτηριστικά εξόδου αισθητήρα.....	5
Σχήμα 2: (a) Ολίσθηση μηδενός, (b) Ολίσθηση ευαισθησίας, (c) Συνδυασμένη επίδραση.....	6
Σχήμα 3: Βρόχος υστέρησης αισθητήρα.....	7
Σχήμα 4: Χαρακτηριστική εξόδου με νεκρό χρόνο.....	8
Σχήμα 5: Σύγκριση μαγνητικών αισθητήρων [5].....	9
Σχήμα 6: Στοιχειώδες σχέδιο αισθητήρα Fluxgate.....	11
Σχήμα 7: Χαρακτηριστικές μορφές καμπύλης μαγνήτισης [6].....	12
Σχήμα 8: : Καταστάσεις του μαγνητικού πυρήνα όταν (α) δεν βρίσκεται σε κορεσμό και (β) βρίσκεται σε κορεσμό.....	14
Σχήμα 9: Βρόχος υστέρησης.....	16
Σχήμα 10: Double-rod Fluxgate [7].....	17
Σχήμα 11: Fluxgate διαμήκους πυρήνα τύπου Förster [7].....	18
Σχήμα 12: Fluxgate Δακτυλιοειδούς πυρήνα.....	19
Σχήμα 13: Fluxgate ελλειψοειδούς πυρήνα.....	19
Σχήμα 14: Αλλαγή ειδικής αντίστασης συναρτήσει μαγνητικού πεδίου.....	20
Σχήμα 15: Μαγνητόμετρο Μαγνητοαντίστασης.....	21
Σχήμα 16: Μαγνητόμετρο πηνίου ανίχνευσης.....	22
Σχήμα 17: Αισθητήρας LVDT[12].....	23
Σχήμα 18: Καταστάσεις λειτουργίας αισθητήρα.....	24
Σχήμα 19: Η βασική διάταξη αισθητήρα Hall.....	26
Σχήμα 20: Διάταξη πυξίδας τύπου Fluxgate [5].	28
Σχήμα 21: Διαταραχή των Μαγνητικών γραμμών του γήινου πεδίου από την παρουσία οχήματος [5].....	30
Σχήμα 22: Αισθητήρας ταχύτητας τοποθετημένος στον στρόφαλο.....	30
Σχήμα 23: Ευαισθησία διάφορων τύπων αισθητήρων και τα μαγνητικά πεδία που μπορούν να δημιουργήσουν τα όργανα του ανθρώπινου σώματος [5].....	32

Σχήμα 24: Ευαισθησία διάφορων τύπων αισθητήρων και τα μαγνητικά πεδία που μπορούν να δημιουργήσουν τα όργανα του ανθρώπινου σώματος [5].....	33
Σχήμα 25: Η διάταξη ταλαντωτή γέφυρας Wien, με χρήση τελεστικού ενισχυτή	36
Σχήμα 26: Η κλασική διάταξη Colpitts.....	37
Σχήμα 27: Η παραλλαγή της διάταξης Colpitts, με χρήση κρυστάλλου quartz...	38
Σχήμα 28: Το κυκλωματικό ισοδύναμο ενός κρυστάλλου quartz	39
Σχήμα 29: Η καμπύλη απόκρισης του κρυστάλλου	39
Σχήμα 30: Βασικό Block Diagram της μεθόδου DDS [17]	42
Σχήμα 31: Το AD9851 DDS Module, που χρησιμοποιήθηκε για τις ανάγκες της εργασίας.....	43
Σχήμα 32: Η συνδεσμολογία που χρησιμοποιήθηκε για την υλοποίηση της διάταξης	48
Σχήμα 33: Σχηματική αναπαράσταση αλληλεπίδρασης Arduino – AD9851 (από το σχετικό datasheet της Analog Devices)	49
Σχήμα 34: Πρώτη δοκιμή υλοποίησης σε breadboard.....	50
Σχήμα 35: Παραγόμενο σήμα γεννήτριας	51
Σχήμα 36: Διάταξη ενισχυτή κοινού εκπομπού με 2N3904 [20].....	52
Σχήμα 37: Διάταξη ενισχυτή κοινού εκπομπού με BC547	53
Σχήμα 38: Διάταξη ενισχυτή κοινής πηγής [19]	54
Σχήμα 39: Διάταξη με τελεστικούς ενισχυτές	56
Σχήμα 40: Συνδεσμολογία τελεστικού ενισχυτή ως buffer	57
Σχήμα 41: Συνδεσμολογία τελεστικού ενισχυτή για απαλοιφή offset [21]	58
Σχήμα 42: Συνδεσμολογία τελεστικού ενισχυτή ως inverting op-amp [21].....	59
Σχήμα 43: Υλοποίηση ενισχυτικής διάταξης	60
Σχήμα 44: Ημιτονοειδές σήμα, από την έξοδο της ενίσχυσης.....	61
Σχήμα 45: Η διάταξη σε breadboard, συνδεδεμένη με τον αισθητήρα.....	62
Σχήμα 46: Πρώτες δοκιμές με τον αισθητήρα Fluxgate	63
Σχήμα 47:Μεταγενέστερες δοκιμές με τον αισθητήρα.....	64
Σχήμα 48: Συνδεσμολογία non-inverting op-amp αθροιστή τάσεων [23]	66
Σχήμα 49: Σήμα εξόδου της βοηθητικής διάταξης.....	67
Σχήμα 50: Καταγραφή της εξόδου του αισθητήρα, μέσω του Serial Plotter	68

Σχήμα 51: Η πλακέτα της διάταξης	69
Σχήμα 52: Συνδεσμολογία μπαταριών, για την δημιουργία αρνητικής τάσης ...	70
Σχήμα 53: Ο dpst διακόπτης της κατασκευής	70
Σχήμα 54: Προσθήκη αποστατών στην πλακέτα.....	71
Σχήμα 55: Πλακέτα βοηθητικής διάταξης offset.....	72
Σχήμα 56: Κουτί κατασκευής.....	73
Σχήμα 57: Κουτί κατασκευής – άνω όψη	73
Σχήμα 58: Κουτί κατασκευής – οι BNC υποδοχές	74
Σχήμα 59: Κουτί κατασκευής - εσωτερικό.....	74
Σχήμα 60: Κουτί κατασκευής.....	75
Σχήμα 61: Τελευταίες δοκιμές κατασκευής	75

Ευρετήριο Πινάκων

1 Αισθητήρες

1.1 Εισαγωγή

Οι μαγνητικοί αισθητήρες χρησιμοποιούνται εδώ και 2.000 χρόνια και οι πρώτες εφαρμογές τους ήταν για την εύρεση κατεύθυνσης και για τη ναυσιπλοΐα (πυξίδες). Σήμερα οι αισθητήρες είναι ένα από τα κύρια στοιχεία των συστημάτων επειδή είναι αυτές οι δομές οι οποίες βοηθούν στην λήψη των αποφάσεών τους. Με την ανάπτυξη της τεχνολογίας στερεάς κατάστασης, αναπτύχθηκε και ο κλάδος των αισθητήρων κάνοντάς τους μικρότερους σε μέγεθος και με αυξημένη ευαισθησία. Σε αυτό το κεφάλαιο θα ασχοληθούμε με τη σημασία των αισθητήρων για τα διάφορα συστήματα και τα κύρια χαρακτηριστικά τους.

Κατά την χρήση των αισθητήρων δεν είναι ζητούμενη μόνο η άμεση μέτρηση του ανάλογου μεγέθους, π.χ. μέτρηση μαγνητικού πεδίου, άλλα και η μέτρηση κάποιου άλλου μεγέθους όπως η ταχύτητα περιστροφής, η παρουσία ενός μαγνητικού μελανιού, η ανίχνευση οχήματος ή ο προσδιορισμός της ενδείξεως μιας πυξίδας κ.α. Η μέτρηση αυτών των μεγεθών δεν μπορεί να γίνει άμεσα, αλλά μπορούν να εξαχθεί από αλλαγές ή διαταραχές. Για παράδειγμα, στους μαγνητικούς αισθητήρες η μέτρηση του μαγνητικού πεδίου μπορεί να πραγματοποιηθεί από το μαγνητικό πεδίο που δημιουργείται από το ρεύμα σε ένα καλώδιο, γύρω από έναν μόνιμο μαγνήτη ή τις μεταβολές του μαγνητικού πεδίου της γης.

1.2 Γενικά για τους αισθητήρες

Η σημασία των αισθητήρων για τον άνθρωπο είναι αυτονόητη. Οι πρώτοι αισθητήρες εμφανίζονται μαζί με τα έμβρυα και αποτελούν τα αισθητήρια όργανά τους. Πολύ αργότερα αναπτύχθηκε η ανάγκη για την δημιουργία οργάνων για να

λυθούν διάφορα καθημερινά προβλήματα, όπως η μέτρηση του μήκους, του βάθους ή του όγκου. Στην συνέχεια η επιθυμία του ανθρώπου για να γνωρίσει τη φύση δημιούργησαν την ανάγκη μέτρησης περισσότερων φυσικών μεγεθών. Γι' αυτόν τον λόγο αναπτύχθηκαν οι μηχανικοί αισθητήρες.

Ως αισθητήρες ορίζονται οι διατάξεις που είναι ικανές να μετατρέψουν μια φυσική ποσότητα-ιδιότητα σε ένα μετρήσιμο μέγεθος. Οι αισθητήρες είναι αυτές οι διατάξεις οι οποίες είναι ικανές να αντιληφθούν ένα σήμα εισόδου και να παράγουν ένα κατάλληλο σήμα εξόδου [1]. Συνήθως, η έξοδος ενός αισθητήρα είναι ένα ηλεκτρικό σήμα, ώστε να είναι πιο εύκολη η περαιτέρω εκμετάλλευσή του, μέσω της μέτρησης, απεικόνισης ή μετατροπής του.

Οι αισθητήρες ανάλογα με το είδος του μεγέθους που είναι ικανοί να αντιληφθούν διαχωρίζονται στους μηχανικούς, χημικούς, μαγνητικούς και θερμικούς αισθητήρες, καθώς και τους αισθητήρες ακτινοβολίας [2]. Οι μηχανικοί ή φυσικοί αισθητήρες αντιλαμβάνονται μεγέθη όπως η πίεση, η μετατόπιση, το ηλεκτρικό φορτίο, η μάζα ή και ο χρόνος. Αντίστοιχα, οι χημικοί αισθητήρες αντιλαμβάνονται χημικά μεγέθη, όπως είναι η υγρασία και η χημική σύσταση ενός υγρού ή αερίου. Οι μαγνητικοί αισθητήρες μετρούν το μαγνητικό πεδίο και μπορούν να χρησιμοποιηθούν για τον προσδιορισμό της κατεύθυνσης, βασιζόμενοι στο μαγνητικό πεδίο της γης. Οι θερμικοί αισθητήρες μετρούν τις θερμοκρασιακές μεταβολές. Φυσικά, τέτοιοι αισθητήρες συναντώνται σε ένα μεγάλο εύρος συσκευών, τόσο για καθημερινή χρήση, όσο και για εξειδικευμένες και πολύ ακριβείς μετρήσεις. Τέλος, οι αισθητήρες ακτινοβολίας μπορούν να ανιχνεύσουν την ακτινοβολία που εκπέμπεται από διάφορες πηγές. Οι οπτικοί αισθητήρες ανήκουν σε αυτή την κατηγορία, αφού αντιλαμβάνονται την ηλεκτρομαγνητική ακτινοβολία του φωτός και τη μετατρέπουν σε ηλεκτρικό σήμα.

Μία άλλη κατηγοριοποίηση των αισθητήρων είναι αυτή η οποία τους διαχωρίζει ανάλογα με τη χρήση τους για την οποία προορίζονται. Βάση αυτής της κατηγοριοποίησης διαχωρίζονται σε αισθητήρες μεταφορών, ενέργειας, περιβάλλοντος, ασφαλείας, καθώς και σε αισθητήρες οικιακών, βιομηχανικών, ιατρικών και στρατιωτικών εφαρμογών [3].

Ανάλογα με το είδος της επιθυμητής μέτρησης και των περιβαλλοντικών συνθηκών που επικρατούν, πρέπει να γίνει και η κατάλληλη επιλογή του υλικού του αισθητήρα. Τα υλικά αυτά ποικίλουν και ανήκουν κυρίως στις κατηγορίες των διηλεκτρικών, ημιαγώγιμων, αγώγιμων, υπεραγώγιμων, μαγνητικών, ραδιενεργών και βιολογικών υλικών [4]. Οι παράγοντες που επηρεάζουν την επιλογή του κατάλληλου υλικού είναι η επιθυμητή ευαισθησία του παραγόμενου αισθητήρα, η καταλληλότητα και αντοχή του υλικού στις συνθήκες που θα διεξαχθούν οι μετρήσεις και φυσικά, το κόστος και ο τρόπος κατασκευής του.

1.3 Χαρακτηριστικά αισθητήρων

Τα χαρακτηριστικά των αισθητήρων είναι αυτά τα οποία βοηθούν να επέλθει ισορροπία μεταξύ του αισθητήρα και του μετρούμενου μεγέθους. Τα βασικότερα από αυτά είναι η πιστότητα, η ακρίβεια, η επαναληψιμότητα, η αναπαραγωγιμότητα, το εύρος, το συστηματικό σφάλμα, η γραμμικότητα, η ευαισθησία στη μέτρηση, η υστέρηση και ο χρόνος απόκρισης [5].

1.3.1 Πιστότητα

Η πιστότητα σχετίζεται με το κατά πόσο το αποτέλεσμα που δίνει ο αισθητήρας πλησιάζει την φυσική πραγματικότητα, μέσα σε ένα λογικό εύρος τιμών. Συνήθως δίνεται ως ποσοστό επί του εύρους λειτουργίας του αισθητήρα. Για παράδειγμα, εάν ένας αισθητήρας ο οποίος μετράει ηλεκτρικό ρεύμα με περιοχή λειτουργίας 0-10Α έχει πιστότητα $\pm 1,0\%$, τότε η μέγιστη αβεβαιότητα του αισθητήρα θα είναι 0,1Α.

1.3.2 Το εύρος

Το εύρος μετρήσεων περιλαμβάνει το διάστημα μεταξύ της ελάχιστης και της μέγιστης τιμής που είναι δυνατόν να μετρηθεί με τον συγκεκριμένο αισθητήρα. Αυτό το μέγεθος εκφράζει σε μεγάλο βαθμό την ικανότητα προσαρμογής του αισθητήρα σε διαφορετικές μετρήσεις. Ένας ιδανικός αισθητήρας πρέπει να λαμβάνει ακριβείς μετρήσεις για όσο το δυνατόν μεγαλύτερο εύρος σημάτων εισόδου.

1.3.3 Συστηματικό σφάλμα

Ως στατιστικό σφάλμα είναι ένα σταθερό σφάλμα το οποίο συνήθως μπορεί να μηδενιστεί μέσω βαθμονόμησης. Χαρακτηριστικό παράδειγμα αυτού του σφάλματος εμφανίζεται στις οικιακές ζυγαριές, οι οποίες μπορεί να δείχνουν μη μηδενική ένδειξη, ακόμα και χωρίς φορτίο. Αυτή η μη μηδενική ένδειξη αποτελεί το συστηματικό σφάλμα το οποίο πρέπει να αφαιρεθεί από τη μέτρηση ώστε να προκύψει η πραγματική τιμή.

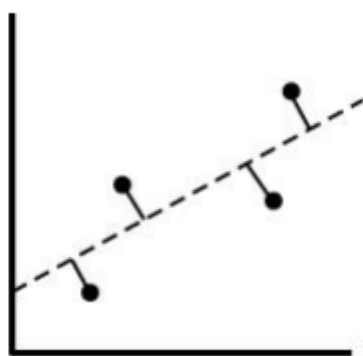
1.3.4 Ακρίβεια, επαναληψιμότητα, αναπαραγωγιμότητα

Ο όρος ακρίβεια εκφράζει τον βαθμό ελευθερίας του αισθητήρα από τυχαία σφάλματα. Εάν πάρουμε μεγάλο αριθμό μετρήσεων τότε η μεταξύ τους διασπορά θα είναι μικρή. Η ακρίβεια συνδέεται συχνά με την πιστότητα. Από την άλλη πλευρά, η μεγάλη ακρίβεια δεν σημαίνει κατ' ανάγκη και μεγάλη πιστότητα. Κακής πιστότητας μετρήσεις από έναν ακριβή αισθητήρα, σημαίνει ότι οι μετρήσεις έχουν σημαντικό σφάλμα, γεγονός το οποίο μπορεί να διορθωθεί με βαθμονόμηση του αισθητήρα.

Με τον όρο της επαναληψιμότητας και αναπαραγωγιμότητας χαρακτηρίζεται η ικανότητα του αισθητήρα να αναπαράγει το ίδιο σήμα εξόδου κατά τις επαναλήψεις της ίδιας μέτρησης, υπό τις ίδιες περιβαλλοντικές συνθήκες. Οι αποκλίσεις στις τιμές ενός αισθητήρα πρέπει να βρίσκονται εντός κάποιων ορίων και βεβαίως να είναι όσο το δυνατόν μικρότερες.

1.3.5 Γραμμική απόκριση

Είναι επιθυμητό η απόκριση ενός αισθητήρα να μεταβάλλεται γραμμικά με το μετρούμενο μέγεθος. Στο Σχήμα 1 απεικονίζεται η σχέση μεταξύ σήματος εισόδου και εξόδου ενός αισθητήρα. Η γραμμή μεταξύ των σημείων χαράσσεται εφαρμόζοντας την μέθοδο των ελαχίστων τετραγώνων. Η μη-γραμμικότητα εκφράζεται ως η μέγιστη απόκλιση μεταξύ των σημείων και της γραμμής. Άρα η γραμμικότητα εκφράζει την ικανότητα του αισθητήρα να διατηρεί σταθερά τα χαρακτηριστικά του, παρά τις μεταβολές που μπορεί να τον επηρεάσουν. Μετράται ως ποσοστό, αλλά μπορεί και να απεικονιστεί ως καμπύλη, για σύγκριση με την ιδανική καμπύλη μετρήσεων.



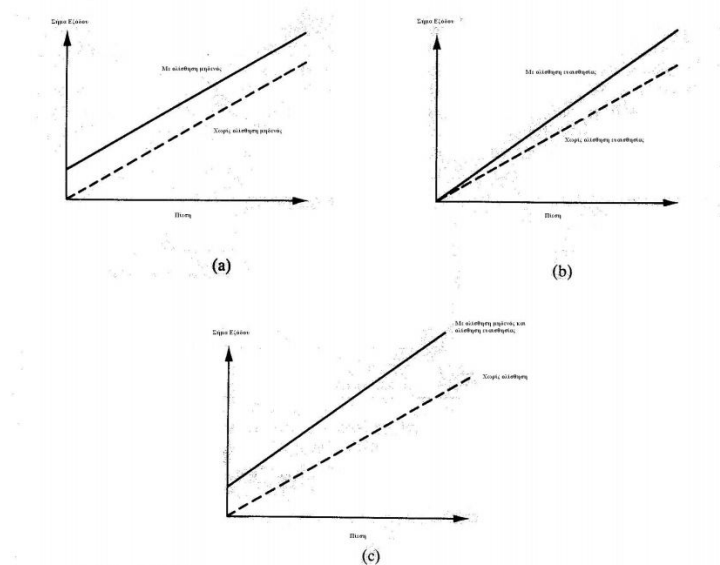
Σχήμα 1: Χαρακτηριστικά εξόδου αισθητήρα.

1.3.6 Ευαισθησία

Ένας αισθητήρας λειτουργεί μέσα σε ένα συγκεκριμένο εύρος χαρακτηριστικών και παραμέτρων. Αυτές οι παράμετροι καθορίζονται από τους κατασκευαστές. Εάν μεταβάλουμε κάποιες παραμέτρους και χαρακτηριστικά πρέπει να δούμε και την αντίστοιχη μεταβολή στην έξοδο του αισθητήρα. Η ελάχιστη μεταβολή η οποία μπορεί να εφαρμοστεί στον αισθητήρα και μπορεί να φέρει μεταβολή στην έξοδό του ονομάζεται ευαισθησία. Σε έναν αισθητήρα μεταβάλλονται συνήθως δύο χαρακτηριστικά, τα οποία είναι η ολίσθηση ευαισθησίας και ολίσθηση του μηδενός.

Η ολίσθηση ευαισθησίας ορίζεται ως το ποσό μεταβολής της ευαισθησίας ενός αισθητήρα λόγω μεταβολής των περιβαλλοντικών συνθηκών. Το μέγεθος της ολίσθησης ανά μονάδα μεταβολής της παραμέτρου που την προκάλεσε εκφράζεται από τον συντελεστή ολίσθησης ευαισθησίας.

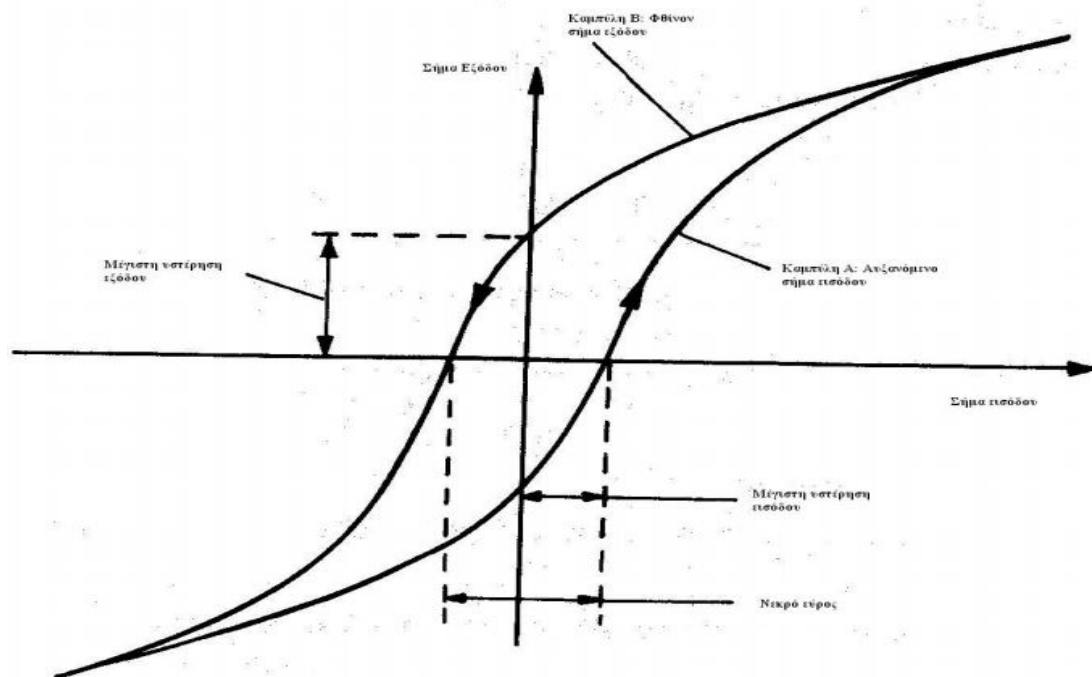
Η ολίσθηση του μηδενός είναι το μη μηδενικό σήμα εξόδου του αισθητήρα όταν το σήμα εισόδου είναι μηδενικό, λόγω μεταβολής των συνθηκών. Εάν έχουμε παραπάνω από μία επηρεάζουσα παράμετρο τότε ο αισθητήρας χαρακτηρίζεται από αντίστοιχες ολισθήσεις του μηδενός. Στο παρακάτω σχήμα παρουσιάζουμε τις δύο παραπάνω ολισθήσεις και την συνδυασμένη επίδραση αυτών.



Σχήμα 2: (a) Ολίσθηση μηδενός, (b) Ολίσθηση ευαισθησίας, (c) Συνδυασμένη επίδραση.

1.3.7 Υστέρηση

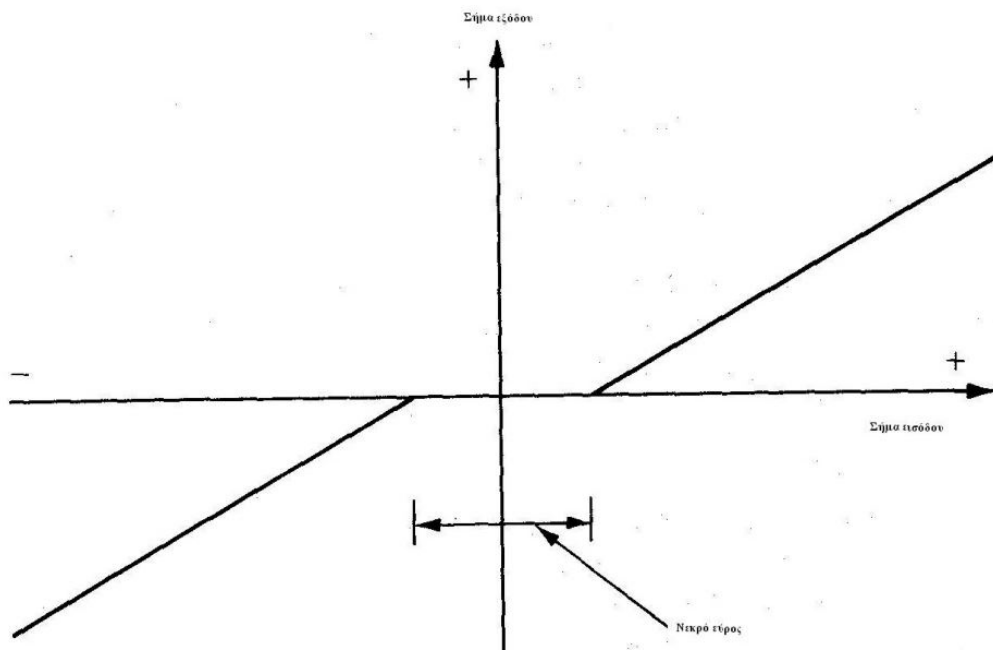
Παρόμοιο μέγεθος με τη γραμμικότητα είναι και η υστέρηση. Ένας αισθητήρας πρέπει να προσαρμόζεται στις διάφορες μεταβολές που συμβαίνουν λόγω του περιβάλλοντος και του εύρους των μετρήσεων, αλλά και να είναι ικανός να καταγράψει παρόμοιες μετρήσεις, παρά τις διαφοροποιήσεις στην κατεύθυνση των μετρήσεων. Η συνήθης παρουσίαση της υστέρησης γίνεται μέσω του λεγόμενου βρόχου υστέρησης, από τον οποίο μπορούν να εξαχθούν πολλά συμπεράσματα για τη φύση και την ποιότητα ενός αισθητήρα.



Σχήμα 3: Βρόχος υστέρησης αισθητήρα.

1.3.8 Χρόνος απόκρισης και νεκρό εύρος

Τέλος, ο χρόνος απόκρισης είναι ο χρόνος ο οποίος χρειάζεται ο αισθητήρας για να εμφανίσει την έξοδο από την στιγμή της διέγερσης. Το νεκρό εύρος είναι το εύρος το οποίο αντιστοιχεί στο χρόνο απόκρισης.



Σχήμα 4: Χαρακτηριστική εξόδου με νεκρό χρόνο.

2 Μαγνητικοί αισθητήρες

2.1 Εισαγωγή

Οι μαγνητικοί αισθητήρες είναι αυτά τα τεχνολογικά μέσα τα οποία επιτρέπουν την μέτρηση των μαγνητικών πεδίων. Οι αρχές στις οποίες βασίζονται οι μαγνητικοί αισθητήρες για να λειτουργήσουν είναι η στενή σχέση μεταξύ των μαγνητικών και των ηλεκτρικών φαινομένων. Σε αυτήν την ενότητα θα περιγράψουμε την λειτουργία των μαγνητικών αισθητήρων και κυρίως των αισθητήρων Fluxgate.

Ανάλογα με την τεχνολογία την οποία χρησιμοποιούν και την πολυπλοκότητα κατασκευής τους, οι αισθητήρες χρησιμοποιούνται για πολλές εφαρμογές οι οποίες έχουν διαφορετικές απαιτήσεις σε σχέση με την ευαισθησία τους. Στο παρακάτω σχήμα παρουσιάζουμε τους πιο σημαντικούς μαγνητικούς αισθητήρες και την αντίστοιχη ευαισθησία τους [5]. Εκτός από την ευαισθησία υπάρχουν και άλλοι παράγοντες οι οποίοι καθιστούν κατάλληλους τους αισθητήρες για διάφορες εφαρμογές όπως η απόκριση, η συχνότητα, η ισχύς και το μέγεθός τους.

Τεχνολογία Μαγνητικών Αισθητήρων	Ανιχνεύσιμο Πεδίο (Gauss)				
	10^{-10}	10^{-6}	10^0	10^3	10^6
1. Search-Coil Magnetometer					
2. Flux-Gate Magnetometer					
3. Optically Pumped Magnetometer					
4. Nuclear-Precession Magnetometer					
5. SQUID Magnetometer					
6. Hall-Effect Sensor					
7. Magnetoresistive Magnetometer					
8. Magnetodiode					
9. Magnetotransistor					
10. Fiber-Optic Magnetometer					
11. Magneto-Optical Sensor					

Σχήμα 5: Σύγκριση μαγνητικών αισθητήρων [5].

2.2 Αισθητήρες Πύλης-Ροής (Fluxgate)

Οι αισθητήρες Fluxgate αναπτύχθηκαν αρχικά τη δεκαετία του 1930 για τη μέτρηση του μαγνητικού πεδίου της γης. Κατά τη διάρκεια του Β΄ Παγκοσμίου Πολέμου χρησιμοποιήθηκαν για ανθυποβρυχιακό πόλεμο και από τα υποβρύχια για τον εντοπισμό των χαμηλά ιπτάμενων αεροσκαφών. Αργότερα χρησιμοποιήθηκαν για αποστολές στο διάστημα.

Τα μαγνητόμετρα Fluxgate μπορούν να μετρήσουν την απόλυτη τιμή της έντασης μαγνητικού πεδίου και την μέτρηση της διαφοράς μεταξύ δύο σημείων εντός μαγνητικού πεδίου. Μπορούν να μετρήσουν πεδίο της τάξης των 10^{-1} έως 10^6 nT [6] και η διακριτική τους ικανότητα μπορεί να πλησιάσει τα 100pT [7]. Το εύρος λειτουργίας τους και η διακριτική τους ικανότητα καλύπτουν το κενό ανάμεσα στους φθηνούς αισθητήρες Hall και στα ακριβά μαγνητόμετρα που βασίζονται σε κβαντικά φαινόμενα όπως τα SQUIDs.

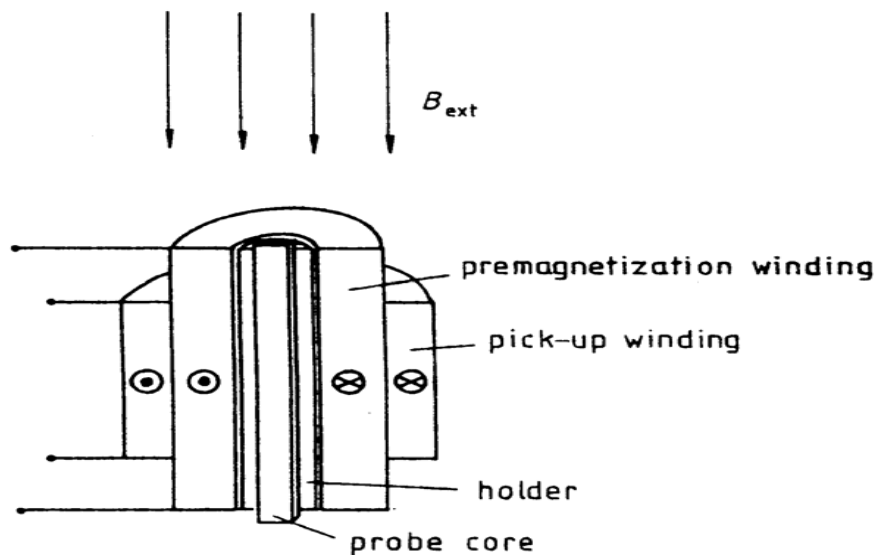
Στις μέρες μας παρατηρείται μεγάλη πρόοδος σε εναλλακτικές τεχνολογίες όμως λόγω των χαρακτηριστικών των αισθητήρων Fluxgate όπως η υψηλή γραμμικότητα, η σταθερότητα, η υψηλή ευαισθησία και το κόστος τους, τους κάνει κατάλληλους για χρήση σε πολλές εφαρμογές. Οι σύγχρονες εφαρμογές τους περιλαμβάνουν γεωμαγνητικές παρατηρήσεις, αναζήτηση ορυκτών, μετρήσεις στο εξώτερο διάστημα, ανίχνευση υποβρυχίων, μαγνητική προστασία πλοίων κλπ. Οι αισθητήρες Fluxgate διαθέτουν δυνατότητα μέτρησης περισσότερων από μίας συνιστωσών μαγνητικού πεδίου, καθώς και εφαρμογές σε μεταλλογραφικές συσκευές προς ανίχνευση ανωμαλιών ή δομικών κενών σε μεταλλικά υλικά.

2.2.1 Βασικές αρχές αισθητήρων Fluxgate

Για τη μέτρηση του μαγνητικού πεδίου υπάρχουν δύο τρόποι: Ο πρώτος τρόπος είναι η άμεση μέτρηση του μαγνητικού πεδίου. Σε αυτόν τον τρόπο σαν είσοδο έχουμε την απόλυτη τιμή του μαγνητικού πεδίου και σαν έξοδο έχουμε ένα

μετρήσιμο σήμα. Αυτή η μέθοδος υπερτερεί λόγω απλότητας, αλλά δεν είναι κατάλληλη για μέτρηση ασθενών μαγνητικών πεδίων. Για να καλυφθεί αυτό το κενό αναπτύχθηκαν οι αισθητήρες Fluxgate οι οποίοι χρησιμοποιούν το δεύτερο τρόπο, δηλαδή για να μετρήσουν το μαγνητικό πεδίο απαιτούν ένα πεδίο αναφοράς ώστε να γίνει η σύγκριση με το προς μέτρηση πεδίο.

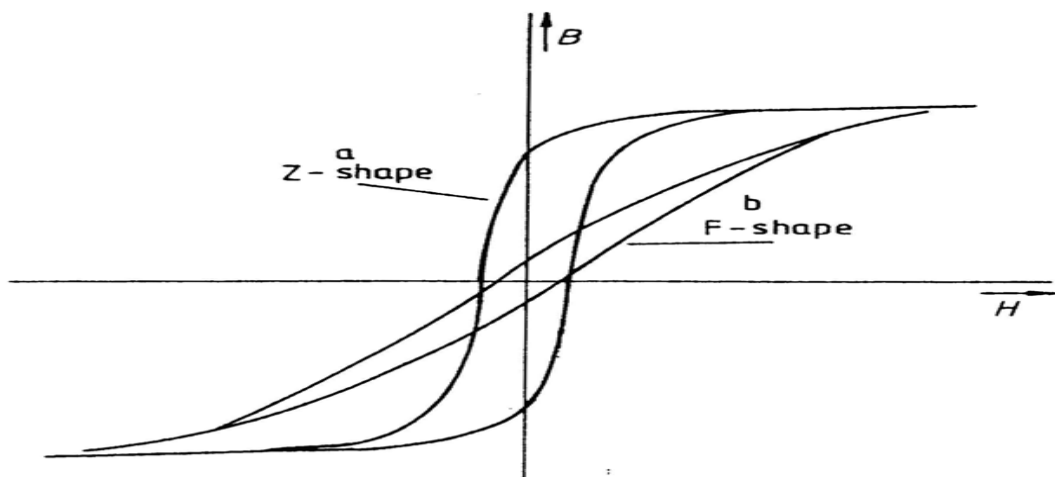
Για να λειτουργήσει ο αισθητήρας Fluxgate πρέπει να επιβληθεί, μέσω του πηνίου διέγερσης στον πυρήνα του, πεδίο αναφοράς το οποίο συνήθως είναι ένα εναλλασσόμενο ημιτονοειδές, τετραγωνικό ή τριγωνικό σήμα. Με αυτόν τον τρόπο ο πυρήνας οδηγείται σε κορεσμό. Το μετρούμενο πεδίο το λαμβάνουμε από το πηνίο λήψης. Έτσι, το αισθητήριο τμήμα ενός Fluxgate περιλαμβάνει συνήθως έναν πυρήνα σιδηρομαγνητικού υλικού υψηλής μαγνητικής διαπερατότητας και χαμηλού συνεκτικού πεδίου, γύρω από το οποίο τυλίγονται δύο τουλάχιστον πηνία, όπως φαίνεται στο Σχήμα 6 [6].



Σχήμα 6: Στοιχειώδες σχέδιο αισθητήρα Fluxgate.

Για να επιλεγεί ένας Fluxgate για συγκεκριμένη εφαρμογή βασιζόμαστε στην καμπύλη μαγνήτισης η οποία φαίνεται στο Σχήμα 7 [6]. Τα χαρακτηριστικά τα οποία παρατηρούμε στην καμπύλη μαγνήτισης ενός υλικού, ώστε να κριθεί κατάλληλος για τον Fluxgate είναι :

- σχήμα
- συμμετρία
- συμπεριφορά μηδενικού σημείου
- συμπεριφορά κορεσμού



Σχήμα 7: Χαρακτηριστικές μορφές καμπύλης μαγνήτισης [6]

Παρατηρώντας την καμπύλη συμπεραίνουμε ότι ο πυρήνας ο οποίος έχει την Z-καμπύλη φτάνει πιο γρήγορα στον κορεσμό όσο αυξάνεται το πεδίο ενώ ο πυρήνας της καμπύλης F απαιτεί πιο μεγάλο πεδίο. Άρα ανάλογα με την εφαρμογή που επιθυμούμε να χρησιμοποιήσουμε το Fluxgate επιλέγουμε και τον αντίστοιχο πυρήνα. Ακόμα, το εμβαδόν της καμπύλης παριστάνει την ενέργεια που καταναλώνεται, λόγω υστέρησης, υπό την μορφή θερμότητας. Άρα η ισχύς P των απωλειών υστέρησης δίνεται από την σχέση:

$$P = fVS$$

2.1

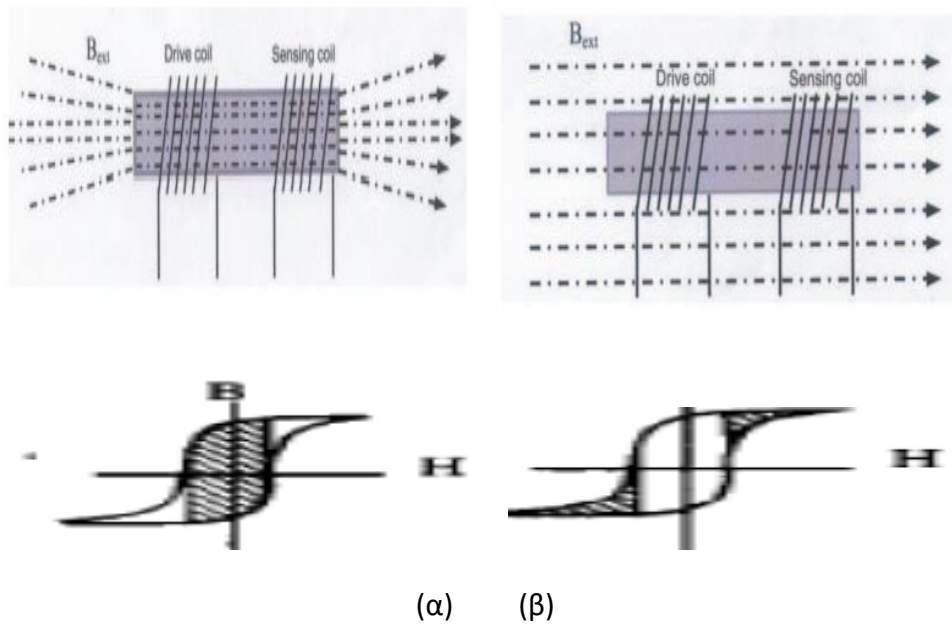
οπού f η συχνότητα της κυκλικής εναλλαγής του μαγνητικού πεδίου που επιβάλλεται στον πυρήνα, V ο όγκος του και S το εμβαδό του βρόχου υστέρησης.

2.2.2 Αρχή λειτουργίας μαγνητόμετρων Fluxgate

Ο αισθητήρας Fluxgate αποτελείται από τα εξής κύρια μέρη:

- μαγνητικό πυρήνα,
- πηνίο διέγερσης του πυρήνα,
- πηνίο μέτρησης του εξωτερικού πεδίου

Στη λειτουργία του διακρίνονται οι καταστάσεις όταν ο μαγνητικός πυρήνας δεν βρίσκεται σε κορεσμό (Σχήμα 8α) και όταν ο μαγνητικός πυρήνας βρίσκεται σε κορεσμό (Σχήμα 8β). Οι καταστάσεις επιτυγχάνονται με την επιβολή ενός αρμονικά μεταβαλλόμενου ηλεκτρικού σήματος στο πηνίο διέγερσης. Κατά τη διάρκεια του κορεσμού, το εξωτερικό μαγνητικό πεδίο δεν εισέρχεται στον μαγνητικό πυρήνα αλλά όταν δεν βρίσκεται σε κορεσμό μπορεί να εισέλθει σε αυτόν. Όσο το εξωτερικό μαγνητικό πεδίο εισέρχεται και εξέρχεται στον μαγνητικό πυρήνα η μαγνητική ροή Φ μεταβάλλεται. Η μεταβολή αυτή η οποία είναι ανάλογη του εξωτερικού μαγνητικού πεδίου γίνεται αισθητή από το πηνίο μέτρησης.



Σχήμα 8: : Καταστάσεις του μαγνητικού πυρήνα όταν (α) δεν βρίσκεται σε κορεσμό και (β) βρίσκεται σε κορεσμό

Από τις σχέσεις μεταξύ μαγνητικού πεδίου, έντασης μαγνητικού πεδίου και μαγνήτισης ξέρουμε ότι:

$$B = \mu_0(H + M) \quad 2.2$$

$$M = \chi H \quad 2.3$$

και άρα προκύπτει ότι:

$$B = (\mu_0\mu_r)H \quad 2.4$$

όπου :

$$\mu_r = 1 + \chi \quad 2.5$$

Το εξωτερικό μαγνητικό πεδίο μπορεί να γραφτεί ως:

$$H = H_{external} - DM \Rightarrow \frac{1}{\mu_0} B_{external} - DM \quad 2.6$$

όπου ως D ορίζεται ο παράγοντας απομαγνήτισης. Λαμβάνοντας υπόψη την εξίσωση 2.2, καταλήγουμε στην εξίσωση:

$$B = \frac{\mu_0}{1 + D(\mu_r - 1)} B_{external} \quad 2.7$$

Η τάση στα άκρα του πηνίου μέτρησης είναι ανάλογη της μεταβολής της μαγνητικής ροής και δίνεται από την εξίσωση:

$$V = nA \frac{dB}{dt} \quad 2.8$$

όπου n ο αριθμός των σπειρών του πηνίου μέτρησης και A η διατομή του. Διαφορίζοντας την εξίσωση 2.7 καταλήγουμε:

$$V = \frac{nA(1 - D) \frac{d\mu_r}{dt}}{1 + D(\mu_r - 1)^2} B_{external} \quad 2.9$$

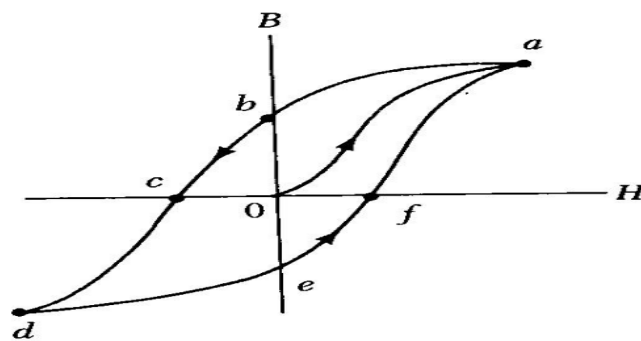
Η εξίσωση 2.9 παρουσιάζει τη μετρούμενη τάση στα άκρα του πηνίου μέτρησης η οποία είναι ανάλογη του εξωτερικού μαγνητικού πεδίου.

2.2.3 Διατάξεις αισθητήρα Fluxgate

Αναλόγως με τη διάταξη οι αισθητήρες Fluxgate κατηγοριοποιούνται σε:

- Fluxgate παράλληλου τύπου
- Fluxgate ορθογώνιου τύπου

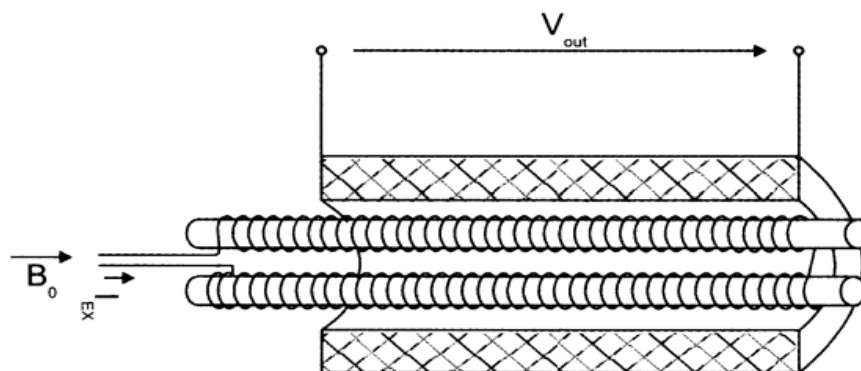
Ως fluxgates παράλληλου τύπου ορίζονται οι αισθητήρες εκείνοι στους οποίους το πεδίο διέγερσης είναι παράλληλο με την προς μέτρηση συνιστώσα του μαγνητικού πεδίου. Σε αυτήν την κατηγορία ανήκουν οι αισθητήρες διαμήκους πυρήνα. Η απλούστερη διάταξη αισθητήρα Fluxgate είναι ο αισθητήρας διαμήκους πυρήνα που φαίνεται στο Σχήμα 6. Καθώς αυξάνεται το επιβαλλόμενο μαγνητικό πεδίο ο πυρήνας φτάνει στο σημείο κορεσμού. Στο Σχήμα 9 αυτό το σημείο είναι το σημείο *a*. Στην συνέχεια όταν μηδενιστεί το εξωτερικό πεδίο που προκάλεσε την μαγνήτιση, η μαγνητική επαγωγή δεν μηδενίζεται, αλλά διατηρεί θετικό πρόσημο. Η τιμή αυτή είναι το σημείο *b* και ονομάζεται παραμένουσα μαγνήτιση. Όταν αλλάζει η πολικότητα του μαγνητικού πεδίου, μηδενίζεται η μαγνήτιση του πυρήνα (σημείο *c*). Αυξάνοντας περαιτέρω τη διέγερση, ο πυρήνας φτάνει στον κόρο (σημείο *d*). Μειώνοντας στη συνέχεια το πεδίο μέχρι να μηδενιστεί, έχουμε και πάλι παραμένουσα μαγνήτιση στον πυρήνα με αντίθετη κατεύθυνση (σημείο *e*). Εφαρμόζοντας πάλι θετικό πεδίο συμπληρώνεται η κλειστή καμπύλη. Έτσι, η καμπύλη μαγνήτισης στην περίπτωση αυτή τοποθετείται συμμετρικά γύρω από το σημείο *O*, και οι δύο ακραίες φάσεις (θετική και αρνητική μαγνήτιση κορεσμού) απέχουν ακριβώς μισή περίοδο.



Σχήμα 9: Βρόχος υστέρησης.

Αν τώρα ο σιδηρομαγνητικός πυρήνας βρεθεί εντός πεδίου με διεύθυνση παράλληλη με τον άξονα του πυρήνα, η παραπάνω συμμετρία διαταράσσεται. Στη θετική (ως προς το εξωτερικό πεδίο) ημιπερίοδο του κύκλου μαγνήτισης, ο κορεσμός θα υφίσταται λίγο νωρίτερα, καθώς αυτός εξαρτάται από το συνολικό πεδίο, που στην περίπτωση αυτή είναι η υπέρθεση του πεδίου διέγερσης και του εξωτερικού πεδίου, που είναι ομόρροπα. Στην αρνητική ημιπερίοδο, ο κορεσμός θα υφίσταται λίγο αργότερα αφού πλέον το συνολικό πεδίο είναι η υπέρθεση δύο αντίρροπων μαγνητικών πεδίων. Συμπεραίνουμε ότι όταν ο πυρήνας βρεθεί στην επίδραση του εξωτερικού πεδίου προκαλεί μια χρονική καθυστέρηση μεταξύ της εμφάνισης δύο διαδοχικών καταστάσεων κορεσμού αντίθετης πολικότητας. Η ιδιότητα αυτή αποτελεί τη βάση για τη λειτουργία του Fluxgate διαμήκους πυρήνα.

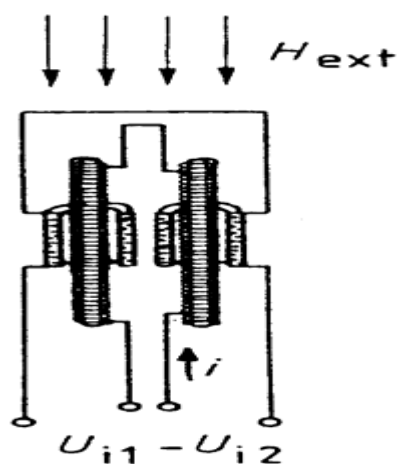
Επειδή στην απλή διάταξη του Fluxgate στο τύλιγμα λήψης υπάρχει και η συνιστώσα που αντιστοιχεί στην συχνότητα διέγερσης, αναπτύχθηκε ο Fluxgate που φαίνεται στο Σχήμα 10 [7].



Σχήμα 10: Double-rod Fluxgate [7].

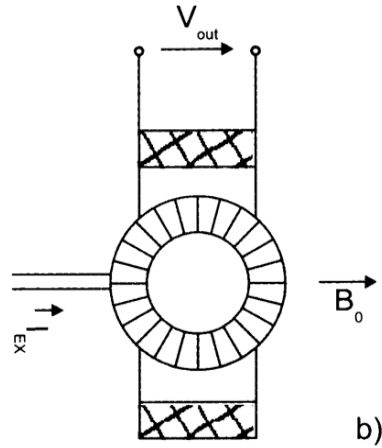
Σε αυτήν την διάταξη χρησιμοποιούνται δύο ίδιοι σιδηρομαγνητικοί πυρήνες οι οποίοι είναι τοποθετημένοι παράλληλα σε μικρή απόσταση μεταξύ τους. Το πηνίο λήψης τυλίγεται γύρω από τους δύο πυρήνες ενώ το πηνίο διέγερσης τυλίγεται με

αντίθετη φορά, έτσι ώστε τα πεδία διέγερσης των σιδηρομαγνητών να έχουν διαφορά φάσης 180° . Απουσία μαγνητικού πεδίου, το δευτερεύον πηνίο δίνει πάντα μηδενική έξοδο καθώς η συνολική μαγνητική ροή διαμέσου αυτού είναι μηδενική. Αν όμως εφαρμοσθεί πεδίο παράλληλα με τον άξονα των σιδηρομαγνητικών πυρήνων τότε ενισχύεται η μαγνητική επαγωγή προς τη μία κατεύθυνση και έτσι στο πηνίο λήψης επάγεται μετρήσιμη τάση που είναι ανάλογη προς την ένταση H του εξωτερικού πεδίου. Παραλλαγή της διάταξης αυτής αποτελεί η υλοποίηση του αισθητήρα με δύο εν σειρά συνδεδεμένα πηνία λήψης, ένα για κάθε πυρήνα, όπως φαίνεται στο Σχήμα 11 [6] με πλεονέκτημα τον εύκολο μηδενισμό των offsets των οργάνων με κίνηση των πυρήνων εντός των δευτερευόντων πηνίων [8].



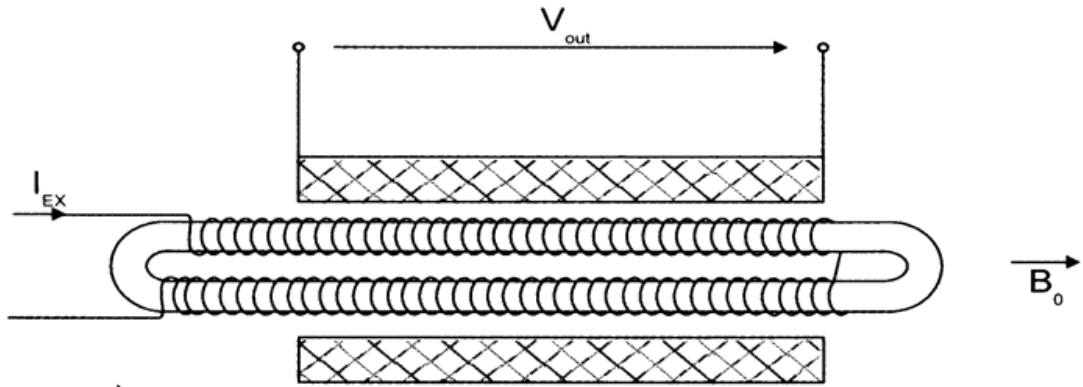
Σχήμα 11: Fluxgate διαμήκους πυρήνα τύπου F6rster [7].

Μία επίσης σημαντική κατηγορία Fluxgate παράλληλου τύπου είναι οι διατάξεις δακτυλιοειδούς πυρήνα. Σε αυτή την υλοποίηση όπως φαίνεται στο Σχήμα 12 [7], το πηνίο διέγερσης τυλίγεται τοροειδώς γύρω από τον δακτυλιοειδή πυρήνα ο οποίος έχει προσανατολισμό τέτοιο ώστε το προς μέτρηση πεδίο να κείται παράλληλα με μία διάμετρο του δακτυλίου. Σε αυτήν την διάταξη στον μισό δακτύλιο το πεδίο λόγω του ρεύματος διέγερσης είναι παράλληλο με το εξωτερικό πεδίο, και στον άλλο μισό αντιπαράλληλο. Το πηνίο λήψης είναι ένα απλό σωληνοειδές με άξονα παράλληλο στο προς μέτρηση πεδίο.



Σχήμα 12: Fluxgate Δακτυλιοειδούς πυρήνα.

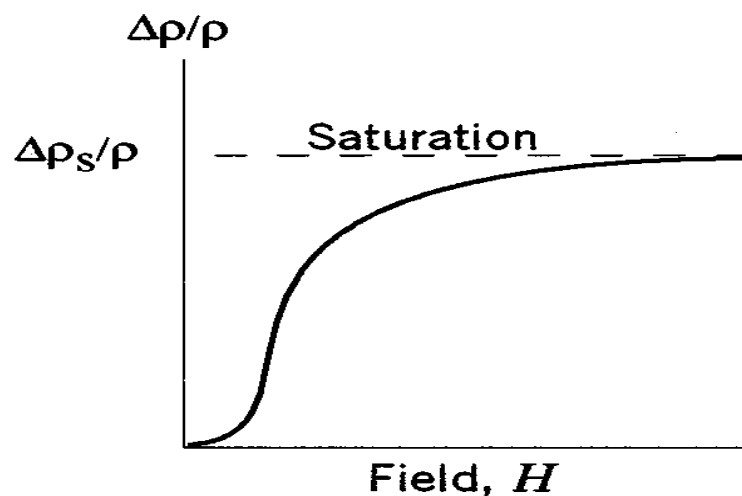
Ακόμα μία κατηγορία αισθητήρων Fluxgate αποτελούν οι αισθητήρες ελλειψοειδούς πυρήνα (race-track sensors). Ένας τυπικός αισθητήρας της μορφής αυτής φαίνεται στο Σχήμα 13 [7]. Σε αυτές τις διατάξεις το πεδίο διέγερσης είναι κάθετο ως προς τη μετρούμενη συνιστώσα μαγνητικού πεδίου.



Σχήμα 13: Fluxgate ελλειψοειδούς πυρήνα.

2.3 Αισθητήρες Μαγνητοαντίστασης

Το φαινόμενο Μαγνητοαντίστασης παρατηρήθηκε από τον William Thomson. Σύμφωνα με το φαινόμενο της μαγνητοαντίστασης, αν εφαρμοστεί ένα μαγνητικό πεδίο σε ένα υλικό από το οποίο διέρχεται ρεύμα, τότε παρατηρείται μεταβολή στην ηλεκτρική αντίσταση αυτού του υλικού. Το ποσοστό της αλλαγής εξαρτάται από το μέγεθος της μαγνήτισης και τη διεύθυνση του ρεύματος το οποίο χρησιμοποιείται για την μέτρηση της ειδικής αντίστασης. Τα υλικά που συνήθως χρησιμοποιούνται είναι κράματα νικελίου και σιδήρου, σε μορφή λεπτών υμένων, επειδή παρουσιάζουν την μεγαλύτερη αλλαγή στην ειδική αντίσταση (περίπου 5%). Στο Σχήμα 14 παρουσιάζεται γραφικά η μεταβολή της ειδικής αντίστασης για πεδίο το οποίο έχει εφαρμοστεί παράλληλα προς την ροή του ρεύματος.

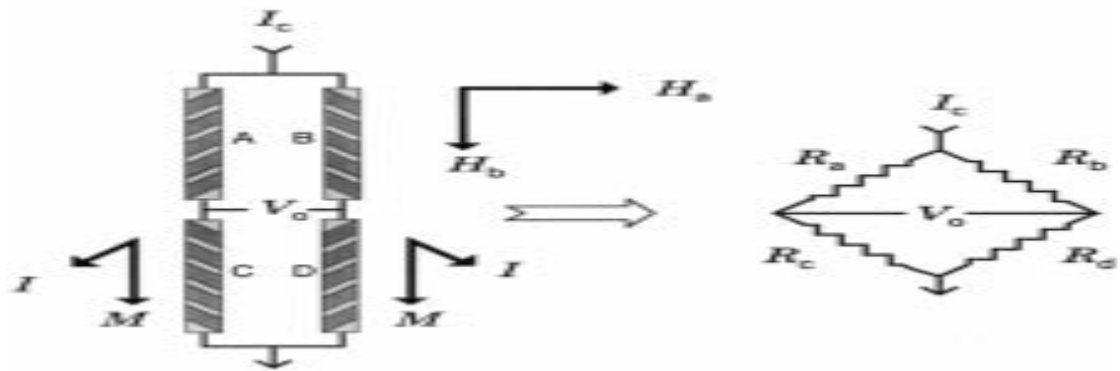


Σχήμα 14: Αλλαγή ειδικής αντίστασης συναρτήσει μαγνητικού πεδίου.

Όπως φαίνεται, η αντίσταση αυξάνεται όταν αυξάνεται το μαγνητικό πεδίο. Η ηλεκτρική αντίσταση του υλικού αυξάνεται λόγω της μαγνήτισης των διπόλων του. Όταν τα μαγνητικά δίπολα διαταχθούν κάθετα στη φορά του ρεύματος, προκαλούνται σκεδάσεις των ηλεκτρονίων, με συνέπεια τη μείωση της κινητικότητάς

τους και τελικά, την αύξηση της αντίστασης του υλικού. Σε αυτές τις ιδιότητες βασίζεται η Ανισοτροπική Μαγνητοαντίσταση (AMR) [9].

Οι αισθητήρες μαγνητοαντίστασης συνήθως ενσωματώνονται σε ηλεκτρονικά κυκλώματα ως διατάξεις τεσσάρων αισθητήρων σε γέφυρα Wheatstone όπως φαίνεται στο Σχήμα 15. Οι αντιστάσεις έχουν τον ίδιο προσανατολισμό με την ροή του ρεύματος. Έτσι οι αντιστάσεις οι οποίες βρίσκονται σε παράλληλες θέσεις (θέσεις A και D) έχουν προσανατολισμό στην ροή ρεύματος που διαρρέει κατά 90° από τον προσανατολισμό των άλλων δυο αντιστάσεων (θέσεις B και C). Αυτή η διάταξη επιτυγχάνει ενίσχυση της τάσης εξόδου κατά τέσσερις φορές μεγαλύτερη από την διάταξη που περιλαμβάνει μόνο μία μαγνητοαντίσταση [5].



Σχήμα 15: Μαγνητόμετρο Μαγνητοαντίστασης

Παρόμοιο τρόπο λειτουργίας με τους AMR, έχουν οι αισθητήρες GMR (Giant MagnetoResistance). Η διαφορά με τους AMR είναι η μεγαλύτερη μεταβολή ηλεκτρικής αντίστασης που παρουσιάζουν, της τάξης του 10 ή 20%. Η ανακάλυψη των αισθητήρων GMR οδήγησε στην απονομή του βραβείου Nobel στους ερευνητές Albert Fert και Peter Grünberg το 2007 [10].

2.4 Μαγνητόμετρο πηνίου ανίχνευσης

Τα μαγνητόμετρα πηνίου ανίχνευσης (search-coil magnetometers), τα οποία βασίζονται στους επαγωγικούς αισθητήρες, είναι αισθητήρες οι οποίοι μετρούν την μεταβαλλόμενη μαγνητική ροή χάρη στο νόμο του Lenz. Τα μαγνητόμετρα πηνίου ανίχνευσης αποτελούνται από έναν επαγωγικό αισθητήρα, ο οποίος είναι συνδεδεμένος με το κατάλληλο ηλεκτρονικό κύκλωμα. Προσφέρουν τη δυνατότητα μέτρησης άνω του ενός διανυσμάτων του μαγνητικού πεδίου και έχουν εύρος μέτρησης πεδίου από mHz έως MHz [11].



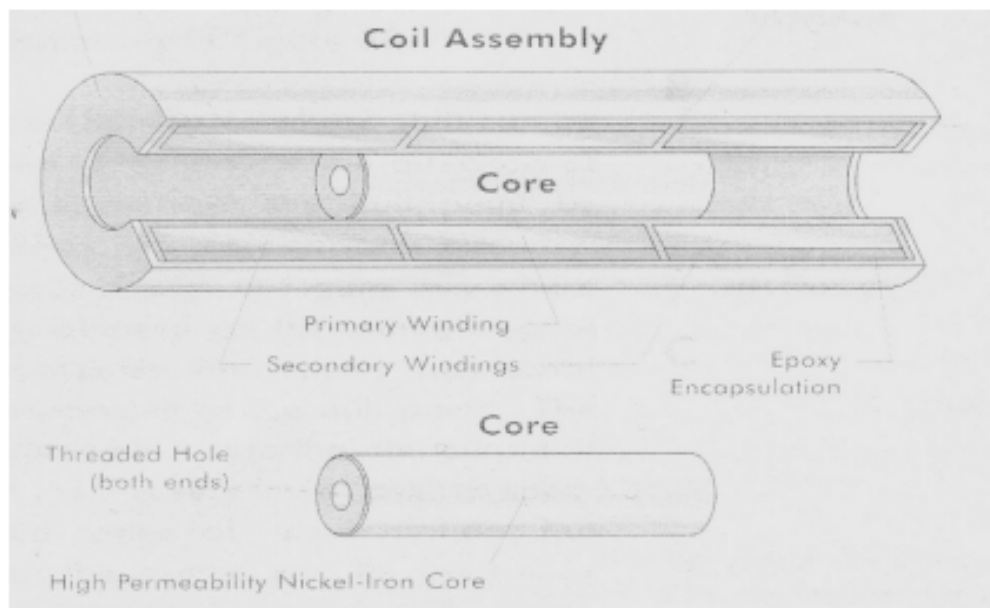
Σχήμα 16: Μαγνητόμετρο πηνίου ανίχνευσης

Η ευαισθησία αυτών των μαγνητόμετρων εξαρτάται από τη διαπερατότητα του πυρήνα, τις γεωμετρικές διαστάσεις του πηνίου και το ρυθμό μεταβολής της μαγνητικής ροής διαμέσου του πηνίου.

2.5 Αισθητήρες LVDT

Ένας αισθητήρας LVDT (Linear Variable Differential Transformer – Γραμμικός μεταβλητός διαφορικός μετασχηματιστής) μπορεί να μετρήσει τη γραμμική μετατόπιση ενός υλικού από μερικά εκατοστά της ίντσας μέχρι μερικές ίντσες.

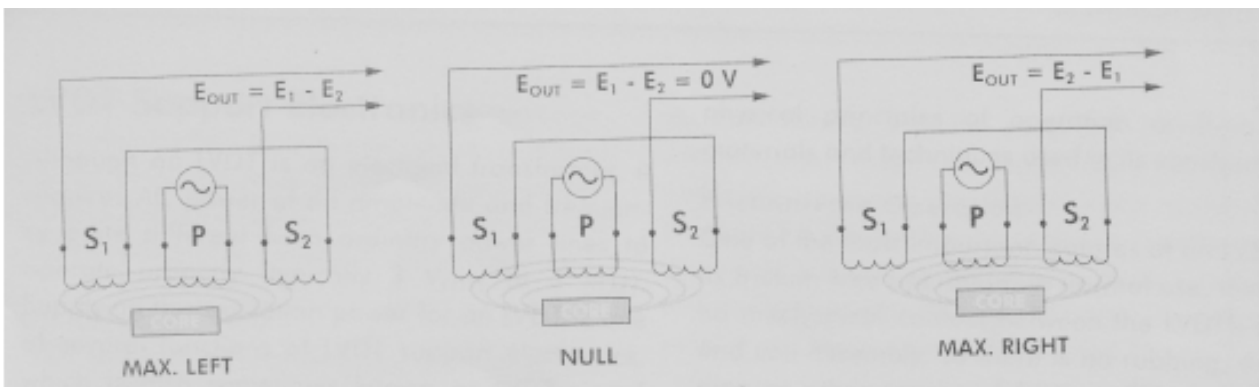
Στο Σχήμα 17 παρουσιάζουμε την δομή του LVDT. Ως μετασχηματιστής, στο εσωτερικό του έχει ένα πρωτεύον τυλίγμα το οποίο είναι τοποθετημένο στο κέντρο του και είναι ανάμεσα από δυο τυλίγματα (πρωτεύον και δευτερεύον). Τα τυλίγματα είναι τοποθετημένα σε έναν κύλινδρο, ο οποίος είναι συνήθως γυάλινος. Όλη η παραπάνω δομή περικλείεται από κάποιο προστατευτικό υλικό με μεγάλη μαγνητική διαπερατότητα και αποτελεί το σταθερό μέρος του αισθητήρα. Το κινητό μέρος του LVDT αποτελείται από τον πυρήνα ο οποίος μετακινείται κατά μήκος του άξονα του πηνίου [12].



Σχήμα 17: Αισθητήρας LVDT[12].

Για να λειτουργήσει ο αισθητήρας τροφοδοτούμε το πρωτεύον πηνίο με εναλλασσόμενο ρεύμα κατάλληλου πλάτους και συχνότητας. Επειδή το σήμα

εισόδου περνάει από τα δύο δευτερεύοντα πηνία, η έξοδος του μεταβάλλεται ανάλογα με την κίνηση του πυρήνα. Λόγω του εναλλασσόμενου ρεύματος εισόδου αναπτύσσεται στα δευτερεύοντα πηνία μαγνητική ροή S_1 και S_2 . Η τιμή των μαγνητικών ροών εξαρτάται από τη θέση του πυρήνα. Ανάλογα με την μαγνητική ροή έχουμε και την αντίστοιχη τάση E_1 και E_2 . Η έξοδος του αισθητήρα είναι ανάλογη της διαφοράς των δύο τάσεων στα δευτερεύοντα πηνία, άρα $E_2 - E_1$ ή $E_1 - E_2$. Οι τρεις καταστάσεις στις οποίες μπορεί να βρεθεί ο αισθητήρας φαίνονται στο Σχήμα 18.



Σχήμα 18: Καταστάσεις λειτουργίας αισθητήρα.

Μερικά από τα πλεονεκτήματα του LVDT είναι η μηδενική τριβή κατά τη λειτουργία του, η ικανοποιητική ανάλυση, η μεγάλη διάρκεια μηχανικής ζωής, η άμεση απόκριση, η αντοχή σε περιβαλλοντικές συνθήκες κ.α.

2.6 Αισθητήρες SQUID

Τα πιο ευαίσθητα όργανα μέτρησης μαγνητικού πεδίου είναι οι αισθητήρες SQUID. Οι υπερευαίσθητοι αισθητήρες SQUID (Superconducting Quantum Interference Device) είναι αισθητήρες μαγνητικής ροής που μπορούν να διακρίνουν διαφορές της τάξης των 10^{-11} του μαγνητικού πεδίου της Γης. Η μέτρηση του

μαγνητικού πεδίου γίνεται όταν συγκεκριμένα υλικά ψύχονται κάτω από μία υπεραγώγιμη μεταβατική θερμοκρασία. Με αυτόν τον τρόπο τα υλικά χάνουν την ηλεκτρική τους αντίσταση και γίνονται υπεραγωγοί.

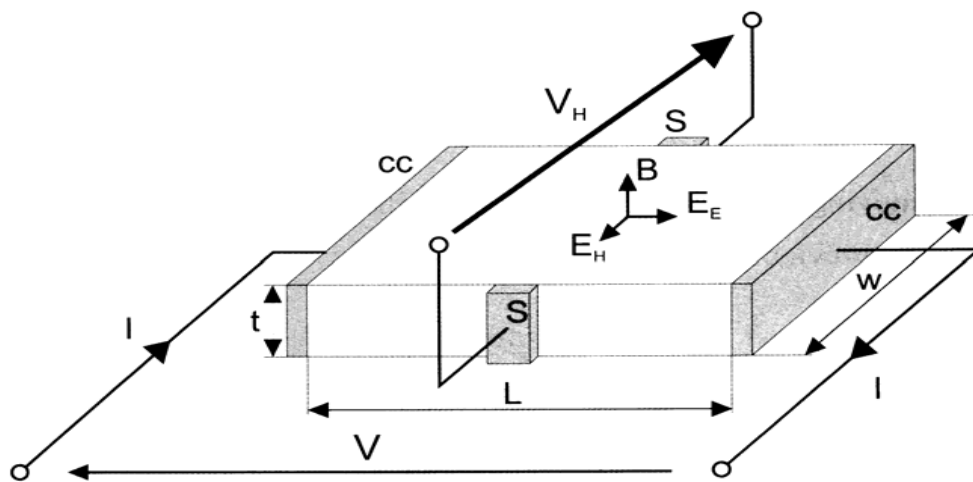
Ανάλογα με τη θερμοκρασία λειτουργίας τους οι αισθητήρες αυτής της κατηγορίας χωρίζονται σε δύο κατηγορίες: στους αισθητήρες χαμηλής θερμοκρασίας (LTS) και στους αισθητήρες υψηλής θερμοκρασίας (HTS). Οι LTS αισθητήρες λειτουργούν σε θερμοκρασίες -270°C και κατασκευάζονται από νιόβιο ή κράματα μόλυβδου και χρυσού. Για τη λειτουργία τους απαιτείται ψύξη με υγρό ήλιο, κάτι που τους καθιστά πιο δύσχρηστους. Αντιθέτως, οι HTS αισθητήρες μπορούν να λειτουργήσουν σε θερμοκρασίες έως και περίπου -130°C . Κατασκευάζονται από YBCO (Yttrium Barium Copper Oxide) και ψύχονται με υγρό άζωτο, το οποίο είναι πιο εύχρηστο σε σχέση με το υγρό ήλιο και έχει χαμηλότερο κόστος.

Η λειτουργία τους συνδυάζει το κβαντικό φαινόμενο της σήραγγας Josephson, σύμφωνα με το οποίο ένα ρεύμα μπορεί να διαπεράσει ένα υπέρλεπτο μη υπεραγώγιμο στρώμα που βρίσκεται μεταξύ ενός ζεύγους υπεραγώγιμων υλικών. Λόγω της μαγνητικής ροής η οποία δημιουργείται όταν ψύχονται σε κατάλληλη θερμοκρασία και του επιβαλλόμενου εξωτερικού μαγνητικού πεδίου έχουμε απώλεια ενέργειας. Η απώλεια ενέργειας δημιουργείται λόγω της στιγμιαίας αλλαγής της μαγνητικής ροής όταν βρεθεί μέσα στο επιβαλλόμενο μαγνητικό πεδίο. Μετρώντας αυτήν την ενέργεια, υπολογίζεται η τιμή του μαγνητικού πεδίου [13].

2.7 Αισθητήρας Hall

Οι αισθητήρες Hall βασίζονται στο ομώνυμο φαινόμενο. Όταν ένα αγώγιμο ή ημιαγώγιμο υλικό βρεθεί μέσα σε ένα μαγνητικό πεδίο, στις αντιδιαμετρικές πλευρές του εμφανίζεται διαφορά ηλεκτρικού δυναμικού. Κατά συνέπεια, οι φορείς ηλεκτρικού φορτίου εκτρέπονται λόγω της δύναμης Lorentz που ασκείται σε αυτούς από το πεδίο. Η γωνία εκτροπής εξαρτάται από την ένταση του εφαρμοζόμενου

πεδίου, και την ένταση του διερχόμενου ηλεκτρικού ρεύματος. Αποτέλεσμα της δράσης της δύναμης Lorentz είναι η συγκέντρωση ηλεκτρονίων στο ένα άκρο του αγωγού και οπών στο άλλο. Καθώς η συγκέντρωση φορέων στα δύο άκρα αυξάνεται, δημιουργείται ηλεκτρικό πεδίο που στο σχήμα συμβολίζεται με E_H και κατά συνέπεια είναι δυνατή η μέτρηση της τάσης Hall η οποία μπορεί να δώσει ένα μέτρο της τιμής του εφαρμοζόμενου πεδίου [14].



Σχήμα 19: Η βασική διάταξη αισθητήρα Hall.

3 Εφαρμογές μαγνητικών αισθητήρων

3.1 Εισαγωγή

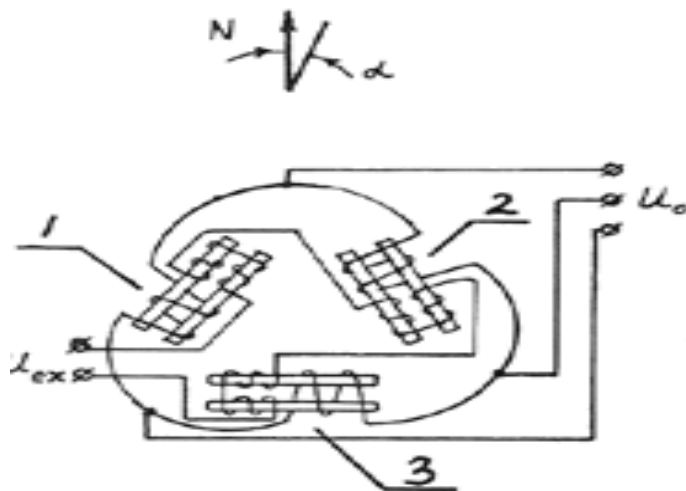
Στις μέρες μας, οι μαγνητικοί αισθητήρες είναι σε θέση να δώσουν λύση σε ποικίλα θέματα, όπως είναι ο εντοπισμός θέσης ή ο έλεγχος στάθμης. Ένας μαγνητικός αισθητήρας μετατρέπει τη μεταβολή της έντασης ενός μαγνητικού πεδίου σε ηλεκτρικό σήμα. Η μεταβολή της έντασης του μαγνητικού πεδίου μετράται με τους τρόπους που αναφέρθηκαν σε προηγούμενα κεφάλαια αυτής της εργασίας. Οι εφαρμογές τους είναι άπειρες και αρχίζουν από τις πιο απλοϊκές και γνωστές σ' όλους τους ανθρώπους όπως είναι π.χ. η μαγνητική πυξίδα, μέχρι τις σύνθετες μεθόδους μέτρησης μεταβολών του μαγνητικού πεδίου της γης για ανίχνευση πετρελαίου, αρχαιοτήτων, νερού κ.α. στο υπέδαφος.

3.2 Εφαρμογές στην πλοήγηση

Η πιο διαδεδομένη εφαρμογή των μαγνητικών αισθητήρων είναι η χρήση τους στην πλοήγηση στην θάλασσα και στον αέρα. Η ανάπτυξη των GPS έδωσε ώθηση στη τεχνολογία των μαγνητικών αισθητήρων για να κατασκευαστούν ολοκληρωμένοι μαγνητικοί αισθητήρες οι οποίοι μπορούσαν να τοποθετηθούν σε αυτά. Η τοποθέτηση των μαγνητόμετρων μέσα στα συστήματα πλοήγησης έγινε για τον λόγο του ότι τα GPS λειτουργούν μόνο σε μέρη τα οποία είναι ορατά από τους δορυφόρους. Σε περιοχές οι οποίες δεν καλύπτονται από τους δορυφόρους, λειτουργούν τα μαγνητόμετρα των συστημάτων πλοήγησης. Αυτή η εφαρμογή είναι απαραίτητη κυρίως στα αεροσκάφη και στους πυραύλους οι οποίοι δεν μπορούν να λειτουργήσουν χωρίς τη συνεχή λήψη συντεταγμένων.

Ακόμα μια εφαρμογή στην πλοήγηση είναι αυτή στα υποβρύχια. Η πλοήγησή τους εξαρτάται αποκλειστικά από μαγνητόμετρα μεγάλης ακρίβειας. Στις μέρες μας μπορούν να κατασκευαστούν ηλεκτρονικές πυξίδες με ακρίβεια $0,1^\circ$ με δυνατότητα αυτόματης αντιστάθμισης ανωμαλιών. Αυτές οι ανωμαλίες προέρχονται από τα ηλεκτρικά ρεύματα των διαφόρων συστημάτων και των μαγνητικών πεδίων που προέρχονται από την κατασκευή των πλοίων και των αεροσκαφών.

Μια πυξίδα του τύπου Fluxgate βασίζεται στην αρχή λειτουργίας ενός μαγνητόμετρου του ανωτέρω τύπου. Χρησιμοποιεί δύο ή περισσότερα ζεύγη πηνίων. Στο Σχήμα 21 παρουσιάζεται το διάγραμμα μιας πυξίδας αυτού του τύπου που χρησιμοποιεί τρία ζεύγη πηνίων. Όταν ο προσανατολισμός της πυξίδας αλλάξει τότε παράγεται μια τάση στην έξοδο που είναι ανάλογη της απόκλισης από τον Βορρά σε μοίρες. Το πλεονέκτημα αυτής της πυξίδας είναι ότι οι ενδείξεις της μπορούν να μεταφερθούν ψηφιακά σε οποιοδήποτε σημείο [5].



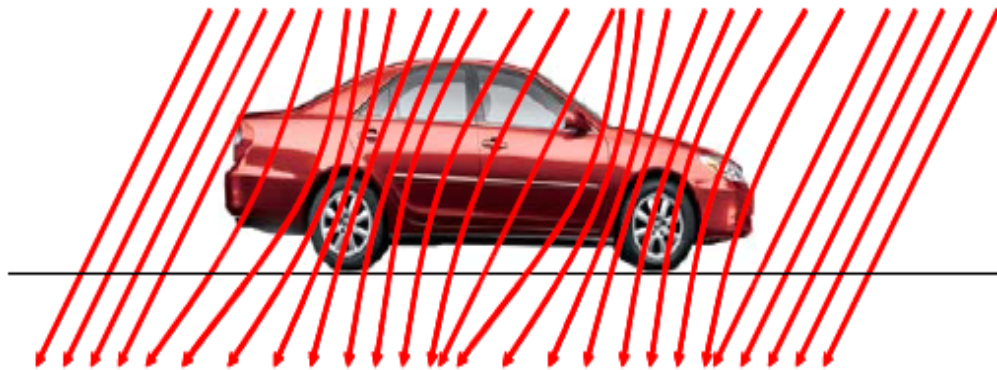
Σχήμα 20: Διάταξη πυξίδας τύπου Fluxgate [5].

3.3 Εφαρμογές ανίχνευσης οχημάτων

Μία άλλη εφαρμογή των μαγνητικών αισθητήρων είναι στην αυτοκινητοβιομηχανία. Σε αυτήν την εφαρμογή χρησιμοποιούνται οι AMR αισθητήρες για την ανίχνευση οχημάτων που βρίσκονται κοντά στον αισθητήρα ή στο σύστημα των αισθητήρων [5].

Με την ένταξη των αισθητήρων στην αυτοκινητοβιομηχανία μπορούμε πλέον να προσδιορίσουμε την ταχύτητα, την διεύθυνση της κυκλοφορίας, καθώς και τον αριθμό και τον τύπο των αυτοκίνητων που διέρχονται από κάποιο δρόμο. Επειδή τα σημερινά αυτοκίνητα έχουν αρκετή ποσότητα από σίδηρο, χάλυβα, νικέλιο και κοβάλτιο, οι μαγνητικοί αισθητήρες είναι πολύ καλοί για να χρησιμοποιηθούν στην ανίχνευση των οχημάτων. Σήμερα, οι περισσότεροι μαγνητικοί αισθητήρες είναι αρκετά μικροί και λόγω της τεχνολογίας στερεάς κατάστασης, η ενσωμάτωσή τους σε διάφορα συστήματα έχει γίνει ευκολότερη. Επειδή τα περισσότερα αυτοκίνητα δεν εκπέμπουν μαγνητικό πεδίο, δεν μπορούμε να χρησιμοποιήσουμε το φαινόμενο Hall, το οποίο προϋποθέτει την ύπαρξη μαγνητικού πεδίου για την λειτουργία των αισθητήρων Hall.

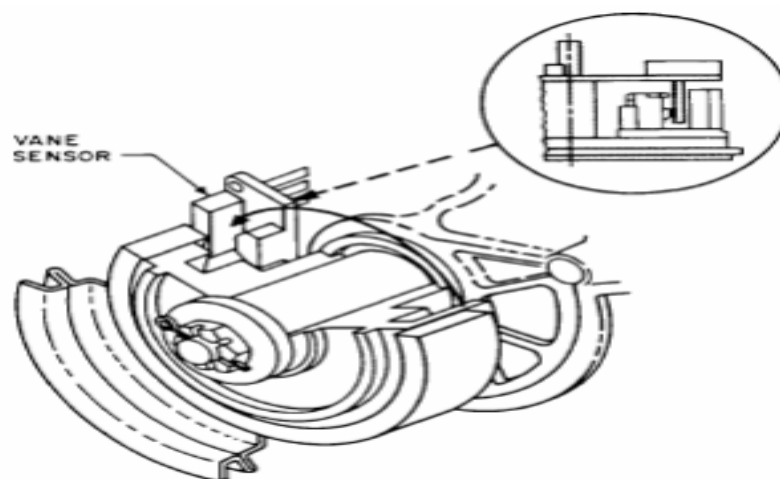
Για τον παραπάνω λόγο χρησιμοποιείται το μαγνητικό πεδίο της γης και οι αισθητήρες «ασθενών πεδίων». Αυτοί οι αισθητήρες μπορούν να ανιχνεύσουν μεταβολές του μαγνητικού πεδίου που προκαλούν τα κοντινά οχήματα. Το Σχήμα 22 δείχνει γραφικά το πώς οι μαγνητικές γραμμές εκτρέπονται όταν διαπερνούν αυτοκίνητο που περιλαμβάνει μαγνητικά υλικά.



Σχήμα 21: Διαταραχή των Μαγνητικών γραμμών του γήινου πεδίου από την παρουσία οχήματος [5].

Καθώς οι μαγνητικές γραμμές πυκνώνουν ή αραιώνουν (ουσιαστικά η αριθμητική τιμή του γήινου πεδίου μεταβάλλεται), ένας μαγνητικός αισθητήρας που έχει τοποθετηθεί εκεί θα υφίσταται τις ίδιες μαγνητικές επιδράσεις που το αυτοκίνητο δημιουργεί στο μαγνητικό πεδίο της γης.

Ακόμα μία εφαρμογή των αισθητήρων στην αυτοκινητοβιομηχανία είναι αυτή της χρήσης αισθητήρων Hall σαν αισθητήρες περιστροφής. Τοποθετώντας μαγνήτες πάνω στον άξονα του αυτοκινήτου, δημιουργείται η μαγνητική ροή η οποία ανιχνεύεται από τον αισθητήρα.



Σχήμα 22: Αισθητήρας ταχύτητας τοποθετημένος στον στρόφαλο.

Η λειτουργίες οι οποίες μπορεί να επιτευχθούν από των παραπάνω αισθητήρα είναι:

- Ανίχνευση ταχύτητας δίσκου
- Έλεγχος ταχύτητας
- Έλεγχος χρονισμού του κινητήρα
- Ανίχνευση μηδενικής ταχύτητας
- Ανίχνευση περιστροφικής θέσης
- Μέτρηση ροής

Ακόμα, μαγνητικούς αισθητήρες έχουμε και στη μέτρηση γωνιακής θέσης της πεταλούδας του γκαζιού. Σε αυτήν την εφαρμογή χρησιμοποιούνται αισθητήρες γραμμικής εξόδου.

3.4 Εφαρμογές στην ιατρική

Όπως έχουμε αναφέρει, τα όργανα του ανθρώπινου σώματος εκπέμπουν ηλεκτρικά σήματα και ως συνέπεια δημιουργούν μαγνητικά πεδία. Αυτά τα ασθενή μαγνητικά πεδία χρησιμοποιούνται στη διαγνωστική ιατρική με χρήση των μαγνητικών αισθητήρων. Στο Σχήμα 23 παρουσιάζεται μια χαρακτηριστική απεικόνιση που συσχετίζει την ευαισθησία διαφόρων τύπων αισθητήρων με τα μαγνητικά πεδία των ανθρώπινων οργάνων. Τα όργανα που αναφέρονται στο ανωτέρω σχήμα είναι

MCG = Μαγνητο-καρδιογράφημα,

MMG = μαγνητο-μυογράφημα,

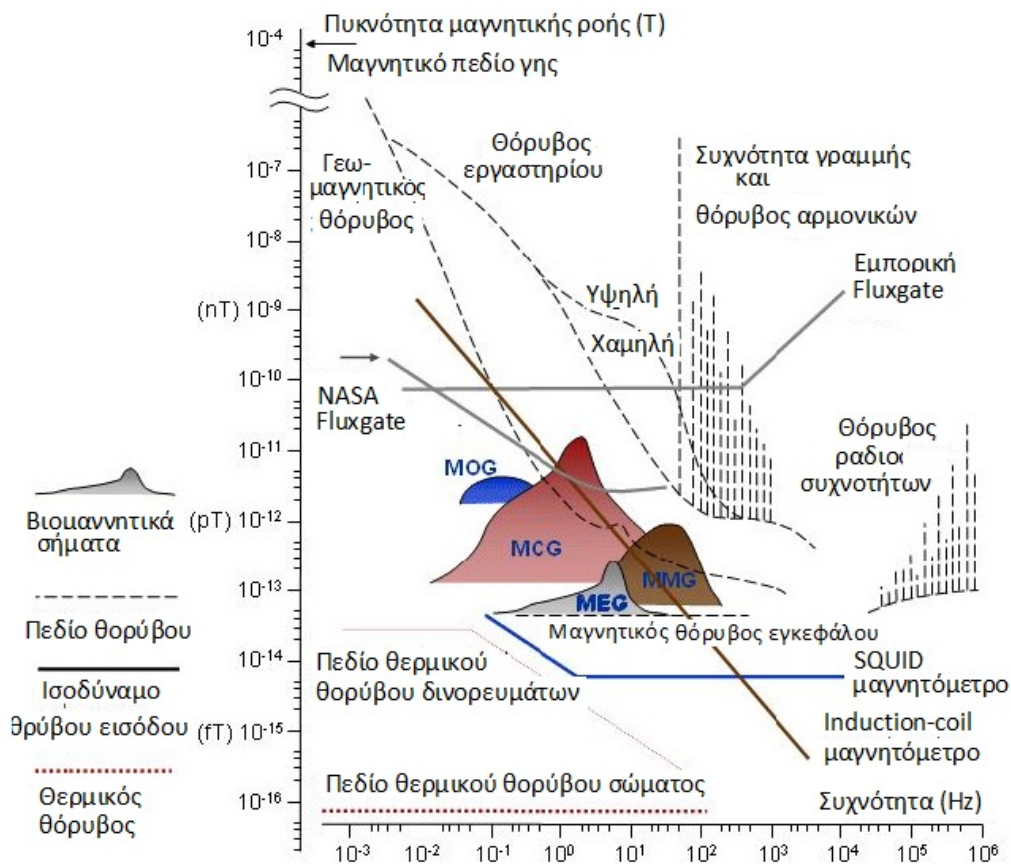
MEG = μαγνητο-εγκεφαλογράφημα,

MOG = Μαγνητο-οφθαλμογράφημα [5].

Τα μαγνητικά πεδία που παράγουν τα διάφορα όργανα έχουν μαγνητική ροή της τάξεως των 10^{-13} έως 10^{-11} Tesla, τα οποία είναι πολύ μικρότερα σε ένταση από το

μαγνητικό πεδίο της γης, και επομένως αν γίνει προσπάθεια μετρήσεώς τους, αυτό δεν θα είναι δυνατόν. Για αυτόν το λόγο οι μετρήσεις αυτές γίνονται σε ειδικά διαμορφωμένους χώρους που καλύπτονται από σιδηρομαγνητικά υλικά και αλουμίνια.

Όπως φαίνεται από το Σχήμα 23 τα μαγνητόμετρα Fluxgate εμπορικού τύπου όπως επίσης και τα μαγνητόμετρα του ίδιου τύπου της NASA, δεν μπορούν να χρησιμοποιηθούν για μετρήσεις των βιομαγνητικών πεδίων. Για αυτόν τον λόγο χρησιμοποιούνται οι πολύπλοκοι αισθητήρες SQUID.



Σχήμα 23: Ευαισθησία διάφορων τύπων αισθητήρων και τα μαγνητικά πεδία που μπορούν να δημιουργήσουν τα όργανα του ανθρώπινου σώματος [5].

3.5 Ανίχνευση μετάλλων

Μία άλλη εφαρμογή των μαγνητομέτρων είναι η ανίχνευση μετάλλων. Η εφαρμογή σε αυτό το τομέα δεν περιορίζεται μόνο στο να βρεθούν πολύτιμα μέταλλα αλλά και για την ασφάλεια αεροδρομίων, κτηρίων ή και σε μεγάλα γεγονότα όπως ένας αθλητικός αγώνας ή μία συναυλία. Η χρησιμότητά τους όμως είναι μεγάλη και στις αρχαιολογικές ανασκαφές και τις γεωλογικές έρευνες [5].

Ένας τυπικός ανιχνευτής μετάλλων αποτελείται από :

- Σταθεροποιητή, ο οποίος χρησιμοποιείται για να διατηρεί σταθερή τη μονάδα κατά την κίνησή της.
- Κουτί ελέγχου, που περιέχει το κύκλωμα, το ηχείο, μπαταρίες και τον μικροπομπό.
- Άξονας που συνδέει το κουτί ελέγχου και το πηνίο. Συνήθως προσαρμόζεται ώστε να είναι τοποθετημένο σε κατάλληλο, για το ύψος του χρήστη, επίπεδο.
- Πηνίο έρευνας ή αναζήτησης: Πρόκειται για το τμήμα που εντοπίζει το μέταλλο, γνωστό επίσης κι ως κεφαλή αναζήτησης ή κεραία.

Οι ανιχνευτές μετάλλων χρησιμοποιούν μία από τις τρεις τεχνολογίες:

- Χαμηλών συχνοτήτων (VLF)
- Παλμικής επαγωγής (PI)
- Ρυθμικής συχνότητας ταλάντωσης (BFO)



Σχήμα 24: Ευαισθησία διάφορων τύπων αισθητήρων και τα μαγνητικά πεδία που μπορούν να δημιουργήσουν τα όργανα του ανθρώπινου σώματος [5].

4 Κατασκευή γεννήτριας ημιτονοειδούς σήματος

4.1 Προδιαγραφές κατασκευής

Σκοπός της εργασίας αυτής είναι η κατασκευή μιας γεννήτριας ημιτονικού σήματος, με επιθυμητά χαρακτηριστικά:

- Το εκτεταμένο εύρος παραγόμενων συχνοτήτων, καθώς και η ικανοποιητική εναλλαγή μεταξύ αυτών, ώστε να είναι δυνατό να αξιοποιηθεί με όσο το δυνατόν περισσότερους από τους προαναφερθέντες ηλεκτρομαγνητικούς αισθητήρες,
- Η δυνατότητα αυτόνομης λειτουργίας (με μπαταρία), ώστε να είναι δυνατή η χρήση για εκτός εργαστηριακού χώρου εφαρμογές,
- Η δυνατότητα διαμόρφωσης ποιοτικών χαρακτηριστικών του ημιτονικού σήματος (πλάτος, offset), με σκοπό την καλύτερη δυνατή λειτουργία του αισθητήρα ανά περίπτωση, αλλά και για την καλύτερη καταγραφή δεδομένων προερχόμενων από αυτόν,
- Η ευκολία πρόσβασης στα απαιτούμενα για την κατασκευή προϊόντα, και το χαμηλό κόστος αυτών.

4.2 Πιθανοί τρόποι υλοποίησης

Στη συνέχεια, παρουσιάζονται οι διατάξεις που εξετάστηκαν, με άξονα τις δοθείσες προδιαγραφές. Η μέθοδος με DDS IC, η οποία και επιλέχθηκε, αναλύεται σε μεγαλύτερο βαθμό στο επόμενο κεφάλαιο. Συνοπτικά λοιπόν, εξετάστηκαν και οι παρακάτω πιθανές διατάξεις υλοποίησης, οι οποίες τελικά απορρίφθηκαν :

4.2.1 Ταλαντωτής γέφυρας Wien

Ένας από τους συνηθέστερα χρησιμοποιούμενους ταλαντωτές ακουσικών συχνοτήτων, λόγω της σταθερότητάς του και της απλότητάς του, είναι ο ταλαντωτής γέφυρας Wien [15]. Η διάταξη που εξετάστηκε είναι αυτή που απεικονίζεται στο παρακάτω σχήμα (με χρήση τελεστικού ενισχυτή). Αντίστοιχες διατάξεις με τρανζίστορ απορρίφθηκαν λόγω των πολλών στοιχείων που χρειάζονται για την υλοποίησή τους, γεγονός που ανέβαζε σημαντικά το κόστος.

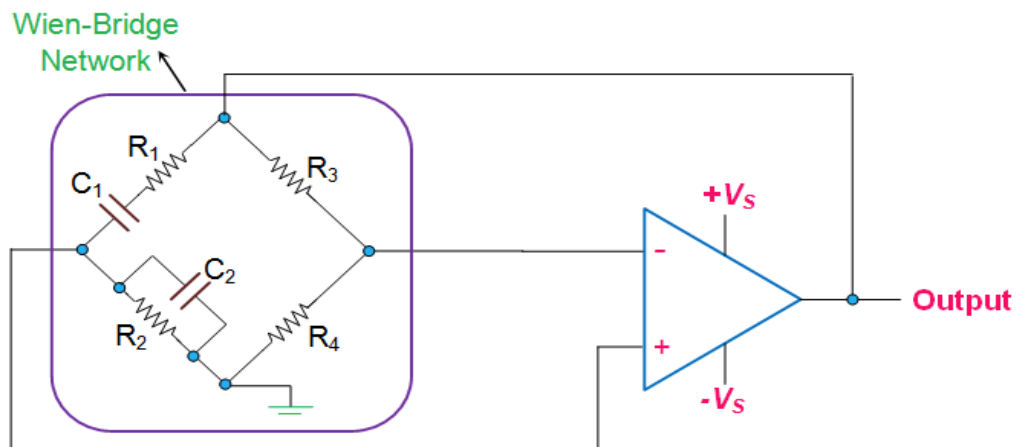
Ο υπολογισμός της συχνότητας συντονισμού της διάταξης δίνεται από τον τύπο:

$$\omega f_r = \frac{1}{2\pi\sqrt{R_1 C_1 R_2 C_2}} \quad 4.1$$

ενώ πρέπει να ισχύει και ότι:

$$R_3 = 2R_4 \quad 4.2$$

Ο τελεστικός ενισχυτής λειτουργεί σε non-inverting mode, ενώ πρέπει να έχει ενίσχυση σήματος ίση ή μεγαλύτερη του 3, καθώς στην συχνότητα f_r υπάρχει μηδενική ολίσθηση φάσης, και η έξοδος έχει πλάτος ίσο με το ένα τρίτο της εισόδου.



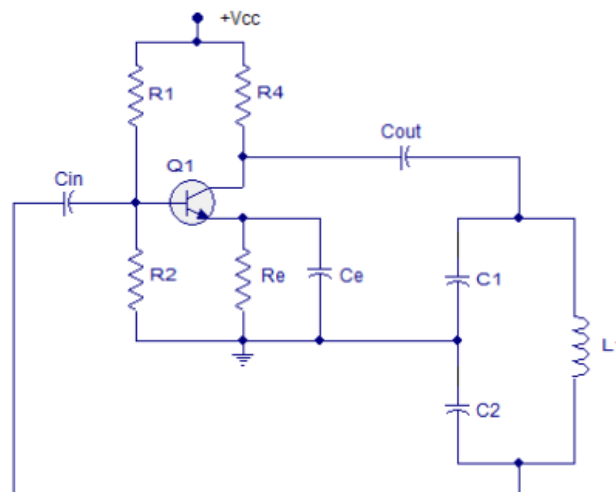
Σχήμα 25: Η διάταξη ταλαντωτή γέφυρας Wien, με χρήση τελεστικού ενισχυτή

Η διάταξη μπορεί να αποδώσει πολύ καλής ποιότητας ημιτονικό σήμα, του οποίου την συχνότητα μπορούμε να διαμορφώσουμε με αλλαγές στις τιμές των πυκνωτών. Με αλλαγές στις τιμές των αντιστάσεων R_1 και R_2 μπορούμε επίσης να μεταβάλλουμε το εύρος των παραγόμενων από την διάταξη συχνοτήτων. Παρ' όλα αυτά απορρίφθηκε, κυρίως λόγω του μικρού εύρους παραγόμενων συχνοτήτων (συνήθως σε εύρος 20 Hz – 20 kHz, στην διάταξη που εξετάστηκε μέχρι 1 MHz, λόγω των περιορισμών της ενίσχυσης).

4.2.2 Διάταξη Colpitts

Μια επίσης γνωστή διάταξη ταλαντωτή, η οποία δοκιμάστηκε σε δύο διαφορετικές εκδοχές :

- Στην βασική εκδοχή της διάταξης, που χρησιμοποιεί LC κύκλωμα συντονισμού (σχήμα 26)
- Σε παραλλαγή, όπου ο LC κλάδος του κυκλώματος συντονισμού έχει αντικατασταθεί από κρύσταλλο quartz (σχήμα 27)



Σχήμα 26: Η κλασική διάταξη Colpitts

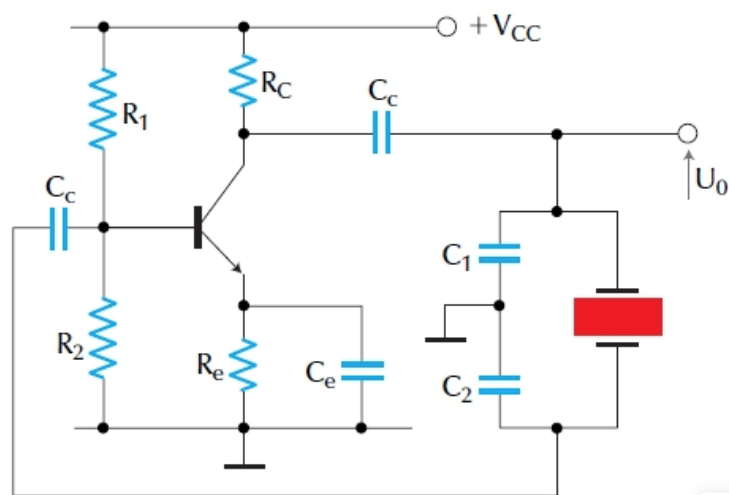
Στην βασική εκδοχή, η διάταξη αποτελείται από το κύκλωμα συντονισμού, το κύκλωμα ενίσχυσης με την χρήση τρανζίστορ, και τους πυκνωτές dc απόζευξης εισόδου και εξόδου (C_{in} και C_{out}) [16]. Η συχνότητα του παραγόμενου σήματος υπολογίζεται από την σχέση:

$$f = \frac{1}{2\pi\sqrt{LC}} \quad 4.3$$

όπου L είναι η τιμή της επαγωγής (πηνίου) και η χωρητικότητα C υπολογίζεται από την σχέση:

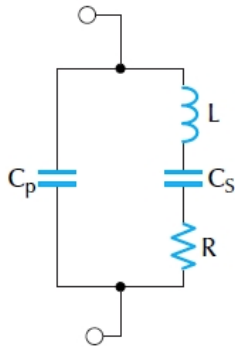
$$C = \frac{C_1 C_2}{C_1 + C_2} \quad 4.4$$

Με την χρήση μεταβλητών πυκνωτών C_1 και C_2 είναι δυνατή η μετατροπή της διάταξης σε ταλαντωτή μεταβλητής συχνότητας.

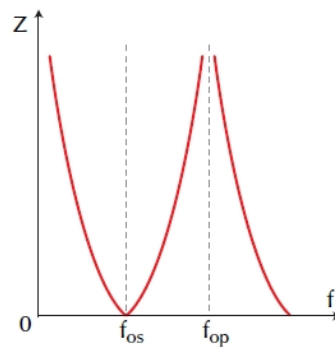


Σχήμα 27: Η παραλλαγή της διάταξης Colpitts, με χρήση κρυστάλλου quartz

Στην παραλλαγμένη εκδοχή, είναι εμφανές ότι το μόνο διαφορετικό στοιχείο της διάταξης είναι η προσθήκη κρυστάλλου quartz, αντί του LC κλάδου του κυκλώματος συντονισμού. Το κυκλωματικό ισοδύναμο του κρυστάλλου, αλλά και η απόκρισή του φαίνονται στα παρακάτω σχήματα:



Σχήμα 28: Το κυκλωματικό ισοδύναμο ενός κρυστάλλου quartz



Σχήμα 29: Η καμπύλη απόκρισης του κρυστάλλου

Όπως φαίνεται από την καμπύλη απόκρισης, ο κρύσταλλος έχει δύο συχνότητες συντονισμού, μια σειράς (f_{0s}) όταν η σύνθετη αντίστασή του είναι σχεδόν μηδενική, και μια παράλληλη (f_{0p}) όταν η σύνθετη αντίσταση είναι πολύ μεγάλη [16]. Οι δύο συχνότητες υπολογίζονται από τις σχέσεις :

$$f_{0s} = \frac{1}{2\pi\sqrt{LC_S}} \quad 4.5$$

και

$$f_{0p} \cong f_{0s} \left(1 + \frac{C_S}{2C_P}\right) \quad 4.6$$

Πλεονεκτήματα της διάταξης Colpitts είναι:

- η απόδοση και σταθερότητά της σε υψηλές συχνότητες
- το μεγάλο εύρος συχνοτήτων
- η ποιότητα του παραγόμενου ημιτονικού σήματος

Στον αντίποδα:

- ελέγχεται η «αναισθησία» της διάταξης σε εξωγενείς παράγοντες / μαγνητικά πεδία (που επηρεάζουν τόσο την συχνότητα, όσο και το πλάτος του σήματος), κάτι που αποθαρρύνει την χρήση της σε εκτός εργαστηρίου εφαρμογές
- ο σχεδιασμός μπορεί να γίνει περίπλοκος
- στην περίπτωση χρήσης μεταβλητών πυκνωτών (για διάταξη ταλαντωτή μεταβλητής συχνότητας), παρατηρείται δυσκολία στην προσαρμογή της ανάδρασης του κυκλώματος, όταν αλλάζουν οι τιμές
- η ύπαρξη επαγωγής (πηνίου) μπορεί να ανεβάσει το κόστος της κατασκευής, αλλά και τις διαστάσεις της

Η παραλλαγμένη διάταξη με κρύσταλλο παρουσιάζει ίδια συμπεριφορά με τα παραπάνω. Εξετάστηκε περισσότερο από ακαδημαϊκή σκοπιά, καθώς ήταν γνωστό ότι μπορεί να λειτουργήσει σε μια συχνότητα, και επομένως δεν θα χρησιμοποιούταν. Επιπλέον, ακόμα και για ορισμένη συχνότητα λειτουργίας (και εφόσον δεν υπάρχει έτοιμο εμπορικό προϊόν), ο περαιτέρω σχεδιασμός διάταξης για την λειτουργία σε κατάλληλη συχνότητα μπορεί να γίνει περίπλοκος. Παρ' όλα αυτά, δεν παύει να είναι μια από τις πλέον ποιοτικές λύσεις, εφόσον η επιθυμητή συχνότητα λειτουργίας είναι εκ των προτέρων γνωστή.

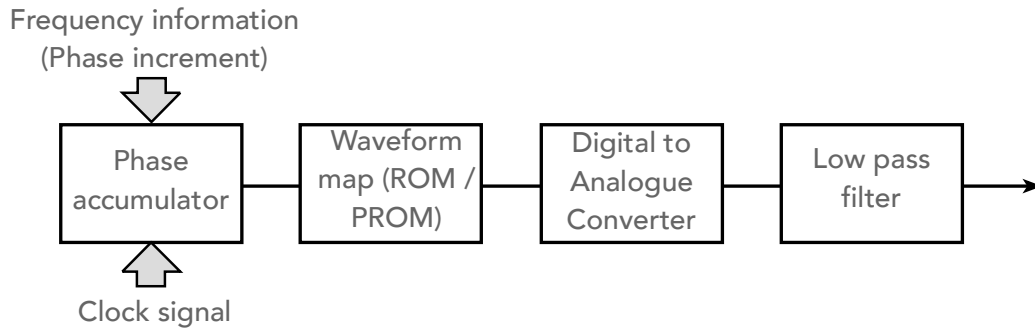
5 Direct Digital Synthesis (DDS)

5.1 Εισαγωγή

Η άμεση ψηφιακή σύνθεση (DDS) είναι μια τεχνική που χρησιμοποιείται για τη δημιουργία ενός αναλογικού σήματος (όπως ένα ημιτονοειδές κύμα ή ένα κύμα τριγώνου) χρησιμοποιώντας ψηφιακές τεχνικές. Τα αναλογικά σήματα συντίθενται από τιμές αποθηκευμένες στη μνήμη. Ένα "πρότυπο" που περιέχει τις τιμές εύρους του σήματος για όλες τις φάσεις των κυματομορφών αποθηκεύεται στη μνήμη και χρησιμοποιείται για την αναδημιουργία του σήματος. Με το DDS, τα σήματα μπορούν να συντεθούν απευθείας από το πρότυπο χωρίς να απαιτούνται οι βρόγχοι κλειδώματος φάσης που απαιτούν άλλες έμμεσες μέθοδοι. Διαφορετικές συχνότητες παράγονται με την αλλαγή της ταχύτητας επεξεργασίας των τιμών φάσης και με τη χρήση τεχνικών για την προσθήκη, πολλαπλασιασμό και κλιμάκωση σημάτων, μπορούν να δημιουργηθούν διάφορες κυματομορφές. Τα συνθετικά σήματα είναι επαναλαμβανόμενα και οι συχνότητες ακριβείς. Τεχνικές επικοινωνίας όπως η συχνότητα εξάπλωσης του φάσματος αξιοποιούν το DDS, λόγω της δυνατότητας γρήγορης αλλαγής των συχνοτήτων. Χρησιμοποιείται επίσης για γεννήτριες σημάτων και επιτρέπει τη σάρωση συχνότητας.

5.2 Μέθοδος σύνθεσης σήματος

Το σχηματικό διάγραμμα για ένα αντιπροσωπευτικό σύστημα DDS παρουσιάζεται παρακάτω [17]:



Σχήμα 30: Βασικό Block Diagram της μεθόδου DDS [17]

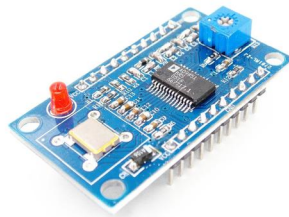
Ένα κύκλωμα DDS περιλαμβάνει ένα *συσσωρευτή φάσης*, έναν *πίνακα φάσεων-εύρους* (ένας πίνακας αναζήτησης, συνήθως στη ROM - το "πρότυπο") και έναν *ψηφιακό προς αναλογικό μετατροπέα* (DAC). Ο συσσωρευτής φάσης συνδυάζει τη συχνότητα αναφοράς και την τιμή στο μητρώο λέξεων συντονισμού. Η έξοδος από το DAC εφαρμόζεται συνήθως στα *φίλτρα* για να εξομαλύνει την κυματομορφή και να απομακρύνει οποιαδήποτε εξωτερική έξοδο.

Τα βήματα για τη δημιουργία ενός σήματος είναι:

1. Το σήμα αναφοράς και ο καταχωρητής συντονισμού ενημερώνουν τον συσσωρευτή φάσης, παρέχοντας μια τιμή φάσης
2. Το αντίστοιχο εύρος για αυτή τη φάση ανασύρεται από τον πίνακα πλάτους φάσης
3. Το DAC μετατρέπει τις ανακτημένες τιμές εύρους σε αναλογική έξοδο
4. Η έξοδος αποστέλλεται μέσω φίλτρου εξομάλυνσης

Τα ψηφιακά κυκλώματα το κάνουν αυτό γρήγορα με την ελάχιστη καθυστέρηση κατά την αλλαγή των συχνοτήτων.

Σημείωση: Οι τεχνικές DDS είναι γνωστές εδώ και αρκετό καιρό, αλλά οι συχνότητες που θα μπορούσαν να παρασχεθούν περιορίστηκαν από την ακρίβεια του DAC και του φίλτρου (συνήθως φίλτρο χαμηλής διέλευσης με πυκνωτή και επαγωγέα). Με την πρόοδο της ολοκληρωμένης τεχνολογίας chip και της κατασκευής, το DDS μπορεί να παρέχει συχνότητες που είναι χρήσιμες για μια ευρεία ποικιλία εφαρμογών και είναι διαθέσιμες σε συσκευές με μοναδικά τσιπ. Δύο δημοφιλή μοντέλα είναι τα AD9833 και AD9850/51 της Analog Devices.



Σχήμα 31: Το AD9851 DDS Module, που χρησιμοποιήθηκε για τις ανάγκες της εργασίας

Σε ένα περιβάλλον DDS, ο όρος *συχνότητα αναφοράς* χρησιμοποιείται διαφορετικά από ό, τι σε άλλες εφαρμογές μηχανικής. Η συχνότητα αναφοράς είναι ένα ρολόι που ελέγχει τον ρυθμό ενημέρωσης του συσσωρευτή φάσης και, στη συνέχεια, τον ρυθμό εκτέλεσης της αναζήτησης. Συνήθως παρέχεται από έναν κρυσταλλικό ταλαντωτή που χρονίζει τον συσσωρευτή φάσης, αν και ορισμένοι σχεδιαστές χρησιμοποιούν το ρολόι συστήματος ως αναφορά. Η συχνότητα αναφοράς επηρεάζει το παραγόμενο σήμα - η έξοδος είναι ανάλογη. Ο διπλασιασμός της συχνότητας αναφοράς θα διπλασιάσει τη συχνότητα εξόδου (με δεδομένο πάντα ότι διατηρείται ίδιος ο συσσωρευτής φάσης, οι τιμές του πίνακα και η λέξη συντονισμού [18]).

Η λέξη *συντονισμού* χρησιμοποιείται για την αλλαγή των συχνοτήτων εξόδου κατά τη λειτουργία. Η λέξη συντονισμού είναι μια δυαδική τιμή που διατηρείται στον καταχωρητή συντονισμού. Η τιμή της λέξης συντονισμού προστίθεται στον συσσωρευτή φάσης με κάθε ενημέρωση ρολογιού. Για παράδειγμα, αν η λέξη συντονισμού έχει οριστεί σε 1, κάθε χρονικό διάστημα αυξάνει τον συσσωρευτή

φάσης κατά 1. Ρυθμίζοντας τη λέξη συντονισμού στο 2, κάθε κύκλος ρολογιού αυξάνει τον συσσωρευτή φάσης κατά 2.

Δεδομένου ότι ο συσσωρευτής φάσης παρέχει την τιμή φάσης για την αναζήτηση εύρους φάσης, η λέξη συντονισμού ελέγχει τον αριθμό των τιμών που ανακτώνται από τον πίνακα εύρους φάσης για ένα κύκλο. Με λέξη συντονισμού 1, κάθε τιμή στον πίνακα ανακτάται. Μια λέξη συντονισμού 2 διαβάζει κάθε άλλη τιμή και επίσης αναγκάζει το συσσωρευτή να φτάσει στο μηδέν δύο φορές πιο γρήγορα, με αποτέλεσμα η συχνότητα εξόδου να έχει διπλασιαστεί [18].

Οι τιμές του προτύπου είναι σημαντικές στα συστήματα DDS. Τα πρότυπα κατασκευάζονται με ψηφιοποίηση σημάτων χρησιμοποιώντας τεχνικές δειγματοληψίας και ποσοτικοποίησης και κωδικοποιούνται σε μια συγκεκριμένη μορφή. Το υπόβαθρο για την ψηφιοποίηση και τη δειγματοληψία σημάτων για να μπορέσουμε να τα αναδημιουργήσουμε έγκειται στη θεωρία των επικοινωνιών και πόσες πληροφορίες απαιτούνται για την επακριβή αναδημιουργία ενός σήματος (Nyquist). Όπως και στην ψηφιακή εγγραφή και αναπαραγωγή, η ποιότητα της αναπαραγωγής εξαρτάται από την πιστότητα του εγγεγραμμένου μέσου και των κυκλωμάτων αναπαραγωγής. Ανεξάρτητα από τις διαστάσεις του εξοπλισμού αναπαραγωγής, μια ποιοτική καταγραφή δεν αντισταθμίζεται. Με τον ίδιο τρόπο, ένα πρότυπο κυματομορφής που χρησιμοποιείται στο DDS πρέπει να έχει ψηφιοποιηθεί (δειγματοληψία και καταγραφή) σε ένα καλό σήμα σύλληψης χωρίς στρεβλώσεις.

5.3 Πλεονεκτήματα

Τα πλεονεκτήματα του DDS είναι [17]:

- Η δυνατότητα να παράγει αυθαίρετες συχνότητες με ακρίβεια και σταθερότητα, περιοριζόμενη μόνο από τον ταλαντωτή που χρησιμοποιείται

για τον χρονισμό του συσσωρευτή φάσης. Οι γεννήτριες αναλογικών σημάτων μπορούν να παράγουν ακρίβεια και σταθερότητα μόνο μερικών δέκατων του ενός τοις εκατό εκτός εάν χρησιμοποιείται συσκευή υψηλής τεχνολογίας.

- Οι συχνότητες που παρέχονται από το DDS είναι επαναλαμβανόμενες. Η φόρτωση του καταχωρητή λέξεων συντονισμού με την τιμή που αντιστοιχεί στη συχνότητα F1 παράγει ένα σήμα στη συχνότητα F1. Αν στη συνέχεια φορτωθεί ο καταχωρητής συντονισμού με την τιμή για τη συχνότητα F2, το σήμα εξόδου μεταβάλλεται γρήγορα στη συχνότητα F2. Όταν ο καταχωρητής συντονισμού επαναφορτωθεί με την τιμή για το F1, παρέχεται η ακριβής ίδια συχνότητα F1 όπως δημιουργήθηκε προηγουμένως. Οι αναλογικές γεννήτριες δεν μπορούν να εγγυηθούν αυτή την ακρίβεια.
- Η ανάλυση υψηλής συχνότητας μπορεί να επιτευχθεί με τις ψηφιακές τεχνικές που χρησιμοποιούνται στο DDS. Η αύξηση της ανάλυσης είναι τόσο απλή, όσο η προσθήκη περισσότερων δυαδικών ψηφίων στο λιγότερο σημαντικό τέλος του καταχωρητή συσσωρευτών φάσης και του καταχωρητή ρύθμισης. Οι αναλογικές γεννήτριες κυματομορφών, οι οποίες εξαρτώνται από μηχανικά εξαρτήματα (ποτενσιόμετρα, μεταβλητοί πυκνωτές) για τον συντονισμό του ταλαντωτή, περιορίζονται στην ανάλυση που μπορούν να παρέχουν.
- Αυτή η δυνατότητα γρήγορης αλλαγής της συχνότητας εξόδου με ακρίβεια είναι επίσης απαραίτητη στις τεχνικές επικοινωνίας, όπως η μεταπήδηση συχνότητας φάσματος, όπου τα ραδιοσήματα μεταδίδονται με γρήγορη εναλλαγή ενός φορέα μεταξύ πολλών διαύλων συχνότητας. Η δυνατότητα αναπαραγωγής ακριβών συχνοτήτων και παράδοσης αλλαγών συχνότητας αποτελεί τη βάση της τεχνικής διαμόρφωσης.

6 Κατασκευή αυτόνομης γεννήτριας σήματος και βοηθητικών διατάξεων

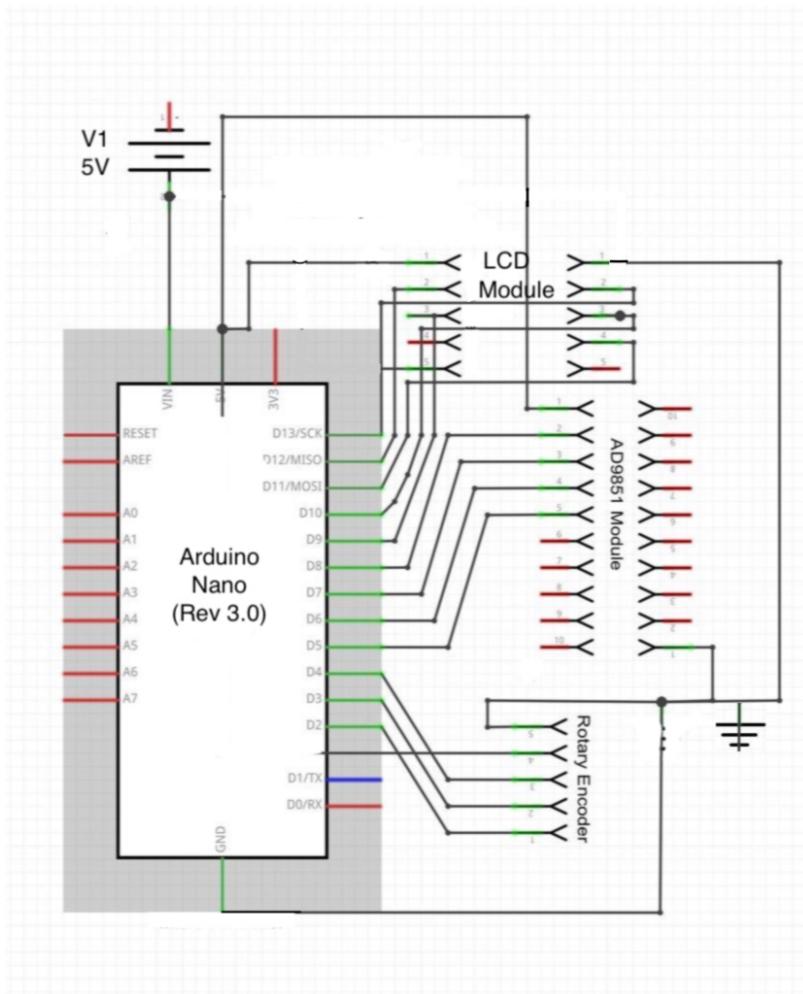
6.1 Κατασκευή γεννήτριας

Η πρωταρχική ιδέα για την κατασκευή ήταν η αξιοποίηση ενός DDS IC (εδώ το AD9851) και ο έλεγχός του μέσω ενός μικροεπεξεργαστή Arduino (επιλέχθηκε το Nano, για περιορισμό των διαστάσεων της κατασκευής, αλλά και μειωμένη ενεργειακή κατανάλωση), με σκοπό την παραγωγή ημιτονικού σήματος μεταβλητής συχνότητας και πλάτους.

Τα εξαρτήματα που χρησιμοποιήθηκαν για την κατασκευή της γεννήτριας παρατίθενται στη συνέχεια:

- Arduino Nano
- Το AD9851 DDS Module της Analog Devices
- 1 περιστροφικός κωδικοποιητής (rotary encoder)
- 1 οθόνη LCD, 16x2 χαρακτήρων

Στο παρακάτω σχήμα φαίνεται και η συνδεσμολογία που χρησιμοποιήθηκε για την διασύνδεση των παραπάνω εξαρτημάτων:



Σχήμα 32: Η συνδεσμολογία που χρησιμοποιήθηκε για την υλοποίηση της διάταξης

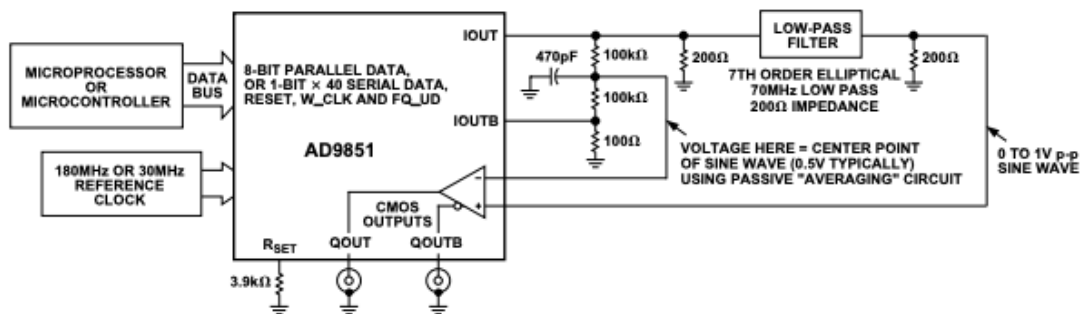
Η επικοινωνία της οθόνης με το Arduino γίνεται με τη χρήση πρωτοκόλλου I2C (υπάρχει και σχετική βιβλιοθήκη). Για την απλοποίηση της κατασκευής, και την εξοικονόμηση pins για μετέπειτα χρήση ή/και μελλοντικές εφαρμογές, χρησιμοποιήθηκε οθόνη LCD με ενσωματωμένο εξάρτημα I2C, το οποίο περιορίζει τον αριθμό των απαραίτητων pins σε 4.

Η διασύνδεση των εξαρτημάτων μπορεί να γίνει σχετικά αυθαίρετα, με μοναδικό περιορισμό το ότι το pin CLK του encoder θα πρέπει να αντιστοιχιστεί σε ένα εκ των D2,D3 pins του Arduino, τα οποία είναι και τα μοναδικά που υποστηρίζουν την δυνατότητα εφαρμογής εξωτερικής διακοπής.

Ο κώδικας που χρησιμοποιήθηκε παρατίθεται στο παράρτημα. Στο πρώτο μέρος του, γίνεται ορισμός μεταβλητών με βάση την δοθείσα παραπάνω συνδεσμολογία. Στο

υπόλοιπο κομμάτι του κώδικα γίνεται χρήση μόνο των μεταβλητών, ούτως ώστε να είναι ευέλικτη η χρήση και τροποποίησή του, με διαφορετικές συνδεσμολογίες και με βάση τις συγκεκριμένες απαιτήσεις. Συμπεριλήφθηκαν επίσης σχόλια, για καλύτερη κατανόηση του κώδικα.

Το κυρίως μέρος του κώδικα, έχει να κάνει με την αλληλεπίδραση του Arduino με το AD9851. Με άξονα το παραπάνω επεξηγηματικό κεφάλαιο, και το datasheet του AD9851, η λογική που ακολουθήθηκε αποτυπώνεται στο παρακάτω σχήμα:



Σχήμα 33: Σχηματική αναπαράσταση αλληλεπίδρασης Arduino – AD9851 (από το σχετικό datasheet της Analog Devices)

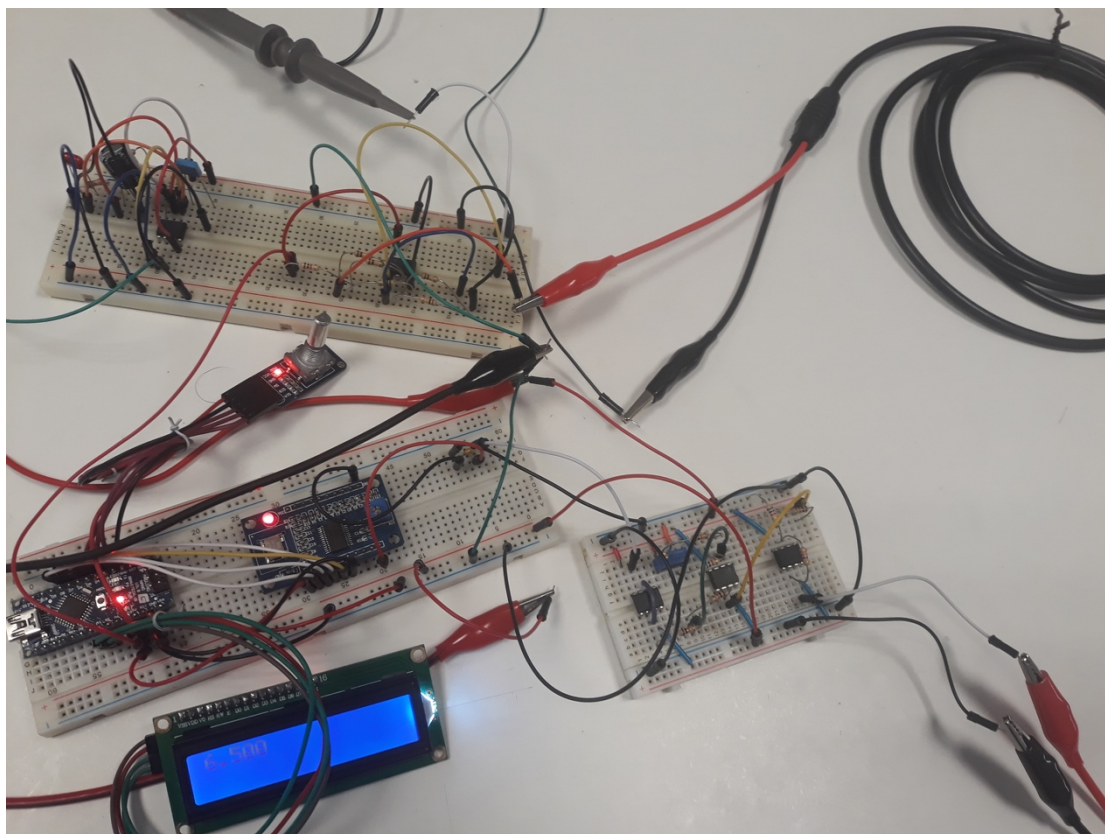
Έγινε χρήση του ενσωματωμένου ρολογιού του DDS IC. Όπως αναφέρθηκε και νωρίτερα, η δουλειά του μικροελεκτή είναι η αποστολή της 40μπιτης “λέξης”, στην οποία περιέχεται η πληροφορία για την συχνότητα και φάση του επιθυμητού σήματος, καθώς και την μορφή της. Περιέχεται επίσης και ένα bit για την δυνατότητα χρήσης του ενσωματωμένου πολλαπλασιαστή του ρολογιού (εδώ το χρησιμοποιούμε).

Στην συνέχεια περιλαμβάνεται η ρουτίνα διακοπής, η οποία χρησιμεύει στο να ιεραρχείται ως μέγιστης σημασίας η οποιαδήποτε αλλαγή που οφείλεται στον encoder (δηλαδή το “αίτημα” αλλαγής συχνότητας, ή αλλαγής του βηματισμού).

Βάσει της προκαθορισμένης διαμόρφωσης, η κατασκευή εκκινεί στην συχνότητα των 5 kHz και με βηματισμό το 1 Hz. Με περιστροφική κίνηση του encoder, η συχνότητα αυξομειώνεται κατά βούληση. Με πάτημα του κουμπιού του encoder, είναι δυνατή η αλλαγή του βηματισμού κατά πολλαπλάσια του 10, μέχρι και 1 MHz. Ως μικρότερη παραγόμενη συχνότητα έχουν οριστεί τα 25 Hz, ενώ ως μέγιστη τα 50 MHz (αν και, με

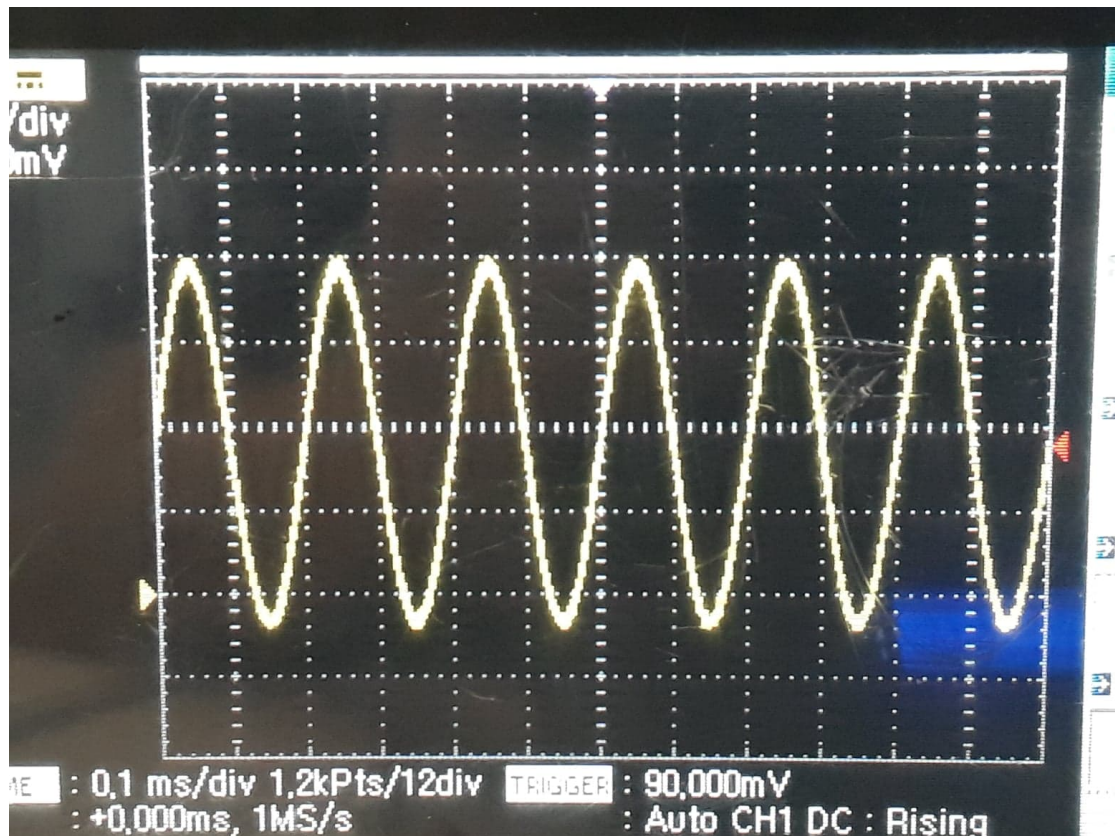
ρεαλιστικούς όρους, η κατασκευή έχει όριο λειτουργίας τα 20 με 30 MHz, καθώς από εκεί και πάνω εμφανίζονται σχετικές παραμορφώσεις στο προκύπτον σήμα).

Στην παρακάτω φωτογραφία φαίνεται και η πρώτη απόπειρα υλοποίησης του κορμού της διάταξης:



Σχήμα 34: Πρώτη δοκιμή υλοποίησης σε breadboard

Ως κατ' αρχήν τροφοδοσία χρησιμοποιήθηκε η σύνδεση USB του Arduino Nano με τον υπολογιστή, η οποία παρέχει τάση 5V DC, με ρεύμα έντασης 1A. Έτσι, είχαμε και την δυνατότητα να δουλέψουμε εξ' αρχής με συνθήκες "αυτόνομης" λειτουργίας, και να προλάβουμε πιθανά προβλήματα εξαιτίας της. Το αποτέλεσμα της πρώτης δοκιμής φαίνεται στο παρακάτω σχήμα:



Σχήμα 35: Παραγόμενο σήμα γεννήτριας

Το σήμα που παράγεται είναι, επομένως, ημιτονοειδές, με τάση 1 V_{pp}, και offset της τάξης των 0,5 V. Άμεσα προκύπτουν και τα εξής δύο ζητήματα:

- Η ελάχιστη τιμή που μπορεί να πάρει η κυματομορφή είναι στα 0 V, βρίσκεται δηλαδή εξ' ολοκλήρου στο θετικό μέρος. Αυτό είναι αναμενόμενο, καθώς γίνεται αναδημιουργία ημιτονικού σήματος από πηγή συνεχούς ρεύματος, και επομένως θα υπάρχει και σημαντική dc συνιστώσα. Παρ' όλα αυτά, η εξάλειψη του υπάρχοντος offset είναι μεγάλης σημασίας, ώστε να είναι δυνατή η λειτουργία των ηλεκτρομαγνητικών αισθητήρων με την γεννήτρια.
- Δεδομένου ότι το Arduino παρέχει τάση 5 V στο AD9851, παρατηρείται μια πτώση τάσης της τάξης του 80% μέχρι την έξοδο (και το 1 V_{pp} του σήματος). Το πλάτος αυτό παρατηρείται και ότι μειώνεται σχετικά σε μεγάλες συχνότητες (800 mV_{pp} σε συχνότητα 10 MHz). Κρίνεται απαραίτητη, δηλαδή, και η κατασκευή μιας διάταξης ενίσχυσης του ασθενούς σήματος, για την εύρωστη συνεργασία με τον εκάστοτε αισθητήρα.

Με άξονα τα δύο παραπάνω σημεία, προχωράμε στην κατασκευή των βοηθητικών διατάξεων, με σκοπό την επιθυμητή διαμόρφωση του σήματος – την ενίσχυσή του δηλαδή, και την απαλοιφή του offset.

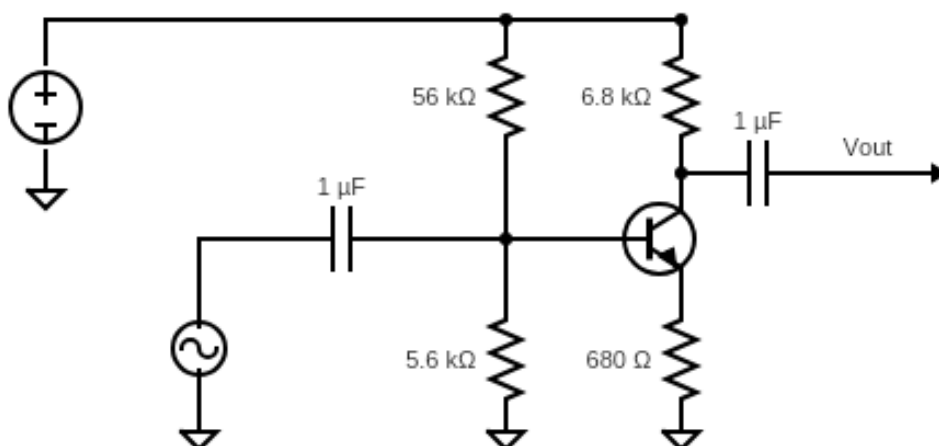
6.2 Κατασκευή πρώτης βοηθητικής διάταξης

6.2.1 Δοκιμές ενίσχυσης με τρανζίστορ

Στο πρώτο στάδιο δοκιμών ενίσχυσης του σήματος, εξετάστηκαν δύο βασικές διατάξεις με τρανζίστορ:

- ο ενισχυτής κοινού εκπομπού (common emitter) με διπολικό τρανζίστορ [19],
- ο ενισχυτής κοινής πηγής (common source) με τρανζίστορ FET

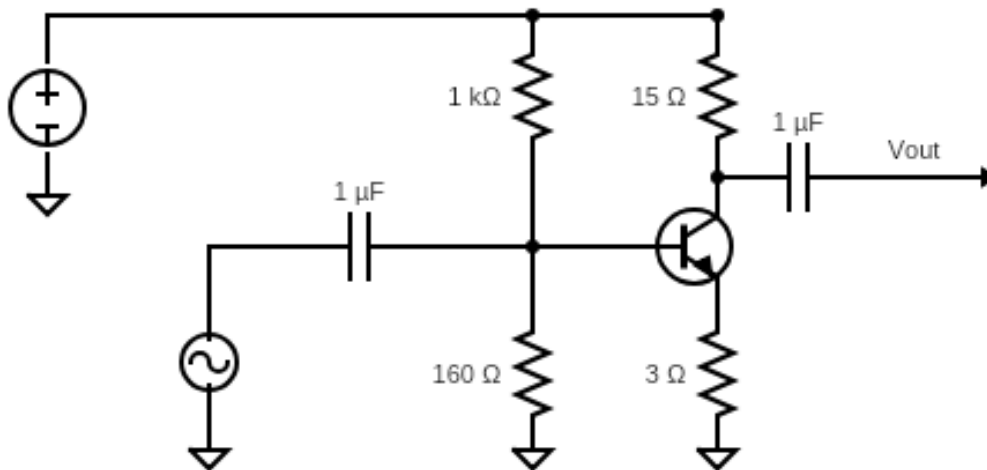
Οι διατάξεις που χρησιμοποιήθηκαν για τον ενισχυτή κοινού εκπομπού φαίνονται στα δύο επόμενα σχήματα. Οι διαφορές στις τιμές των αντιστάσεων έγκειται στα δύο διαφορετικά τρανζίστορ που χρησιμοποιήθηκαν, τα 2N3904 και BC547:



Σχήμα 36: Διάταξη ενισχυτή κοινού εκπομπού με 2N3904 [20]

Η επιλογή των αντιστάσεων έγινε με τέτοιο τρόπο, ούτως ώστε το κέρδος τάσης εδώ να είναι ίσο με 10:

$$gain = -\frac{V_{out}}{V_{in}} = -\frac{R_C}{R_E} = -\frac{6800}{680} = -10 \quad 6.1$$

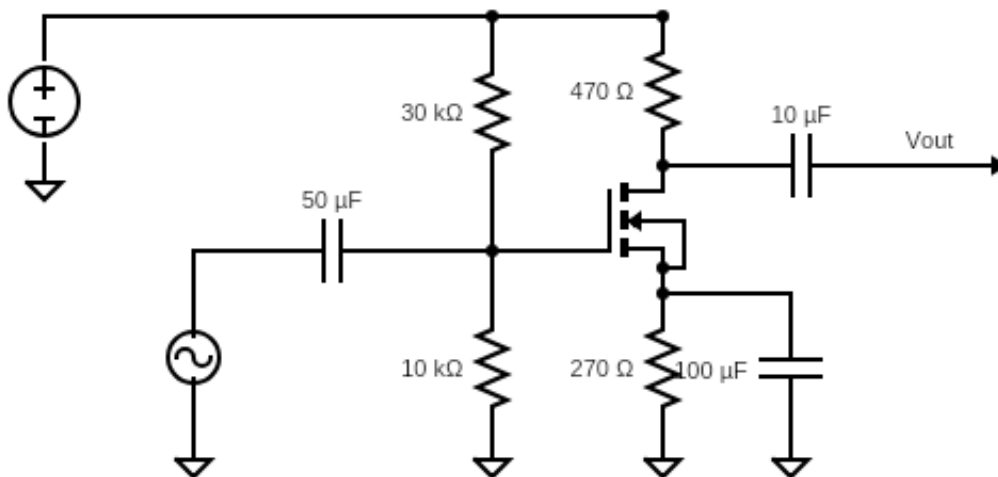


Σχήμα 37: Διάταξη ενισχυτή κοινού εκπομπού με BC547

Και πάλι, το κέρδος τάσης υπολογίζεται με τον ίδιο τρόπο, και προκύπτει ίσο με 5:

$$gain = -\frac{R_C}{R_E} = -\frac{15}{3} = -5 \quad 6.2$$

Για τις ανάγκες υλοποίησης του ενισχυτή κοινής πηγής, χρησιμοποιήθηκε το τρανζίστορ J112. Λόγω της παραμόρφωσης που εμφανιζόταν ανά περιπτώσεις στην έξοδο, χρησιμοποιήθηκε και ένας πυκνωτής παράκαμψης (bypass) επιπλέον της βασικής διάταξης, με σκοπό την εξομάλυνση του σήματος.



Σχήμα 38: Διάταξη ενισχυτή κοινής πηγής [19]

Το κέρδος τάσης της διάταξης προέκυψε:

$$gain = -\frac{v_o}{v_{in}} = -g_m R'_L \approx -5,66 \quad 6.3$$

Μερικές διευκρινίσεις επί των δοκιμών είναι οι εξής:

- οι dc τάσεις τροφοδοσίας των δύο διατάξεων κοινού εκπομπού είναι 9 V, ενώ αυτή της διάταξης κοινής πηγής είναι 12 V,
- το σήμα εισόδου ορίστηκε ως ημιτονοειδές πλάτους 1 V_{pp}, με offset 0,5 V,
- οι δύο πυκνωτές που χρησιμοποιούνται στην είσοδο και έξοδο των διατάξεων ενίσχυσης, λέγονται πυκνωτές σύζευξης, και η χρησιμότητά τους έχει να κάνει με την αποκοπή dc συνιστωσών του σήματος (κάτι που επιδιώκαμε εξ' αρχής),
- οι αντιστάσεις επιλέχθηκαν συνειδητά σε μικρές σχετικά τάξεις μεγεθών, προκειμένου να μην υπάρχουν κατά μήκος τους μεγάλες πτώσεις τάσης, και επομένως να έχει η διάταξη καλύτερους χρόνους απόκρισης σε απότομες αλλαγές,

- τα αρνητικά πρόσημα που προκύπτουν σε κάθε υπολογισμό κέρδους τάσης, υποδηλώνουν την διαφορά φάσης 180° της εξόδου από την είσοδο. Προφανώς και δεν επηρεάζει τον σκοπό μας, αλλά η χρήση επιπλέον διάταξης inverter κρίνεται δεδομένη για μια πιθανή τέτοια περίπτωση

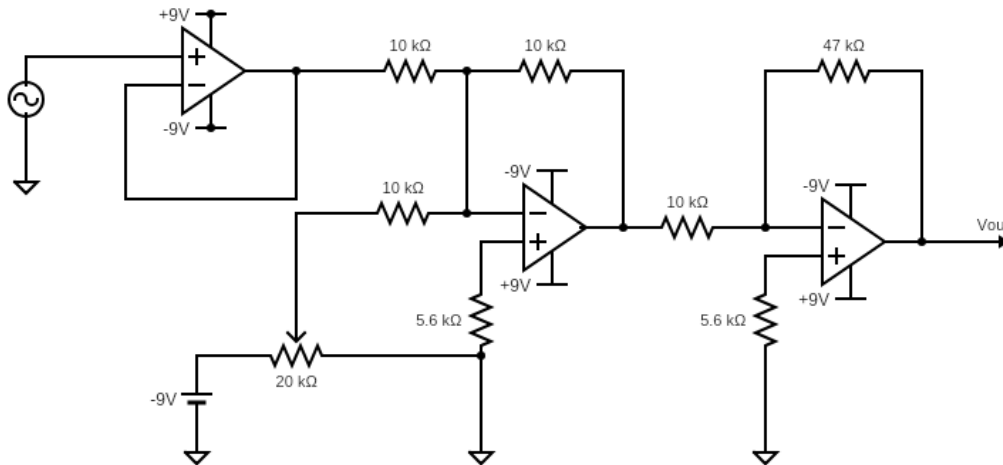
Και, κατ' αντιστοιχία, κάποιες παρατηρήσεις που προέκυψαν σχετικά με τις επιδόσεις των διατάξεων:

- το κέρδος τάσης που υπολογίστηκε για κάθε μια διάταξη επιβεβαιώθηκε και στην πραγματικότητα, αλλά για πολύ μικρό εύρος συχνοτήτων. Το κέρδος ήταν μεταβλητό και μειούμενο, όσο αυξάναμε την συχνότητα. Πιο συγκεκριμένα, η διάταξη με το BC547 τρανζίστορ έδειξε και το μεγαλύτερο εύρος από τις τρεις, αλλά και πάλι αυτό ήταν της τάξης του 1,1 MHz – νούμερο πολύ περιοριστικό για τον σκοπό μας,
- παρατηρήθηκε το φαινόμενο “clipping” (να “κόβονται”, δηλαδή, τμήματα της παραγόμενης κυματομορφής), το οποίο αποδόθηκε αρχικά σε λάθος υπολογισμό του ρεύματος πόλωσης. Σε επόμενο στάδιο (και μετά από αναπροσαρμογές των τιμών των αντιστάσεων), διευκρινίστηκε ότι το φαινόμενο παρατηρείτο κατά τις εναλλαγές των συχνοτήτων, παρότι σε σταθερή και συγκεκριμένη συχνότητα οι διατάξεις ήταν λειτουργικές,
- σε υψηλές συχνότητες υπήρχε απόκλιση της συχνότητας της εξόδου από αυτή της εισόδου – γεγονός που αποδόθηκε στο μεταβαλλόμενο κέρδος τάσης και την παρουσία αρμονικών

Με βάση τα παραπάνω, κρίθηκε ότι έπρεπε να ασχοληθούμε με άλλου τύπου διατάξεις ενίσχυσης για καλύτερο αποτέλεσμα. Στην επόμενη υποπαράγραφο αναλύεται η διάταξη που τελικά χρησιμοποιήθηκε, αποτελούμενη από τελεστικούς ενισχυτές.

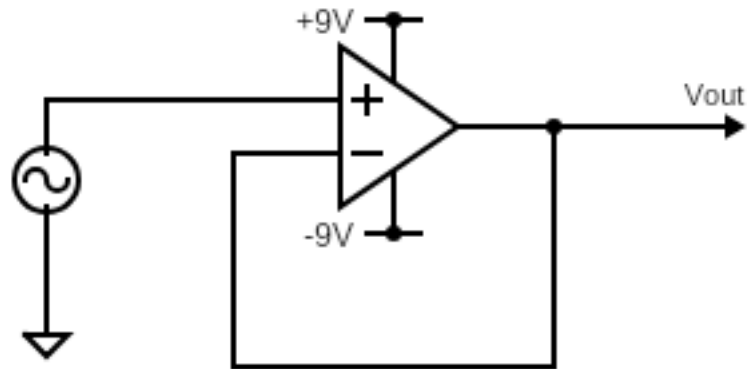
6.2.2 Διάταξη ενίσχυσης με τελεστικούς ενισχυτές

Ύστερα από δοκιμές με τοπολογίες τελεστικών ενισχυτών, αλλά και διασυνδέσεων μεταξύ τους (σε διατάξεις ενίσχυσης περισσότερων σταδίων), καταλήξαμε σε αυτή που φαίνεται στο επόμενο σχήμα :



Σχήμα 39: Διάταξη με τελεστικούς ενισχυτές

Η διάταξη είναι εμφανές ότι αποτελείται από τρία στάδια. Οι υπολογισμένες τιμές των αντιστάσεων διαφοροποιούνται σχετικά από αυτές που επιλέχθηκαν, πηγαίνοντας κάθε φορά πιο κοντά σε ήδη διαθέσιμες. Οι τρεις υποδιατάξεις (στάδια) του ενισχυτή αναλύονται εκτενέστερα στην συνέχεια:

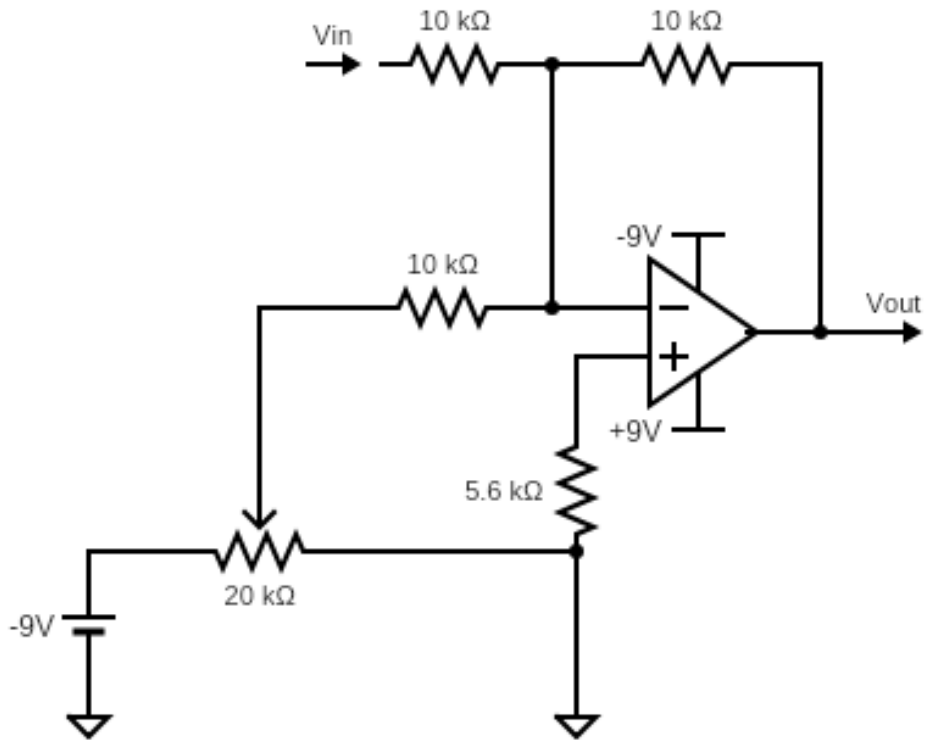


Σχήμα 40: Συνδεσμολογία τελεστικού ενισχυτή ως buffer

Το πρώτο στάδιο με τελεστικό ενισχυτή επιτελεί τον ρόλο του απομονωτή (buffer). Η διάταξη που αξιοποιείται είναι αυτή του non-inverting op-amp, και το κέρδος τάσης του είναι ίσο με 1:

$$gain = 1 + \frac{R_f}{R_{in}} = 1 + \frac{0}{\infty} = 1 \quad 6.4$$

Σκοπός της διάταξης είναι η απαλλαγή του σήματος από ανεπιθύμητες εμπεδήσεις και χωρητικότητες. Το κύκλωμα κληρονομεί τις ιδιότητες του τελεστικού ενισχυτή, διαθέτοντας μεγάλη αντίσταση εισόδου και μικρή αντίσταση εξόδου, εξασφαλίζοντας άριστη προσαρμογή τάσης και απομονώνοντας ουσιαστικά την είσοδο από την έξοδο.



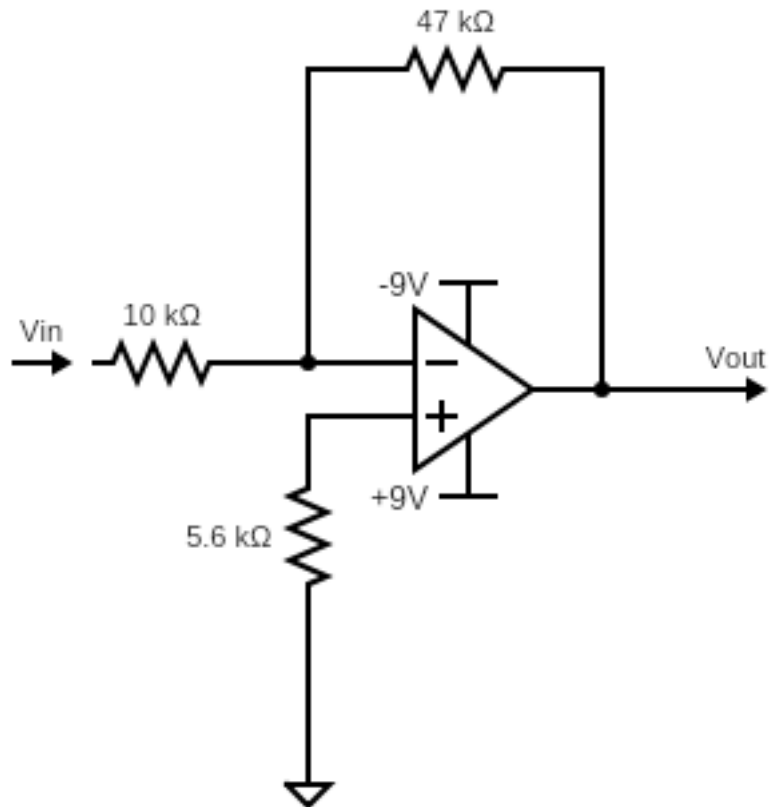
Σχήμα 41: Συνδεσμολογία τελεστικού ενισχυτή για απαλοιφή offset [21]

Το σήμα έπειτα οδηγείται στο *δεύτερο στάδιο* του ενισχυτή. Εδώ αξιοποιείται μια συνδεσμολογία τελεστικού, με σκοπό την απαλοιφή της dc συνιστώσας του σήματος (offset) [21]. Αυτό επιτυγχάνεται με την εισαγωγή “διορθωτικής” τάσης σε μια από τις εισόδους του τελεστικού. Η συνδεσμολογία έχει επιλεγεί με προοπτική να αποτελέσει είσοδο ενός inverting op-amp, δημιουργείται δηλαδή διαφορά φάσης 180° σε σχέση με το σήμα εισόδου, η οποία όμως θα αναιρεθεί στο επόμενο στάδιο του ενισχυτή.

Το εύρος dc τάσης που είναι δυνατό να αποκοπεί, υπολογίζεται παρακάτω:

$$range = \pm V \left(\frac{10||10}{10} \right) = \pm 9 \left(\frac{5}{10} \right) = \pm 4,5 V, \quad 6.5$$

η διάταξη μπορεί δηλαδή να αποκόψει dc συνιστώσα έως και 4,5 V. Με την χρήση του ποτενσιόμετρου ορίζεται και συγκεκριμένα η απαραίτητη τάση προς απαλοιφή.



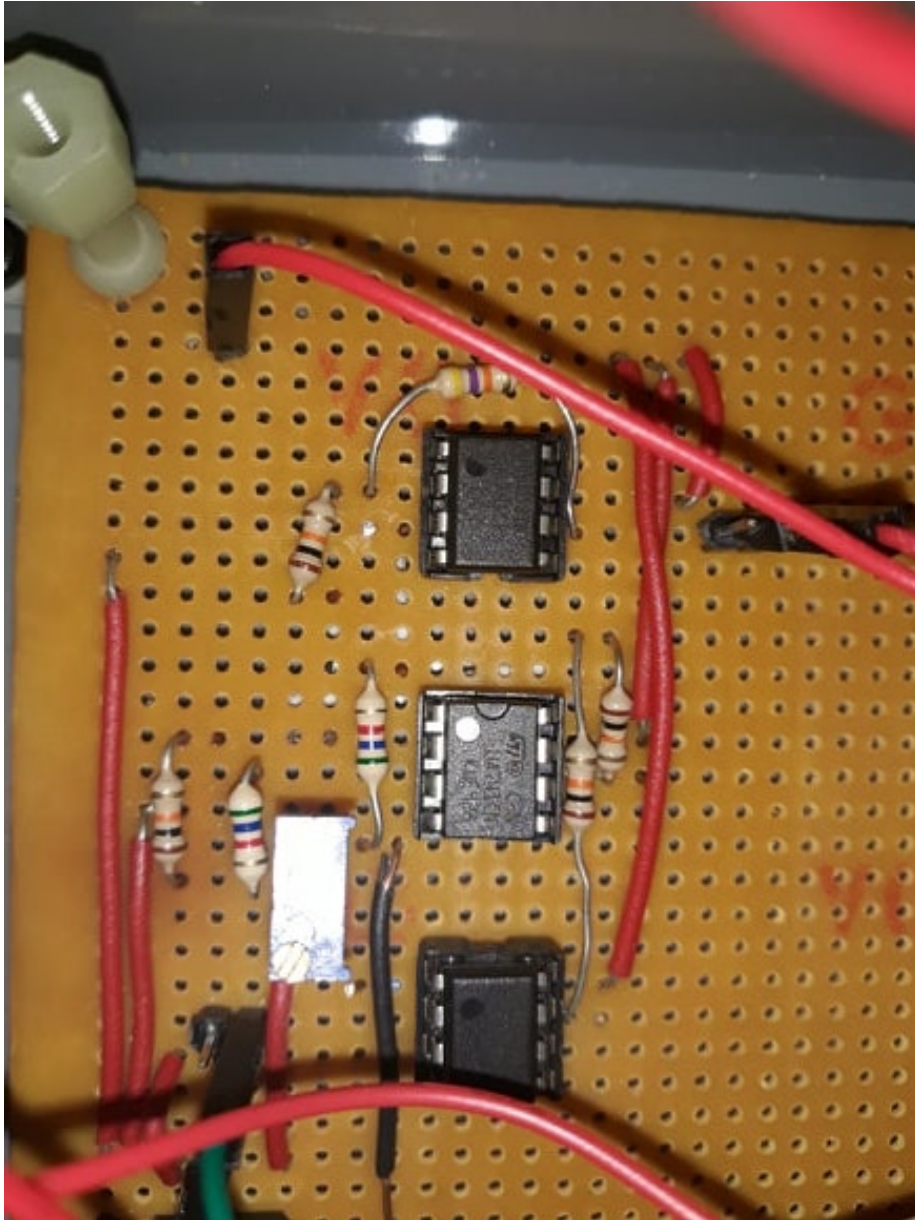
Σχήμα 42: Συνδεσμολογία τελεστικού ενισχυτή ως inverting op-amp [21]

Στο τρίτο στάδιο του ενισχυτή, έχουμε εν τέλει την διαδικασία ενίσχυσης του σήματος. Η τοπολογία που αξιοποιείται είναι αυτή του inverting op-amp [21]. Το κέρδος τάσης της διάταξης υπολογίζεται παρακάτω:

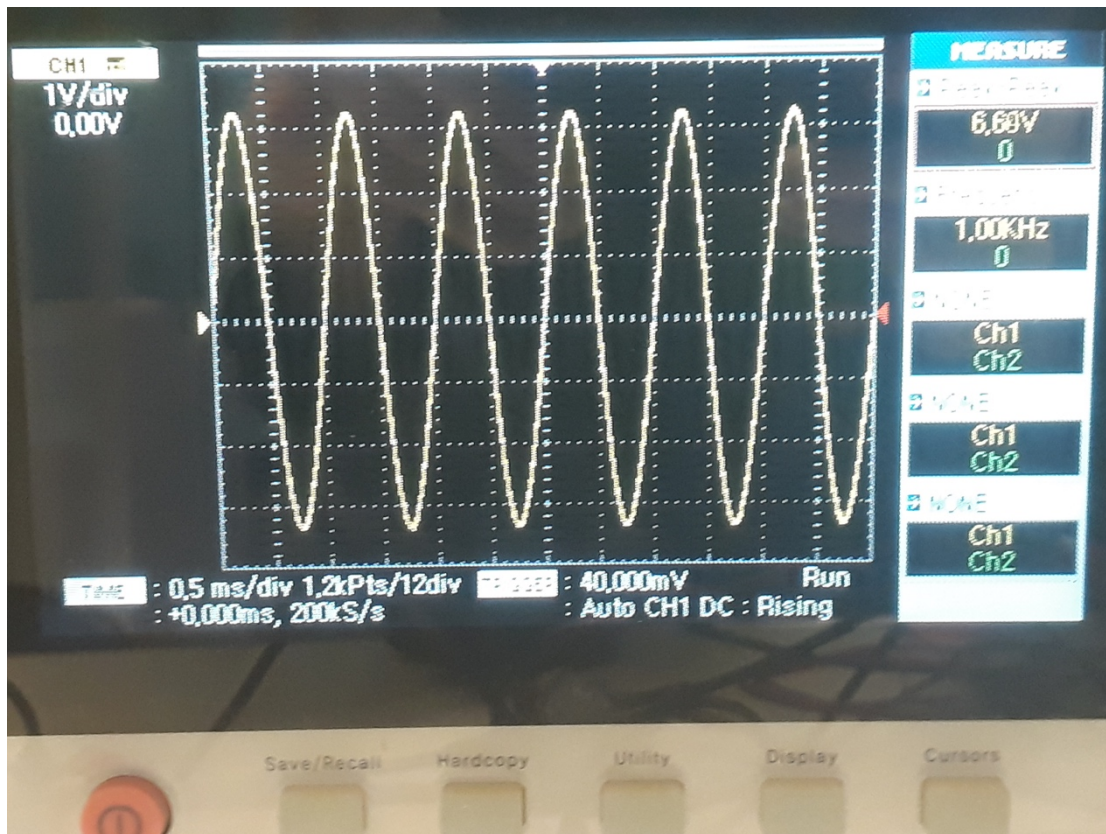
$$gain = \frac{V_{out}}{V_{in}} = -\frac{R_f}{R_{in}} = -\frac{47}{10} = -4,7, \quad 6.6$$

ενώ, όπως προαναφέρθηκε, η τελική έξοδος είναι συμφασική με το αρχικό σήμα. Χρησιμοποιήθηκαν τελεστικοί ενισχυτές UA741CP της Texas Instruments, για την υλοποίηση και των τριών σταδίων του ενισχυτή. Στις παρακάτω φωτογραφίες, φαίνεται

η τελική διάταξη της ενίσχυσης, καθώς και το ενισχυμένο σήμα, όπως μετρήθηκε από την έξοδό της:



Σχήμα 43: Υλοποίηση ενισχυτικής διάταξης

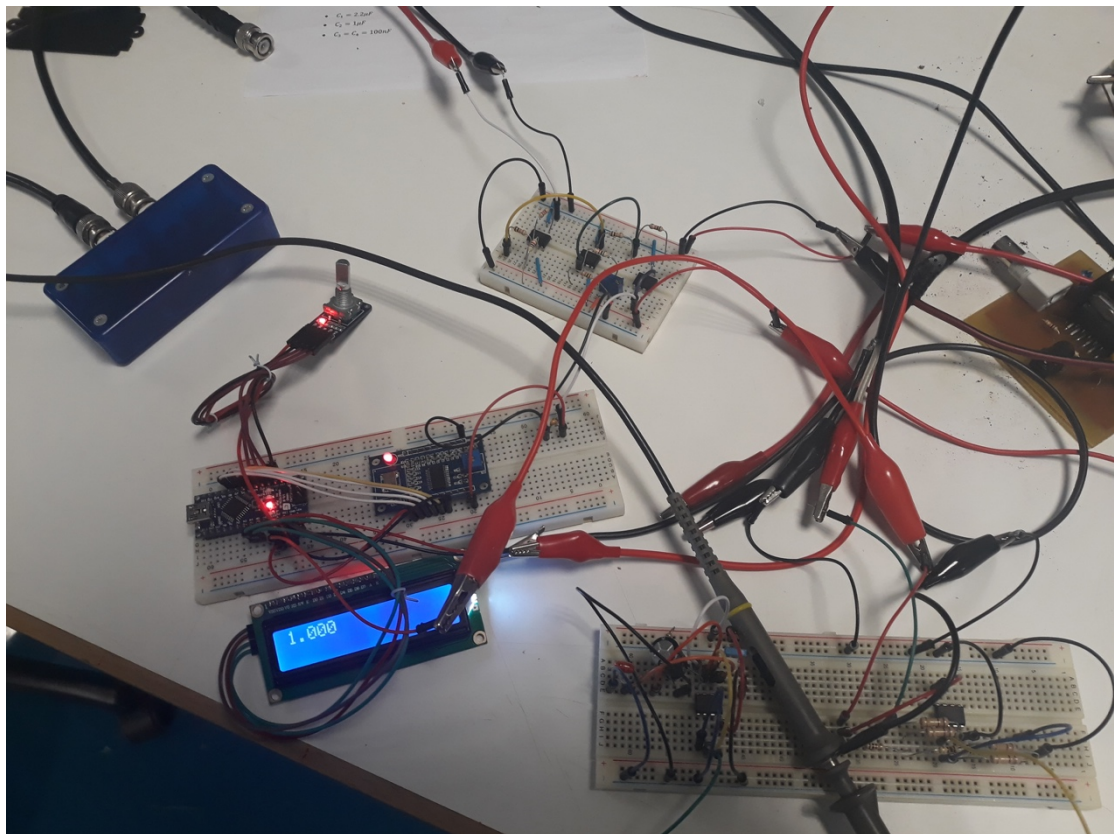


Σχήμα 44: Ημιτονοειδές σήμα, από την έξοδο της ενίσχυσης

Παρατηρούμε ότι το offset έχει απαλειφθεί πλήρως, ενώ και το πλάτος του σήματος έχει ενισχυθεί σε σημαντικό βαθμό. Από δοκιμές στον παλμογράφο, παρατηρήθηκε επίσης καλή απόκριση της διάταξης συνολικά σε ξαφνικές ή/και μεγάλες αλλαγές συχνότητας. Η ενίσχυση του σήματος παρέμεινε σταθερή ακόμα και στις υψηλές συχνότητες, κάτι που αποδίδεται στο μεγάλο bandwidth των επιλεγμένων τελεστικών ενισχυτών. Έχουμε, επομένως, τους όρους για να προχωρήσουμε σε δοκιμές με αισθητήρες, προκειμένου να διαπιστώσουμε την λειτουργικότητα της κατασκευής επί του πρακτέου.

6.3 Δοκιμές διάταξης με αισθητήρα Fluxgate

Ύστερα από την ολοκλήρωση της κατασκευής τη γεννήτριας και της βοηθητικής ενίσχυσης, πραγματοποιήθηκαν δοκιμές με αισθητήρα fluxgate του εργαστηρίου. Προκειμένου να μην υπάρξουν ζητήματα με την λειτουργία του αισθητήρα [22], έγιναν σε πρώτο στάδιο μετρήσεις τόσο του ρεύματος εξόδου της διάταξης (μετρήθηκε στα 250 mA) όσο και της συνολικής αντίστασης του αισθητήρα (μετρήθηκε στα 12 Ω). Η συχνότητα λειτουργίας του αισθητήρα είναι στο 1 kHz.

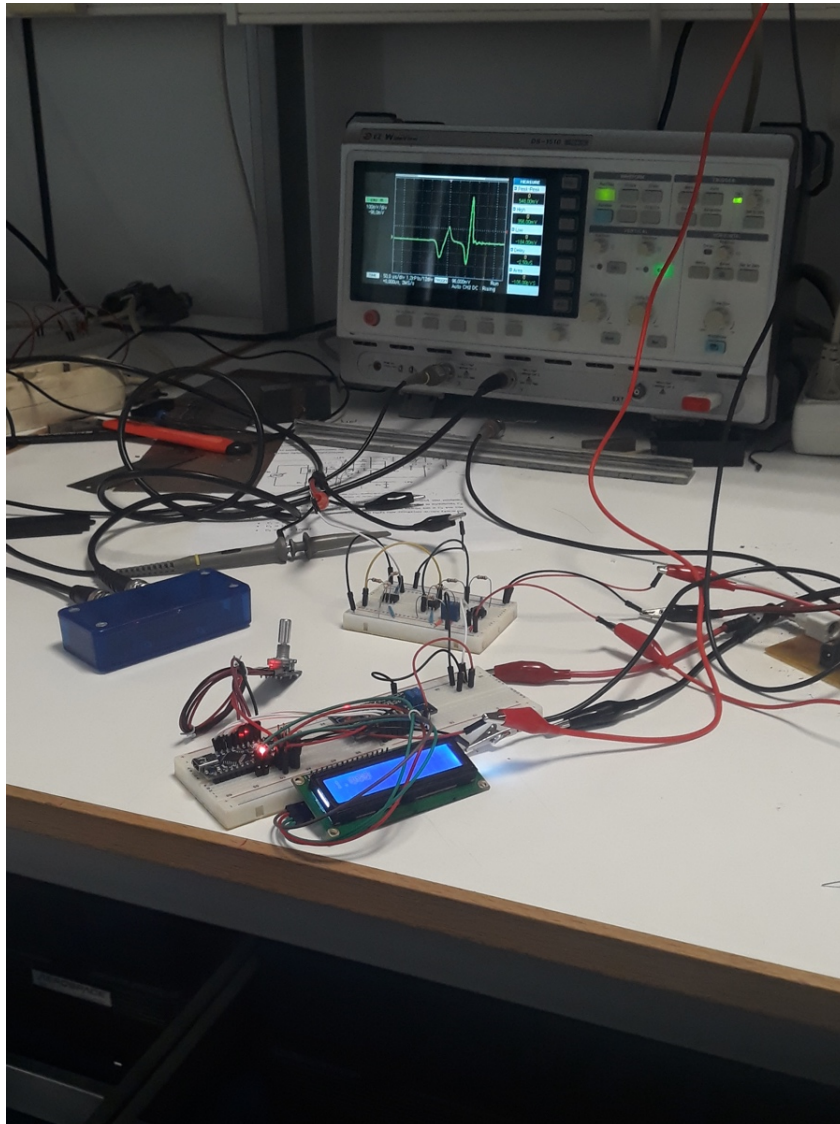


Σχήμα 45: Η διάταξη σε breadboard, συνδεδεμένη με τον αισθητήρα

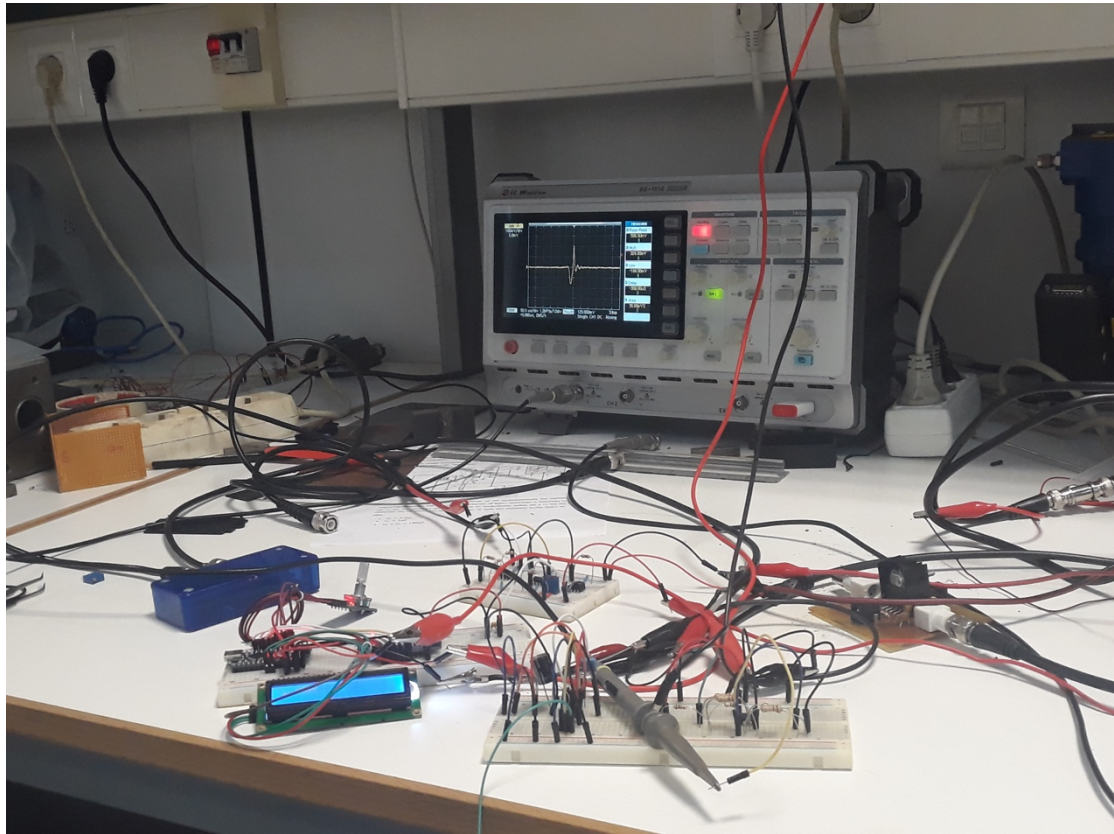
Ο αισθητήρας δοκιμάστηκε πρώτα με γεννήτρια σήματος και dc τροφοδοσία του εργαστηρίου, ώστε να εξοικειωθούμε με την λειτουργία του. Πιο συγκεκριμένα, για τις μετρήσεις μας χρησιμοποιήσαμε τι παρακάτω συσκευές:

- Γεννήτρια σήματος Agilent 33220A
- DC τροφοδοσία Extech Instruments
- Παλμογράφος EZ DS-1530, 300MHz

Ύστερα, και μετά από το καλιμπράρισμα του offset της δικής μας διάταξης, προχωρήσαμε στην διασύνδεσή της με τον αισθητήρα. Έτσι επιβεβαιώσαμε τελικά και την αρμονική συνεργασία μεταξύ τους. Παρακάτω, παρατίθενται φωτογραφίες από την λειτουργία της διάταξης με τον αισθητήρα:



Σχήμα 46: Πρώτες δοκιμές με τον αισθητήρα Fluxgate



Σχήμα 47:Μεταγενέστερες δοκιμές με τον αισθητήρα

Οι δύο φωτογραφίες χρησιμοποιούνται και αντιπαραθετικά: και στις δύο είναι εμφανές ότι ο αισθητήρας λειτουργεί με την προσφερόμενη διέγερση. Παρ' όλα αυτά, είναι εμφανής η επιπλέον κυμάτωση που εμφανίζεται στην πρώτη [22]. Μετά από δοκιμές, προέκυψε ότι οφειλόταν στην μη επαρκή απαλοιφή του offset, καθώς παρέμενε μια dc ποσότητα μικρής τάξης. Ενδεικτικά, για τιμές offset πέραν του $\pm 0,15$ V, η έξοδος του αισθητήρα ήταν ημιτονοειδής.

Ύστερα από αυτό, αποφασίσαμε να χρησιμοποιηθεί μεγαλύτερο ποτενσιόμετρο στο δεύτερο στάδιο της ενισχυτικής διάταξης (αυτό της απαλοιφής του offset), προκειμένου να έχουμε μεγαλύτερη αναλυτική δυνατότητα, και άρα μικρότερο δυνατό βηματισμό στην διαδικασία της απαλοιφής.

Ενδεικτικές μετρήσεις έλαβαν επίσης χώρα, για την επιβεβαίωση της λειτουργίας του αισθητήρα. Αυτές είχαν να κάνουν είτε με περιστροφή του αισθητήρα γύρω από τον άξονα λειτουργίας του, είτε με την εισαγωγή μικρών μαγνητών στο πεδίο λειτουργίας του. Στην πρώτη περίπτωση παρατηρήθηκε η αναστροφή της πολικότητας των αιχμών

της κυματομορφής, σε στροφή 180° γύρω από τον άξονα λειτουργίας του. Στην δεύτερη, έγιναν καταρχάς δοκιμές για να επιβεβαιωθεί το εύρος λειτουργίας του αισθητήρα. Η μεγαλύτερη απόσταση λειτουργίας ορίστηκε περίπου στο ένα μέτρο (1,2), ως η μεγαλύτερη απόσταση στην οποία οι μεταβολές στο μαγνητικό πεδίο του αισθητήρα ήταν αντιληπτές και μέσω του παλμογράφου. Με ενδεικτικές μετρήσεις στον χώρο γύρω από τον αισθητήρα, καταλήξαμε στο συμπέρασμα ότι η τάση εξόδου του πέφτει κατά 150 - 200 mV για μετακίνηση κατά 15 περίπου εκατοστά, στον άξονα λειτουργίας του.

Μετά και το πέρας των μετρήσεων, και την επιβεβαίωση της ορθής λειτουργίας της διάταξης, επικεντρωθήκαμε στον σχεδιασμό και κατασκευή του δεύτερου και τελευταίου βοηθητικού κυκλώματος, το οποίο παρουσιάζεται στην επόμενη υποπαράγραφο.

6.4 Κατασκευή δεύτερης βοηθητικής διάταξης

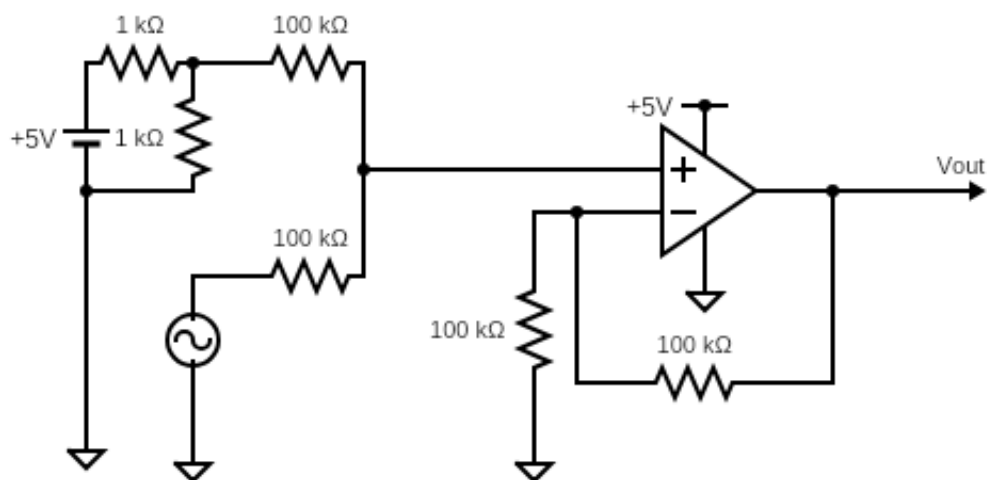
Κατά τις δοκιμές της κατασκευής με τον αισθητήρα, έγιναν και κάποιες παρατηρήσεις από πιο εποπτική σκοπιά. Η κυριότερη είχε να κάνει με την δυνατότητα της κατασκευής να “στηθεί” και να καλιμπραριστεί σε εκτός εργαστηρίου συνθήκες, δεδομένης της μέχρι τότε εικόνας, όπου (ανεξάρτητα από την τροφοδοσία) η χρήση παλμογράφου ήταν επιβεβλημένη. Για να επιτευχθεί κάτι τέτοιο, θα έπρεπε να αναπτυχθεί δυνατότητα επικοινωνίας της κατασκευής με ηλεκτρονικό υπολογιστή, ο οποίος και την απαραίτητη ευελιξία παρέχει, αλλά και την δυνατότητα λειτουργίας (έστω και στοιχειωδώς) ως παλμογράφου. Για τον σκοπό αυτό, αποφασίστηκε να αξιοποιηθεί η εφαρμογή του Serial Plotter που παρέχεται από το Arduino IDE.

Σκοπός της διάταξης προς κατασκευή είναι να λαμβάνει το σήμα εξόδου του αισθητήρα και να κάνει κατάλληλη διαμόρφωσή του, ώστε να είναι δυνατό να οδηγηθεί πίσω στο Arduino, για να γίνει η καταγραφή και απεικόνισή του.

6.4.1 Κατάστρωση κυκλώματος βοηθητικής διάταξης

Ύστερα από δοκιμή οδήγησης της εξόδου του αισθητήρα απευθείας στο Arduino, διαπιστώθηκε ότι δεν εμφανιζόταν καμία καταγραφή σήματος κατά τις ημιπεριόδους που η έξοδος έπαιρνε αρνητικές τιμές τάσης. Σκοπός, επομένως, της βοηθητικής διάταξης, είναι η προσθήκη dc συνιστώσας (offset), τέτοιας ώστε το σήμα να μετατοπιστεί “προς τα πάνω”, να βρίσκεται δηλαδή στο διάστημα από 0 έως 5 V, που είναι και το εύρος λειτουργίας του Serial Plotter.

Η τοπολογία που χρησιμοποιήθηκε φαίνεται στο επόμενο σχήμα. Είναι διάταξη non-inverting op-amp, που λειτουργεί ως αθροιστής τάσεων[23]:



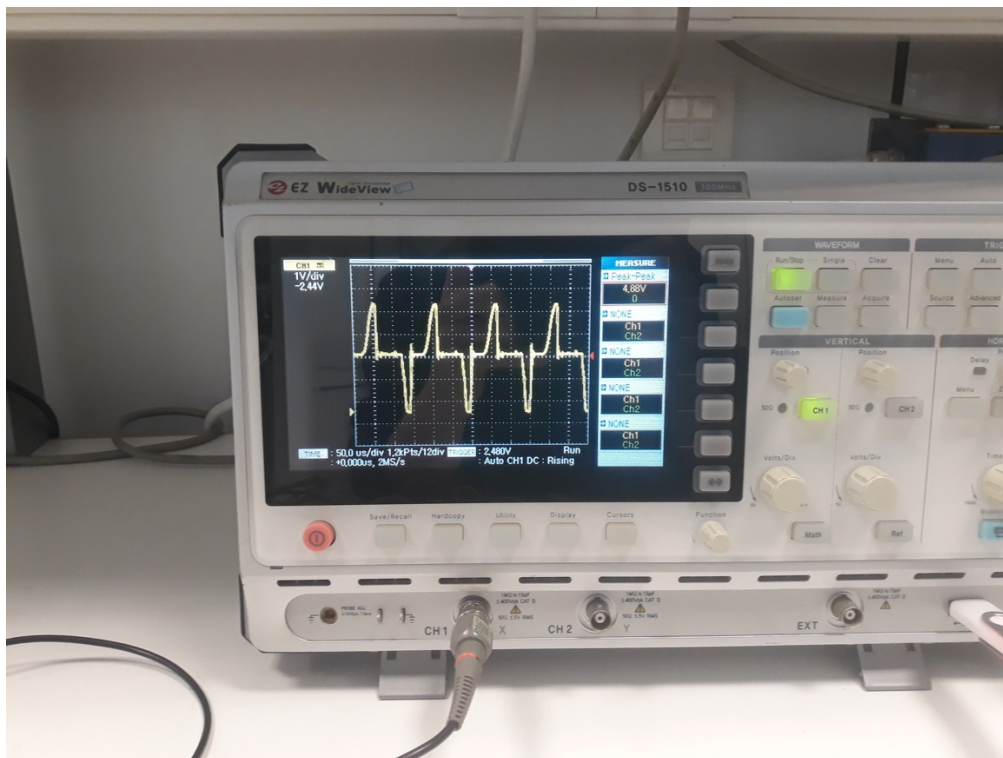
Σχήμα 48: Συνδεσμολογία non-inverting op-amp αθροιστή τάσεων [23]

Η λογική του κυκλώματος έγκειται στην προσθήκη δύο τάσεων μεταξύ τους, και την εισαγωγή τους στην non-inverting είσοδο του τελεστικού ενισχυτή. Έτσι, με την προσθήκη του σήματος με κατάλληλα επιλεγμένη dc συνιστώσα, θα πάρουμε το επιθυμητό σήμα, προς οδήγηση στο Arduino.

6.4.2 Υλοποίηση κυκλώματος βοηθητικής διάταξης

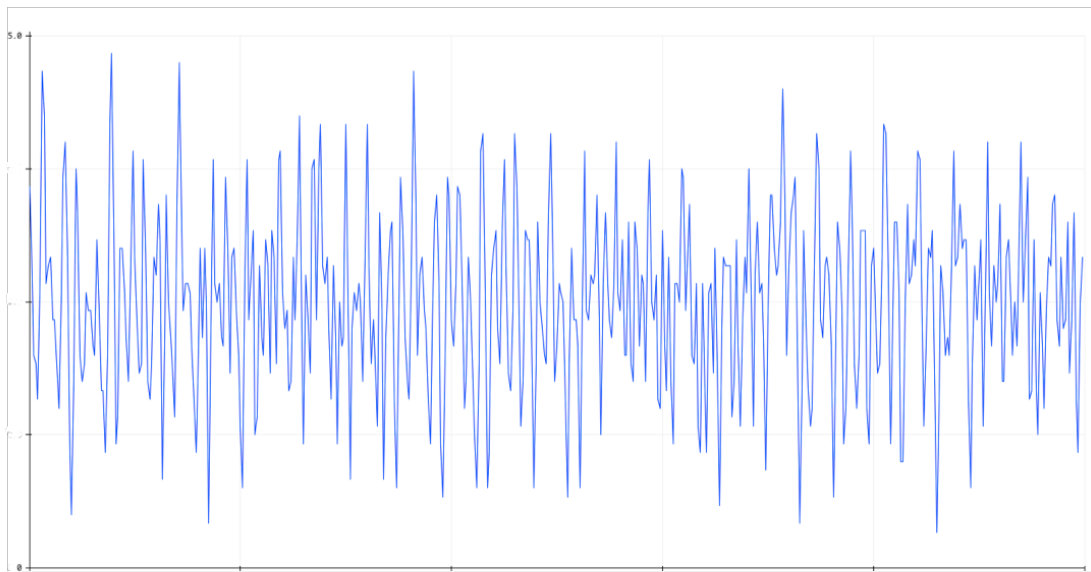
Με την έξοδο του αισθητήρα να κινείται στα 4,88 Vpp, η διαδικασία απλοποιείται αρκετά: δεν χρειάζεται να περιορίσουμε το εύρος της εξόδου, από τη στιγμή που βρίσκεται από μόνο του στο διάστημα [0,5] V. Αρκεί επομένως απλά η προσθήκη του offset, που θα το φέρει εντός του επιθυμητού διαστήματος. Το offset ορίστηκε στα 2,5 V, ούτως ώστε η κυματομορφή να “κεντραριστεί” γύρω από αυτή την τιμή. Η δημιουργία της φαίνεται και στο παραπάνω σχήμα, όπου για τάση τροφοδοσίας 5 V (από το Arduino), χρησιμοποιήθηκε ένας διαιρέτης τάσης, για τον υποδιπλασιασμό του μεγέθους, πριν την οδήγησή του σε άθροιση με το σήμα του αισθητήρα.

Για τις ανάγκες της διάταξης, χρησιμοποιήθηκε ο TLC2272CN τελεστικός ενισχυτής, ο οποίος επελέγη με κριτήριο τον πολύ καλό ρυθμό μεταβολής (slew rate), κάτι που μετά από δοκιμές κρίθηκε απαραίτητο, ούτως ώστε να μπορεί η διάταξη να ακολουθεί τις συνεχείς αλλαγές της εξόδου του αισθητήρα. Στην επόμενη φωτογραφία, φαίνεται και το προκύπτον σήμα μετά από την προσθήκη offset, όπως μετρήθηκε με την βοήθεια παλμογράφου:



Σχήμα 49: Σήμα εξόδου της βοηθητικής διάταξης

Εν τέλει, οδηγούμε το σήμα πίσω στο Arduino, και σε αναλογικό pin. Τροποποιήσαμε κατάλληλα τον υπάρχοντα κώδικα, με σκοπό το συγκεκριμένο pin να αναγνωρίζεται ως είσοδος, και να ενεργοποιείται η λειτουργία Serial Plotter του Arduino IDE προς σχηματική αναπαράσταση του σήματος από αυτό. Στην παρακάτω φωτογραφία επιβεβαιώνεται και η ορθή λειτουργία αυτού, με βάση και το τι αναμενόταν ως αποτέλεσμα:



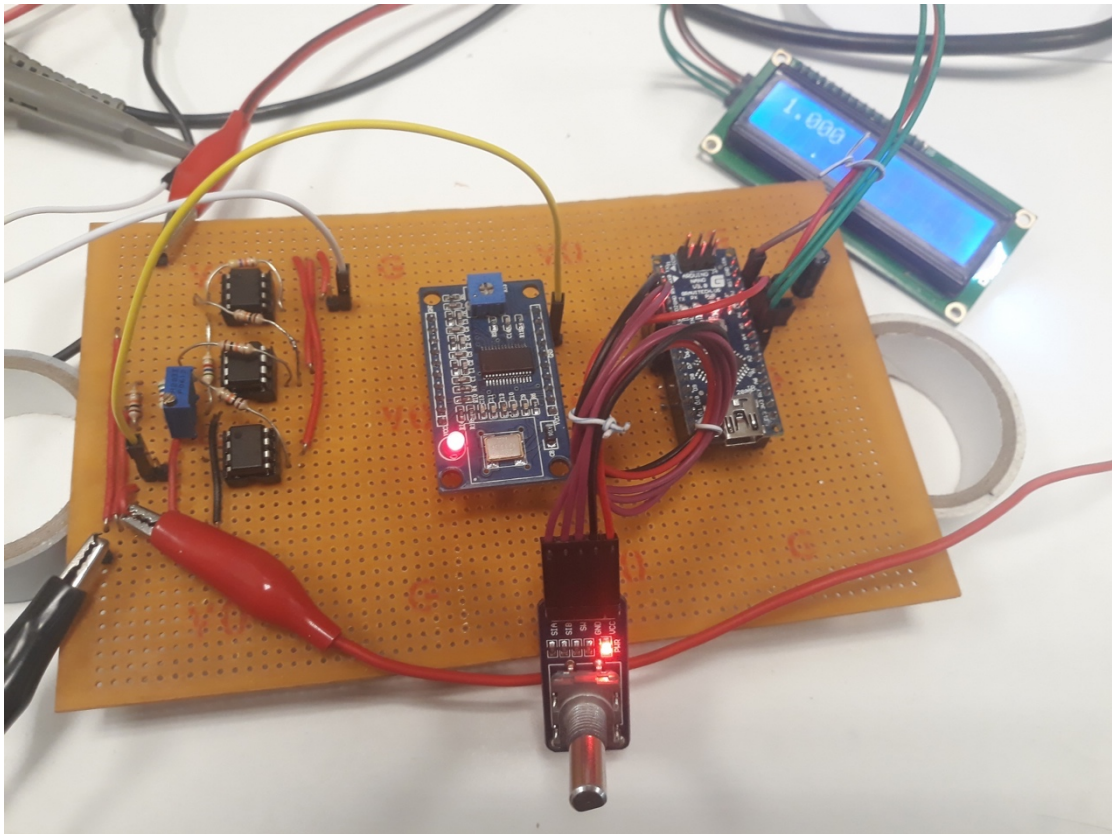
Σχήμα 50: Καταγραφή της εξόδου του αισθητήρα, μέσω του Serial Plotter

Όπως αναμενόταν, το σήμα είναι κεντραρισμένο γύρω από τα 2,5 V, ενώ δεν υπερβαίνει ποτέ τα 5 V, ούτε και προσεγγίζει το 0. Σε αντίστοιχες με νωρίτερα δοκιμές με τον αισθητήρα (περιστροφή του αισθητήρα ή δοκιμές με μαγνήτες), ο Serial Plotter έδειξε να καταγράφει τις αλλαγές κατά τον προβλεπόμενο τρόπο, με μια μικρή χρονική καθυστέρηση (κάτι που θεωρήθηκε φυσιολογικό, λόγω της σειριακής σύνδεσης του Arduino με τον υπολογιστή).

Μετά και το τέλος των πειραματικών διαδικασιών, προχωρήσαμε στην ενοποίηση όλων των παραπάνω επί μέρους διατάξεων, και την κόλλησή τους σε σταθερή κατασκευή.

6.5 Τελικό κατασκευαστικό στάδιο

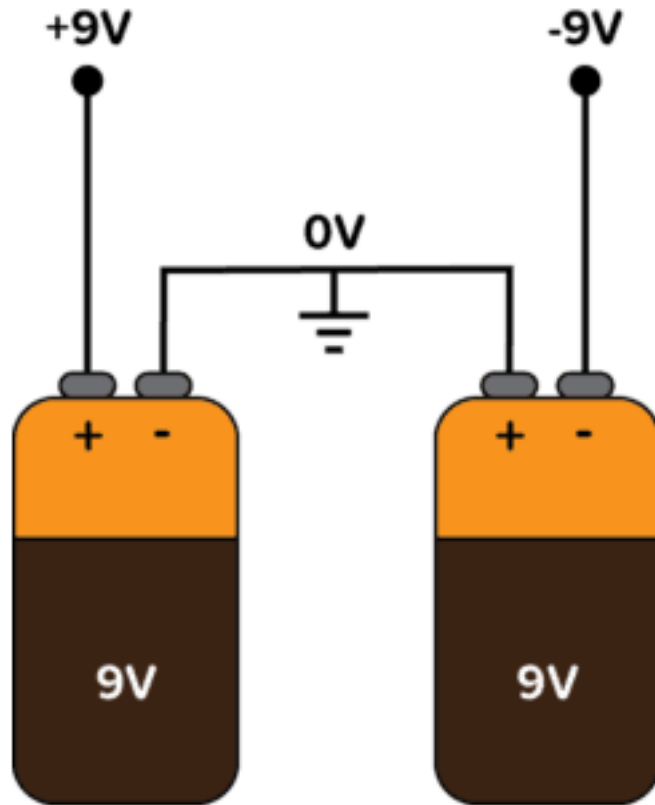
Σε πρώτη φάση, όλες οι υποδιατάξεις κολλήθηκαν σε πλακέτα. Η διάταξη της γεννήτριας και αυτή της ενίσχυσης κολλήθηκαν στην ίδια πλακέτα. Δημιουργήθηκαν ράγες τάσης για GND, 9 και -9 V, όπου και συνδέθηκαν όλες οι σχετικές τροφοδοσίες. Για τα κομμάτια της κατασκευής που χρειάστηκε τροφοδοσία 5 V, χρησιμοποιήθηκε το σχετικό pin τροφοδοσίας του Arduino.



Σχήμα 51: Η πλακέτα της διάταξης

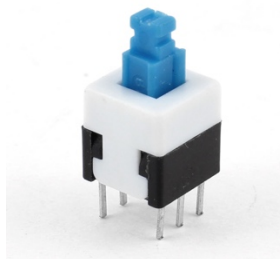
Η τάση -9 V χρειάζεται για να τροφοδοτηθούν οι τελεστικοί ενισχυτές των βοηθητικών διατάξεων. Για την κατασκευή (και την υλοποίηση, δηλαδή, των τάσεων με μπαταρίες) χρησιμοποιήθηκαν δύο μπαταρίες των 9 V, συνδεδεμένες σε σειρά. Όπως

φαίνεται και στο επόμενο σχήμα, με την κόλληση της μεταξύ τους σύνδεσης στη ράγα GND, καταφέραμε να έχουμε δύο τάσεις αντίθετης πολικότητας :



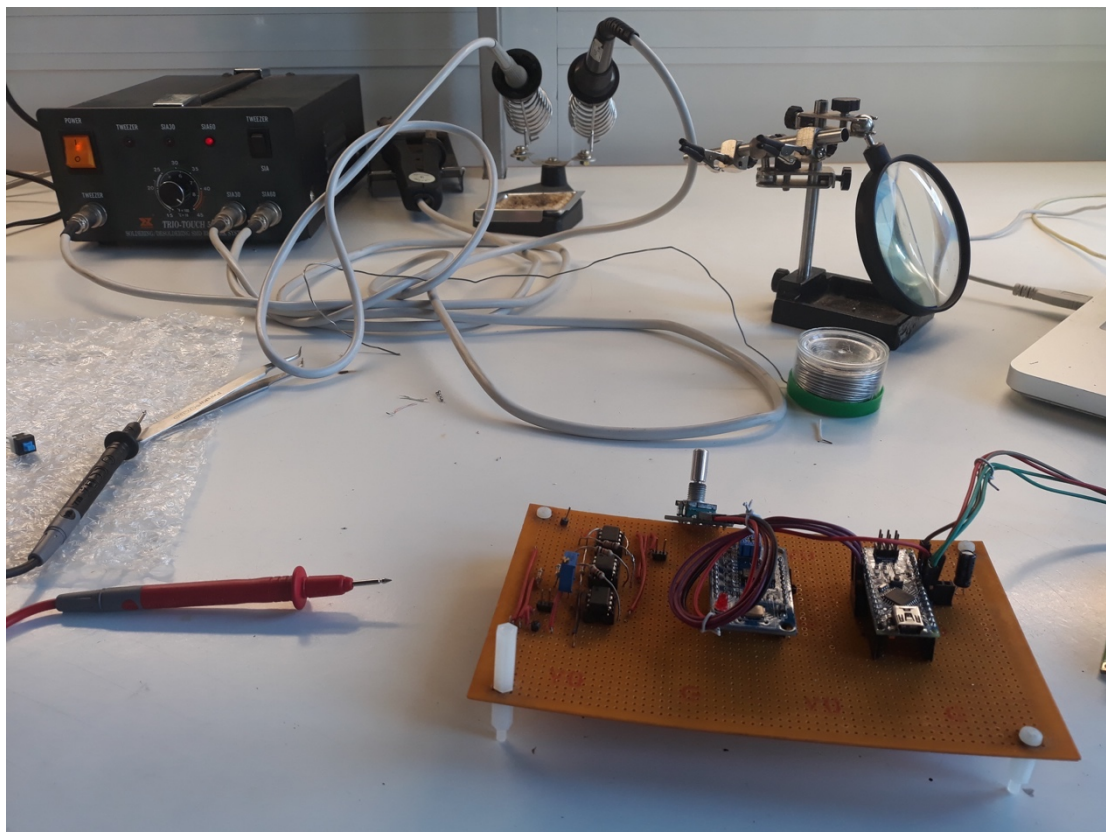
Σχήμα 52: Συνδεσμολογία μπαταριών, για την δημιουργία αρνητικής τάσης

Η τροφοδότηση της πλακέτας ελέγχεται με την χρήση dpst διακόπτη, στον οποίο συνδέθηκαν οι δύο τάσεις. Για τον διακόπτη κατασκευάστηκε και ξεχωριστή πλακέτα, ώστε να είναι δυνατό να σταθεροποιηθεί στο πάνω μέρος της κατασκευής.



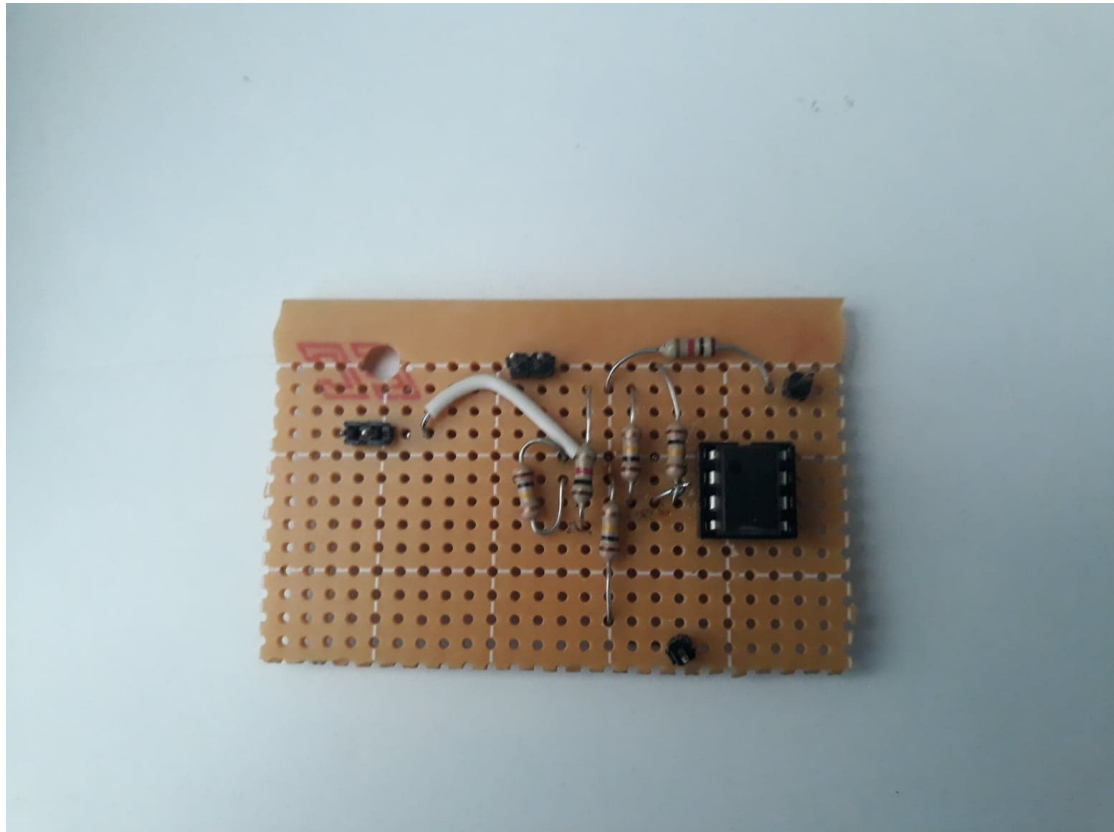
Σχήμα 53: Ο dpst διακόπτης της κατασκευής

Στην πλακέτα ανοίχτηκαν τρύπες και μπήκαν αποστάτες, προκειμένου να σταθεροποιηθεί εντός κλειστού κουτιού. Η επικοινωνία μεταξύ του Arduino, του AD9851 και των δύο βοηθητικών διατάξεων γίνεται μέσω κολλημένων pins και αποσπώμενων καλωδίων τύπου jumper, για να είναι δυνατός (σε περίπτωση δυσλειτουργίας) ο έλεγχος της ροής σήματος στην κατασκευή:



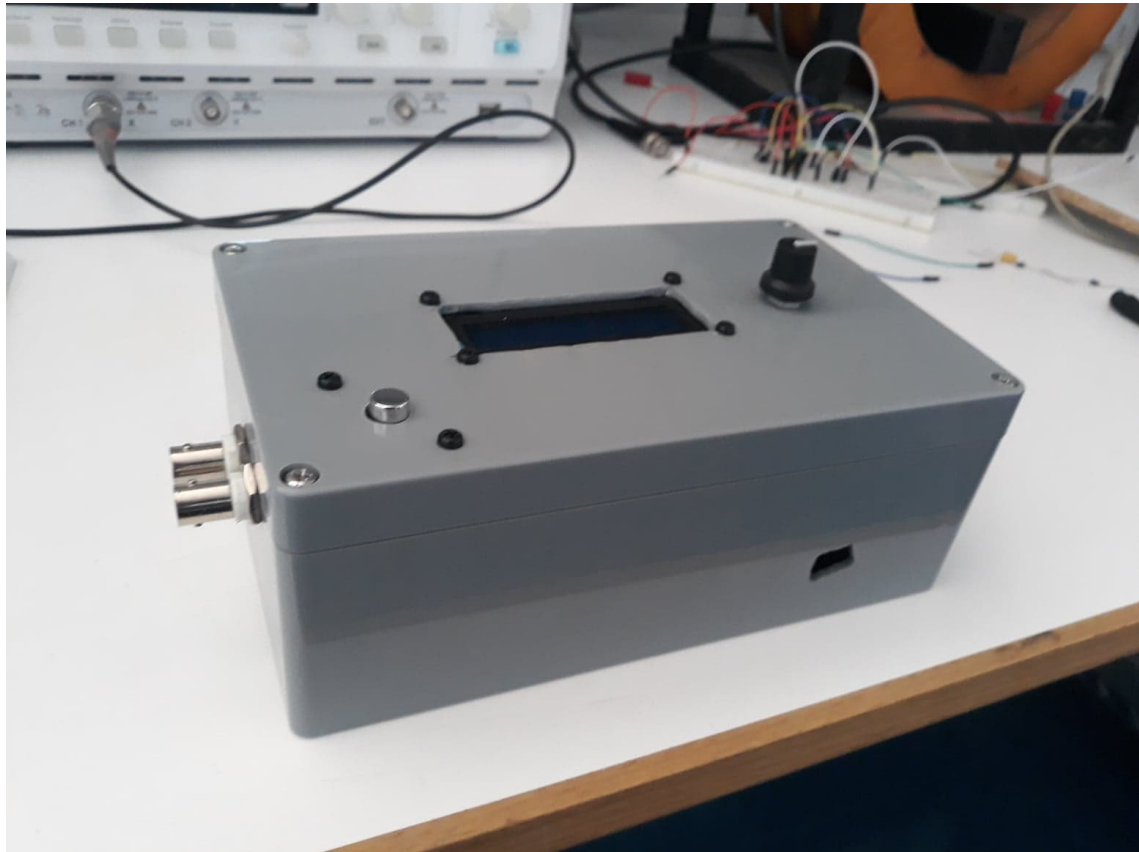
Σχήμα 54: Προσθήκη αποστατών στην πλακέτα

Η βοηθητική διάταξη προσθήκης offset υλοποιήθηκε σε ξεχωριστή, μικρότερη πλακέτα. Για οικονομία χώρου, τοποθετήθηκε με την βοήθεια αποστάτη πάνω από την βασική πλακέτα:



Σχήμα 55: Πλακέτα βοηθητικής διάταξης offset

Για την κατασκευή αγοράστηκε πλαστικό κουτί, διαστάσεων . Πρώτα ελέγχθηκε η δυνατότητα σταθεροποίησης των πλακετών εντός του κουτιού. Στη συνέχεια, με την χρήση Dremmel ανοίχτηκαν τρύπες στο κουτί, για την σταθεροποίηση της οθόνης, του encoder και του διακόπτη on/off. Ανοίχτηκαν επίσης τρύπες για το καλώδιο USB επικοινωνίας του Arduino με τον υπολογιστή, και για δύο αντάπτορες τύπου BNC, εισόδου/εξόδου σήματος της κατασκευής:



Σχήμα 56: Κουτί κατασκευής

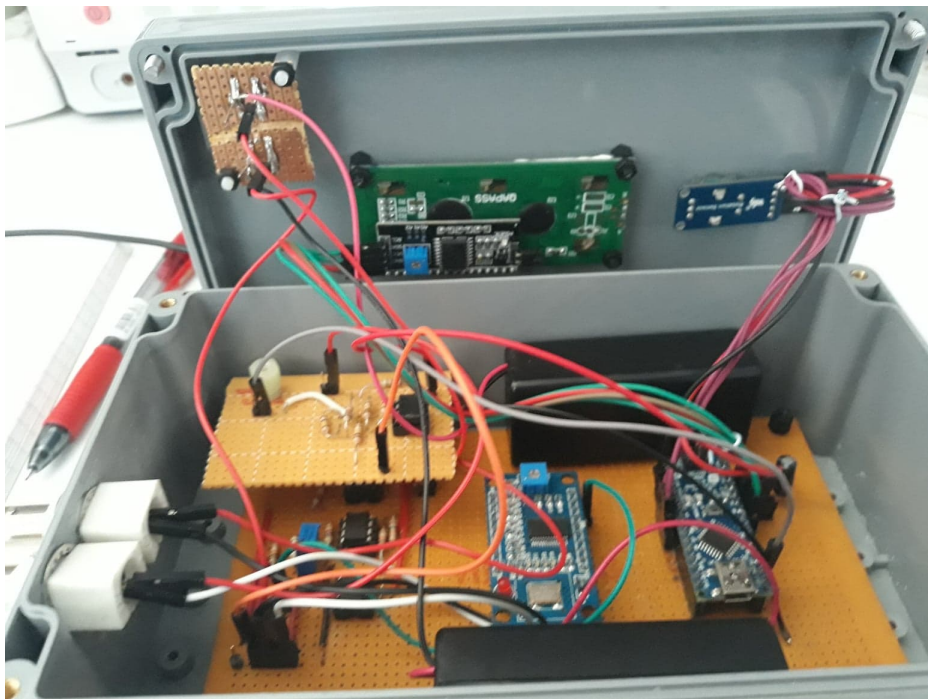


Σχήμα 57: Κουτί κατασκευής – άνω όψη

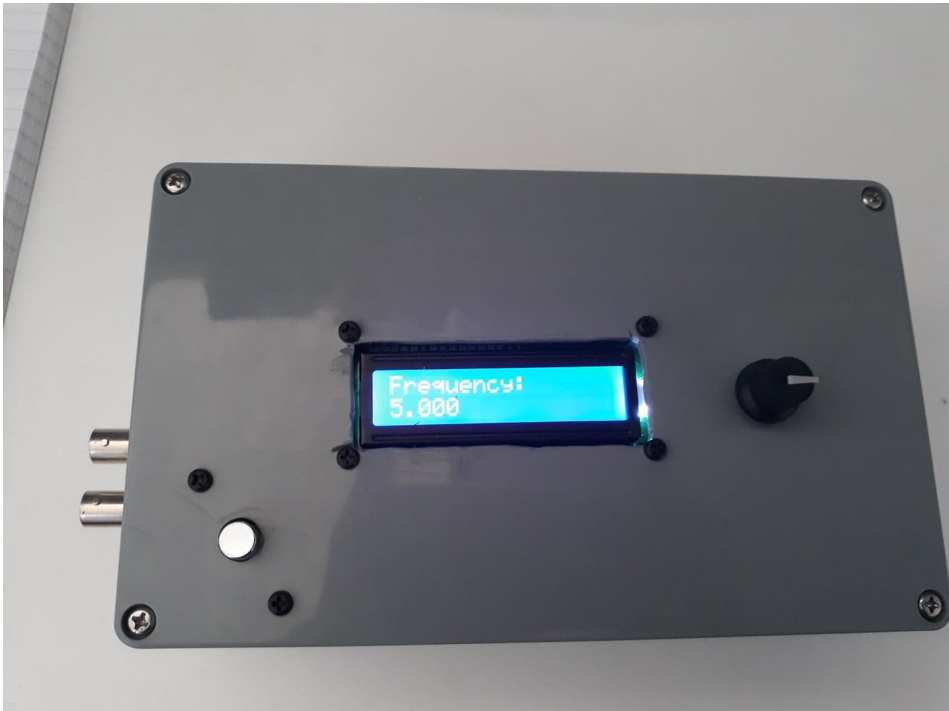


Σχήμα 58: Κουτί κατασκευής – οι BNC υποδοχές

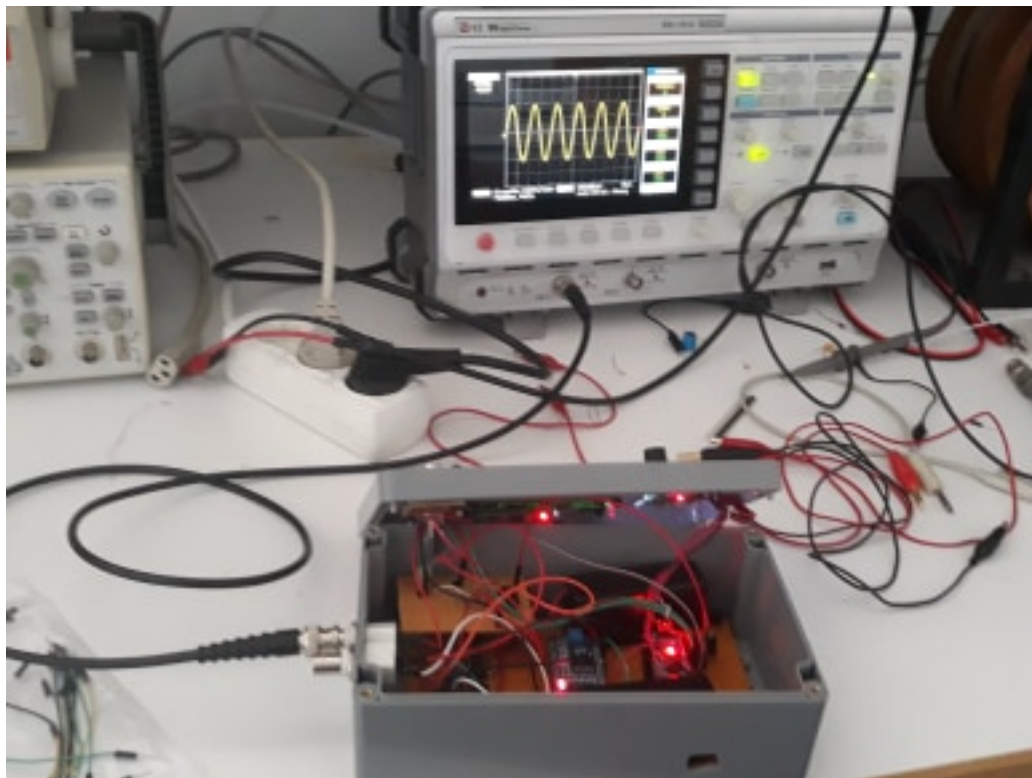
Τέλος, αφότου στερεώθηκαν όλα τα εξαρτήματα και μπήκαν μπαταρίες 9 V για την τροφοδοσία, έγιναν κάποιες τελευταίες δοκιμές στο εργαστήριο, προκειμένου να επιβεβαιωθεί ότι όλα λειτουργούν κανονικά:



Σχήμα 59: Κουτί κατασκευής - εσωτερικό



Σχήμα 60: Κουτί κατασκευής



Σχήμα 61: Τελευταίες δοκιμές κατασκευής

7 Συμπεράσματα – Μελλοντικές εργασίες

7.1 Συμπεράσματα – Ανάλυση αποτελεσμάτων

Σκοπός της εργασίας αυτής ήταν η κατασκευή μιας αυτόνομης γεννήτριας ημιτονοειδούς σήματος, μεγάλου εύρους συχνοτήτων, με δυνατότητα ρύθμισης ποιοτικών χαρακτηριστικών του σήματος και χαμηλό κόστος. Σ' αυτή την κατεύθυνση, εξετάστηκαν μια σειρά από διατάξεις (γέφυρα Wien, διατάξεις Colpitts), οι οποίες απορρίφθηκαν λόγω των ζητούμενων επιθυμητών χαρακτηριστικών. Παρ' ότι στην συγκεκριμένη περίπτωση δεν αξιοποιήθηκαν, συνίστανται σε κάθε περίπτωση για χρήση σε χαμηλές (και εκ των προτέρων ορισμένες) συχνότητες, λόγω του ποιοτικού σήματος που μπορούν να αποδώσουν.

Η μέθοδος που επιλέχθηκε είναι αυτή της άμεσης ψηφιακής σύνθεσης (Direct Digital Synthesis - DDS), λόγω συγκεκριμένων χαρακτηριστικών:

- την δυνατότητα παραγωγής μεγάλου εύρους συχνοτήτων,
- την δυνατότητα εναλλαγής μεταξύ συχνοτήτων χωρίς αλλοιώσεις στο σήμα,
- την σχετική “αναισθησία” σε εξωγενείς παράγοντες παρεμβολής,
- το χαμηλό κόστος κτήσης των εξαρτημάτων

Παρά το σχετικά απλό “στήσιμο” της αλληλεπίδρασης μεταξύ του μικροελεγκτή Arduino και του AD9851, διαπιστώθηκε ότι χρειάζονται βοηθητικές διατάξεις για την

κατά το δοκούν διαμόρφωση του σήματος. Τα κυριότερα προβλήματα που έπρεπε να αντιμετωπιστούν ήταν:

- Η μεγάλη πτώση τάσης (της τάξης του 80%) στο A9851
- Η ύπαρξη dc συνιστώσας (offset), λόγω αναπαραγωγής του σήματος από dc πηγή

Και τα δύο προβλήματα αντιμετωπίστηκαν με την ενσωμάτωση διατάξεων τελεστικών ενισχυτών, καθώς δεν κατέστη δυνατό κάτι τέτοιο με αντίστοιχες διατάξεις αποτελούμενες από τρανζίστορ. Παρά όμως την μη σταθερή και περιορισμένου εύρους απόδοσή τους, κρίνεται ότι με καλύτερη επιλογή τρανζίστορ, κάτι τέτοιο θα ήταν εφικτό. Και οι δύο επιλογές που εξετάστηκαν πάντως, ήταν αντίστοιχης απλότητας ως προς τον σχεδιασμό και υλοποίησή τους.

Επιπλέον, χρειάστηκε άλλη μια βοηθητική διάταξη, προκειμένου να είναι δυνατή η εποπτεία και καταγραφή των δεδομένων του αισθητήρα. Δεν υπήρξαν ιδιαίτερα προβλήματα ως προς την υλοποίηση της συνολικής διάταξης, ενώ δόθηκε έμφαση στην απλότητα χειρισμού της, μέσω του σχετικού μενού και της ύπαρξης της οθόνης και του encoder. Παρ' όλα αυτά, υπήρξε περιορισμένη η δυνατότητα αξιολόγησης της συνεργασίας της κατασκευής με περισσότερους αισθητήρες, κάτι που θα επιβεβαίωνε και σε μεγαλύτερο βαθμό την χρηστική της αξία ως γεννήτρια σήματος γενικού σκοπού.

7.2 Μελλοντικές εργασίες

Στα πλαίσια της εργασίας, εξ' αρχής ιεραρχήθηκε η απλότητα τόσο της υλοποίησης όσο και της χρήσης της γεννήτριας. Αυτό μεταφράστηκε σε:

- επιλογή λίγων, απλών και οικονομικών εξαρτημάτων,
- επιλογή απλών και κατανοητών υποδιατάξεων,
- συγγραφή κώδικα απλού, εύκολα τροποποιήσιμου
- προσπάθεια περιορισμού των διαστάσεων και του βάρους της κατασκευής

Παρ' όλα αυτά, υπήρξαν αρκετές ιδέες για πιθανές βελτιώσεις και τροποποιήσεις της παρούσας εργασίας:

- η πρώτη παρατήρηση σαφώς και είναι η περίπτωση σχεδιασμού πλακέτας σε σχετικό πρόγραμμα, με σκοπό την εκτύπωσή της, κάτι που θα περιόριζε ακόμα περισσότερο τις διαστάσεις, συγκριτικά με αυτή που κατασκευάστηκε στο εργαστήριο,
- η δυνατότητα παραγωγής περισσότερων ειδών κυματομορφών είναι επίσης μια πολύ σημαντική προσθήκη. Στην συγκεκριμένη περίπτωση (για χάρη απλότητας), και λόγω της επιλογής του Arduino Nano για μικρές διαστάσεις και κατανάλωση, δεν υπήρχαν αρκετά διαθέσιμα pins για κάτι τέτοιο (αν και έγιναν σχετικές προσπάθειες “εξοικονόμησης”). Η προσπάθεια διαχείρισης εκτενέστερου μενού μέσω μόνο ενός encoder ανέβαζε την πολυπλοκότητα του κώδικα επίσης. Ωστόσο, έγινε σαφές ότι κάτι τέτοιο είναι εφικτό με χρήση Arduino Uno, και από εκεί και πέρα μια επιλογή ανάμεσα σε δύο encoders, οθόνη LCD με κουμπιά, ή κάποιο τηλεκοντρόλ υπερέθρων. Υπάρχει η δυνατότητα παραγωγής διαφόρων ειδών κυματομορφών απευθείας από το Arduino, και με χρήση κατάλληλων διατάξεων – φίλτρων,
- προκρίνεται και η δυνατότητα παραγωγής συχνοτήτων κάτω του 1 Hz, η οποία δεν συμπεριλήφθηκε εδώ απλά γιατί η προοπτική χρήσης της γεννήτριας δεν περιλάμβανε τέτοιου μεγέθους συχνοτήτες. Ωστόσο, ακόμα και στην παρούσα εργασία, κάτι τέτοιο είναι δυνατό με ελάχιστες αλλαγές στον κώδικα.

8 Βιβλιογραφία

- [1] J. Fraden, Handbook of Modern Sensors: Physics, Designs, and Applications, Springer, 2010
- [2] D. Patranabi, Sensors and Tranducers. PHI Learning Pvt. Ltd., 2003.
- [3] J. Vetelino, Introduction to sensors. Boca Raton: CRC Press, 2011.
- [4] P. T. Moseley and J. Crocker, Sensor Materials. CRC Press, 1996.
- [5] Δημήτριος Ν. Μαυροκουκουλάκης: Πτυχιακή Εργασία : Μαγνητικοί αισθητήρες και εφαρμογές.
- [6] W. Göpel, J. Hesse, J.N. Zemel: Sensors, A Comprehensive Survey, Volume 5: Magnetic Sensors, VCH
- [7] P.Ripka , A. Tipek: Master Book On Sensors, Part B/Modular Courses On Modern Sensors, Leonardo Da Vinci Project CZ/PP – 134026/ BEN Technical Literature
- [8] Παναγιώτης Δ. Δημητρόπουλος: Διδακτορική Διατριβή: Μικροαισθητήρες Fluxgate
- [9] M. J. Caruso, “Applications of magnetic sensors for low cost compass systems,” in Position Location and Navigation Symposium, IEEE 2000, 2000, pp. 177-184.
- [10] “The Nobel Prize in Physics 2007.”
http://www.nobelprize.org/nobel_prizes/physics/laureates/2007/.
- [11] https://en.wikipedia.org/wiki/Search_coil
- [12] Κριτσωτάκης Ιωάννης : Πτυχιακή Εργασία : Αισθητήρες- Μετατροπείς. 2006.
- [13] <http://wiki.squid-cache.org/SquidFaq/AboutSquid>
- [14] https://repository.kallipos.gr/bitstream/11419/3574/1/05_chapter_04.pdf
- [15] <http://www.learningaboutelectronics.com/Articles/Wien-bridge-oscillator-circuit-with-an-LM741.php>
- [16] <https://www.circuitstoday.com/colpitts-oscillator>
- [17] <https://www.electronics-notes.com/articles/radio/frequency-synthesizer/dds-direct-digital-synthesis-synthesizer-what-is-basics.php>
- [18] <https://www.analog.com/en/analog-dialogue/articles/all-about-direct-digital-synthesis.html#>
- [19] <https://www.instructables.com/id/Voltage-Amplifier/>
- [20] <https://www.instructables.com/id/How-to-Design-Common-Emitter-Amplifier/>
- [21] <https://scienceprog.com/modeling-of-analog-part-for-dds3-signal-generator/>
- [22] X. Wang, T. Wang, W. Jiang, W. Zhao, Y. Shi, “A design of excitation system for Fluxgate based on sine wave” in Fifth International Conference on Instrumentation and Measurement, Computer, Communication and Control (IMCCC), 2015, pp 1090-1093
- [23] https://www.electronics-tutorials.ws/opamp/opamp_4.html

9 Παράρτημα

Στην συνέχεια, παρατίθεται ο κώδικας που χρησιμοποιήθηκε για τον προγραμματισμό του Arduino, καθώς και δύο datasheets, αυτά του AD9851 εξαρτήματος, αλλά και του TLC2272CN op-amp:

```
#include <LCD.h>
```

```
#include <EEPROM.h>
```

```
#include <Wire.h>
```

```
#include <LiquidCrystal_I2C.h>
```

```
LiquidCrystal_I2C lcd(0x27, 2, 1, 0, 4, 5, 6, 7, 3, POSITIVE); // Set the LCD I2C address,  
if it's not working try 0x27.
```

```
const unsigned long max_frequency_step = 1000000; //Max Frequency step
```

```
const unsigned long max_frequency = 50000000; //Max Frequency
```

```
const int min_frequency=25; // Minimum Frequency
```

```
unsigned long last_frequency = 5000;
```

```
unsigned long frequency_step = 1;
```

```
// Rotary encoder
```

```
const int EncoderPinCLK = 2;
```

```
const int EncoderPinDT = 3;
```

```
const int EncoderPinSW = 4;
```

```
byte dds_RESET = 5;
```

```
byte dds_DATA = 6;
```

```
byte dds_LOAD = 7;
```

```
byte dds_CLOCK = 8;
```

```
void setup_dds()
```

```
{
```

```
    // DDS pins for data, clock and load
```

```
    pinMode(dds_DATA, OUTPUT); // DDS pins as output
```

```
    pinMode(dds_CLOCK, OUTPUT);
```

```
pinMode (dds_LOAD, OUTPUT);

pinMode (dds_RESET, OUTPUT);

digitalWrite(dds_DATA, LOW); // internal pull-down

digitalWrite(dds_CLOCK, LOW);

digitalWrite(dds_LOAD, LOW);

digitalWrite(dds_RESET, LOW);

// Wait 2 seconds for the AD9851 during power up

delay (2000);

init_dds();

reset_dds();

}

void init_dds()

{

digitalWrite(dds_RESET, LOW);

digitalWrite(dds_CLOCK, LOW);
```

```
digitalWrite(dds_LOAD, LOW);

digitalWrite(dds_DATA, LOW);

}
```

```
void reset_dds()
```

```
{
```

```
    //reset sequence is:
```

```
    // CLOCK & LOAD = LOW
```

```
    // Pulse RESET high for a few uS (use 5 uS here)
```

```
    // Pulse CLOCK high for a few uS (use 5 uS here)
```

```
    // Set DATA to ZERO and pulse LOAD for a few uS (use 5 uS here)
```

```
    // data sheet diagrams show only RESET and CLOCK being used to reset the device,  
    but I see no output unless I also
```

```
    // toggle the LOAD line here.
```

```
    digitalWrite(dds_CLOCK, LOW);
```

```
    digitalWrite(dds_LOAD, LOW);
```

```
digitalWrite(dds_RESET, LOW);

delay(5);

digitalWrite(dds_RESET, HIGH); //pulse RESET

delay(5);

digitalWrite(dds_RESET, LOW);

delay(5);

digitalWrite(dds_CLOCK, LOW);

delay(5);

digitalWrite(dds_CLOCK, HIGH); //pulse CLOCK

delay(5);

digitalWrite(dds_CLOCK, LOW);

delay(5);

digitalWrite(dds_DATA, LOW); //make sure DATA pin is LOW

digitalWrite(dds_LOAD, LOW);

delay(5);

digitalWrite(dds_LOAD, HIGH); //pulse LOAD
```



```

    delay(5);

    digitalWrite(dds_LOAD, LOW);

    // Chip is RESET now

}

void dds(unsigned long freq)
{
    int last8;

    unsigned long DDSLong;

    unsigned long Bitmask32 = 1; // 32 bit bit mask '0000 0000 0000 0000 0000 0000
0000 0001'

    byte Bitmask8 = 1; // 8 bit bit mask '0000 0001'

        // we shift these bitmasks left 1 bit at a time and AND them bitwise
with a value to simply

        // determine if an unknown individual bit within a data structure is a
1 or a 0

    byte FirstBit = 1;

    float clock_frequency = 180000000; // this is the on-board clock frequency of my
AD9851 board

```

```

float twoE32 = pow (2,32);    // this is 2 to the power of 32 (which is quite a lot)

DDSLong = ((twoE32 * (freq))/ clock_frequency); // this calculates the first 32 bits of
the 40 bit DDS instruction

// now we iterate through the first 32 bits one at a time, determine if the individual
bits are 1 or 0 and write a HIGH or LOW as appropriate

for (Bitmask32 = 1; Bitmask32 > 0; Bitmask32 <<= 1)

{
    // iterate through 32 bits of DDSLong

    if (DDSLong & Bitmask32)    // if bitwise AND resolves to true

        digitalWrite(dds_DATA,HIGH);

    else    // if bitwise AND resolves to false

        digitalWrite(dds_DATA,LOW);

    // after every single bit we toggle the clock pin for the DDS to receive the data bit

    digitalWrite(dds_CLOCK,HIGH);    // Clock data in by setting clock pin high
then low

    delayMicroseconds(1);

```

```

digitalWrite(dds_CLOCK,LOW);

}

// now send the final 8 bits to complete the 40 bit instruction

// we need 1000 0000 because we want to use the clock multiplier

// so here we are going to look 8 times and send a 1 the first time round then 7 0s

for (Bitmask8 = 1; Bitmask8 > 0; Bitmask8 <<= 1)

{
    // iterate through last 8 bits of 40 bit instruction to DDS

    if (Bitmask8 & FirstBit) // 1st bit of remaining 8 needs to be 1 to enable
clock multiplier

        digitalWrite(dds_DATA,HIGH);

    else

        digitalWrite(dds_DATA,LOW);

// after every single bit we toggle the clock pin for the DDS to receive the data bit

```

```
    digitalWrite(dds_CLOCK,HIGH);    // Clock data in by setting clock pin high  
then low
```

```
    delayMicroseconds(1);
```

```
    digitalWrite(dds_CLOCK,LOW);
```

```
}
```

```
// and once all 40 bits have been sent
```

```
// finally we toggle the load bit to say we are done
```

```
// and let the AD9851 do its stuff
```

```
digitalWrite (dds_LOAD, HIGH);    // Pulse DDS update
```

```
delayMicroseconds(1);
```

```
digitalWrite (dds_LOAD, LOW);    // to execute previous instruction set
```

```
return;
```

```
}
```

```
// ISR (Interrupt Service Routine)
```

```
unsigned volatile long frequency = 5000;
```

```

void isr () {

    static unsigned long lastInterruptTime = 0;

    unsigned long interruptTime = millis();

    if (interruptTime - lastInterruptTime > 5) {

        if (digitalRead(EncoderPinDT) == LOW)

        {

            frequency=frequency-frequency_step ; // Could be -5 or -10

        }

        else {

            frequency=frequency+frequency_step ; // Could be +5 or +10

        }

        frequency = min(max_frequency, max(min_frequency, frequency));

        lastInterruptTime = interruptTime;

    }

```

```
}
```

```
void show_frequency()
```

```
{
```

```
    lcd.clear();
```

```
    float display_frequency=frequency;
```

```
    String frequency_string=String(frequency);
```

```
    if (frequency<1000)
```

```
    {
```

```
        lcd.setCursor(0,0);
```

```
        lcd.print("Frequency:");
```

```
        lcd.setCursor(0,1);
```

```
        lcd.print(frequency);
```

```
    }
```

```
    if (frequency>=1000)
```

```
    {
```

```
        lcd.setCursor(0,0);
```

```

    lcd.print("Frequency:");

    lcd.setCursor(0,1);

    lcd.print(display_frequency/1000,3);

}

}

void setup() {

    Serial.begin(9600);

    // Rotary pulses are INPUTs

    pinMode(EncoderPinCLK, INPUT);

    pinMode(EncoderPinDT, INPUT);

    // Switch is floating so use the in-built PULLUP so we don't need a resistor

    pinMode(EncoderPinSW, INPUT_PULLUP);

    // Attach the routine to service the interrupts

    attachInterrupt(digitalPinToInterrupt(EncoderPinCLK), isr, LOW);

```

```
lcd.begin(16,2);

lcd.backlight(); // Turn on the backlight (try lcd.noBaklight() to turn it off)

setup_dds();

lcd.setCursor (5,0);

lcd.print("Hello!");

delay(2000);

show_frequency();

dds(frequency);

//Serial.println("Start");

}

void loop() {

// Is someone pressing the rotary switch?
```



```
if (!(digitalRead(EncoderPinSW))) {  
  
    while (!digitalRead(EncoderPinSW))  
  
        delay(10);  
  
    Serial.println("Reset");  
  
    if (frequency_step==max_frequency_step)  
  
    {  
  
        frequency_step=1;  
  
    }  
  
    else  
  
    {  
  
        frequency_step=frequency_step*10;  
  
    }  
  
    Serial.print("multiplier:");  
  
    Serial.println(frequency_step);  
  
    lcd.clear();  
  
    lcd.setCursor(0,0);  
  
    lcd.print("Step:");
```

```
lcd.setCursor(0,5);

lcd.print(frequency_step);

}

if (frequency != last_frequency) {

Serial.print(frequency > last_frequency ? "Up :": "Down:");

Serial.println(frequency);

show_frequency();

dds(frequency);

last_frequency = frequency ;

}

int sensorValue = analogRead(A0);

float voltage = sensorValue*(5.0/1023.0);

Serial.println(voltage);

}
```

FEATURES

- 180 MHz Clock Rate with Selectable 6× Reference Clock Multiplier**
- On-Chip High Performance 10-Bit DAC and High Speed Comparator with Hysteresis**
- SFDR >43 dB @ 70 MHz A_{OUT}**
- 32-Bit Frequency Tuning Word**
- Simplified Control Interface: Parallel or Serial Asynchronous Loading Format**
- 5-Bit Phase Modulation and Offset Capability**
- Comparator Jitter <80 ps p-p @ 20 MHz**
- 2.7 V to 5.25 V Single-Supply Operation**
- Low Power: 555 mW @ 180 MHz**
- Power-Down Function, 4 mW @ 2.7 V**
- Ultrasmall 28-Lead SSOP Packaging**

APPLICATIONS

- Frequency/Phase-Agile Sine Wave Synthesis**
- Clock Recovery and Locking Circuitry for Digital Communications**
- Digitally Controlled ADC Encode Generator**
- Agile Local Oscillator Applications in Communications Quadrature Oscillator**
- CW, AM, FM, FSK, MSK Mode Transmitter**

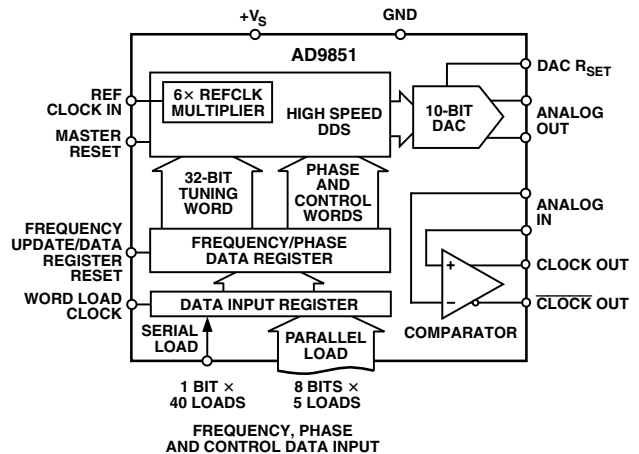
GENERAL DESCRIPTION

The AD9851 is a highly integrated device that uses advanced DDS technology, coupled with an internal high speed, high performance D/A converter, and comparator, to form a digitally programmable frequency synthesizer and clock generator function. When referenced to an accurate clock source, the AD9851 generates a stable frequency and phase-programmable digitized analog output sine wave. This sine wave can be used directly as a frequency source, or internally converted to a square wave for agile-clock generator applications. The AD9851's innovative high speed DDS core accepts a 32-bit frequency tuning word, which results in an output tuning resolution of approximately 0.04 Hz with a 180 MHz system clock. The AD9851 contains a unique 6× REFCLK Multiplier circuit that eliminates the need for a high speed reference oscillator. The 6× REFCLK Multiplier has minimal impact on SFDR and phase noise characteristics. The AD9851 provides five bits of programmable phase modulation resolution to enable phase shifting of its output in increments of 11.25°.

REV. D

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

FUNCTIONAL BLOCK DIAGRAM



The AD9851 contains an internal high speed comparator that can be configured to accept the (externally) filtered output of the DAC to generate a low jitter output pulse.

The frequency tuning, control, and phase modulation words are asynchronously loaded into the AD9851 via a parallel or serial loading format. The parallel load format consists of five iterative loads of an 8-bit control word (byte). The first 8-bit byte controls output phase, 6× REFCLK Multiplier, power-down enable and loading format; the remaining bytes comprise the 32-bit frequency tuning word. Serial loading is accomplished via a 40-bit serial data stream entering through one of the parallel input bus lines. The AD9851 uses advanced CMOS technology to provide this breakthrough level of functionality on just 555 mW of power dissipation (5 V supply), at the maximum clock rate of 180 MHz.

The AD9851 is available in a space-saving 28-lead SSOP, surface-mount package that is pin-for-pin compatible with the popular AD9850 125 MHz DDS. It is specified to operate over the extended industrial temperature range of -40°C to +85°C at >3.0 V supply voltage. Below 3.0 V, the specifications apply over the commercial temperature range of 0°C to 85°C.

AD9851—SPECIFICATIONS

($V_S^1 = 5\text{ V} \pm 5\%$, $R_{SET} = 3.9\text{ k}\Omega$, $6\times\text{ REFCLK Multiplier Disabled}$, External Reference Clock = 180 MHz, except as noted.)

Parameter	Temp	Test Level	AD9851BRS			Unit
			Min	Typ	Max	
CLOCK INPUT CHARACTERISTICS						
Frequency Range ($6\times\text{ REFCLK Multiplier Disabled}$)						
5.0 V Supply	Full	IV	1		180	MHz
3.3 V Supply	Full	IV	1		125	MHz
2.7 V Supply	0°C to 85°C	IV	1		100	MHz
Frequency Range ($6\times\text{ REFCLK Multiplier Enabled}$)						
5.0 V Supply	Full	IV	5		30	MHz
3.3 V Supply	Full	IV	5		20.83	MHz
2.7 V Supply	0°C to 85°C	IV	5		16.66	MHz
Duty Cycle	Full	IV	45		60	%
Duty Cycle ($6\times\text{ REFCLK Multiplier Enabled}$)	Full	IV	35		65	%
Input Resistance	25°C	V		1		M Ω
Minimum Switching Thresholds ²						
Logic 1, 5.0 V Supply	25°C	IV	3.5			V
Logic 1, 3.3 V Supply	25°C	IV	2.3			V
Logic 0, 5.0 V Supply	25°C	IV			1.5	V
Logic 0, 3.3 V Supply	25°C	IV			1	V
DAC OUTPUT CHARACTERISTICS						
Full-Scale Output Current	25°C	IV	5	10	20	mA
Gain Error	25°C	I	-10		+10	% FS
Output Offset	25°C	I			10	μA
Differential Nonlinearity	25°C	I			0.75	LSB
Integral Nonlinearity	25°C	I			1	LSB
Residual Phase Noise, 5.2 MHz, 1 kHz Offset						
PLL On	25°C	V		-125		dBc/Hz
PLL Off	25°C	V		-132		dBc/Hz
Output Impedance	25°C	V		120		k Ω
Voltage Compliance Range	25°C	I	-0.5		+1.5	V
Wideband Spurious-Free Dynamic Range						
1.1 MHz Analog Out (DC to 72 MHz)	25°C	IV	60	64		dBc
20.1 MHz Analog Out (DC to 72 MHz)	25°C	IV	51	53		dBc
40.1 MHz Analog Out (DC to 72 MHz)	25°C	IV	51	55		dBc
50.1 MHz Analog Out (DC to 72 MHz)	25°C	IV	46	53		dBc
70.1 MHz Analog Out (DC to 72 MHz)	25°C	IV	42	43		dBc
Narrowband Spurious-Free Dynamic Range						
1.1 MHz ($\pm 50\text{ kHz}$)	25°C	V		85		dBc
1.1 MHz ($\pm 200\text{ kHz}$)	25°C	V		80		dBc
40.1 MHz ($\pm 50\text{ kHz}$)	25°C	V		85		dBc
40.1 MHz ($\pm 200\text{ kHz}$)	25°C	V		80		dBc
70.1 MHz ($\pm 50\text{ kHz}$)	25°C	V		85		dBc
70.1 MHz ($\pm 200\text{ kHz}$)	25°C	V		73		dBc
COMPARATOR INPUT CHARACTERISTICS						
Input Capacitance	25°C	V		3		pF
Input Resistance	25°C	IV		500		k Ω
Input Bias Current	25°C	I		12		μA
Input Voltage Range	25°C	IV	0		5	V
COMPARATOR OUTPUT CHARACTERISTICS						
Logic 1 Voltage 5 V Supply	25°C	VI	4.8			V
Logic 1 Voltage 3.3 V Supply	25°C	VI	3.1			V
Logic 1 Voltage 2.7 V Supply	25°C	VI	2.3			V
Logic 0 Voltage	25°C	VI			+0.4	V
Continuous Output Current	25°C	IV			20	mA
Hysteresis	25°C	IV	10			mV
Propagation Delay	25°C	IV			7	ns
Toggle Frequency (1 V p-p Input Sine Wave)	25°C	IV			200	MHz
Rise/Fall Time, 15 pF Output Load	25°C	IV			7	ns
Output Jitter (p-p) ³	25°C	IV		80		ps (p-p)
CLOCK OUTPUT CHARACTERISTICS						
Output Jitter (Clock Generator Configuration, 40 MHz 1 V p-p Input Sine Wave)	25°C	V		250		ps (p-p)
Clock Output Duty Cycle	Full	IV		50 \pm 10		%

Parameter	Temp	Test Level	AD9851BRS			Unit
			Min	Typ	Max	
TIMING CHARACTERISTICS⁴						
t _{WH} , t _{WL} (W_CLK Min Pulse Width High/Low)	Full	IV	3.5			ns
t _{DS} , t _{DH} (Data to W_CLK Setup and Hold Times)	Full	IV	3.5			ns
t _{FH} , t _{FL} (FQ_UD Min Pulse Width High/Low)	Full	IV	7			ns
t _{CD} (REFCLK Delay After FQ_UD) ⁵	Full	IV	3.5			ns
t _{FD} (FQ_UD Min Delay After W_CLK)	Full	IV	7			ns
t _{CF} (Output Latency from FQ_UD) Frequency Change	Full	IV	18			SYSCLK Cycles
Phase Change	Full	IV	13			SYSCLK Cycles
t _{RH} (CLKIN Delay After RESET Rising Edge)	Full	IV	3.5			ns
t _{RL} (RESET Falling Edge After CLKIN)	Full	IV	3.5			ns
t _{RR} (Recovery from RESET)	Full	IV	2			SYSCLK Cycles
t _{RS} (Minimum RESET Width)	Full	IV	5			SYSCLK Cycles
t _{OL} (RESET Output Latency)	Full	IV	13			SYSCLK Cycles
Wake-Up Time from Power-Down Mode ⁶	25°C	V		5		µs
CMOS LOGIC INPUTS						
Logic 1 Voltage, 5 V Supply	25°C	I	3.5			V
Logic 1 Voltage, 3.3 V Supply	25°C	IV	2.4			V
Logic 1 Voltage, 2.7 V Supply	25°C	IV	2.0			V
Logic 0 Voltage	25°C	IV			0.8	V
Logic 1 Current	25°C	I			12	µA
Logic 0 Current	25°C	I			12	µA
Rise/Fall Time	25°C	IV			100	ns
Input Capacitance	25°C	V		3		pF
POWER SUPPLY						
V _S ⁶ Current @:						
62.5 MHz Clock, 2.7 V Supply	25°C	VI		30	35	mA
100 MHz Clock, 2.7 V Supply	25°C	VI		40	50	mA
62.5 MHz Clock, 3.3 V Supply	25°C	VI		35	45	mA
125 MHz Clock, 3.3 V Supply	25°C	VI		55	70	mA
62.5 MHz Clock, 5 V Supply	25°C	VI		50	65	mA
125 MHz Clock, 5 V Supply	25°C	VI		70	90	mA
180 MHz Clock, 5 V Supply	25°C	VI		110	130	mA
Power Dissipation @:						
62.5 MHz Clock, 5 V Supply	25°C	VI		250	325	mW
62.5 MHz Clock, 3.3 V Supply	25°C	VI		115	150	mW
62.5 MHz Clock, 2.7 V Supply	25°C	VI		85	95	mW
100 MHz Clock, 2.7 V Supply	25°C	VI		110	135	mW
125 MHz Clock, 5 V Supply	25°C	VI		365	450	mW
125 MHz Clock, 3.3 V Supply	25°C	VI		180	230	mW
180 MHz Clock, 5 V Supply	25°C	VI		555	650	mW
P _{DISS} Power-Down Mode @:						
5 V Supply	25°C	VI		17	55	mW
2.7 V Supply	25°C	VI		4	20	mW

NOTES

¹+V_S collectively refers to the positive voltages applied to DVDD, PVCC, and AVDD. Voltages applied to these pins should be of the same potential.

²Indicates the minimum signal levels required to reliably clock the device at the indicated supply voltages. This specifies the p-p signal level and dc offset needed when the clocking signal is not of CMOS/TTL origin, i.e., a sine wave with 0 V dc offset.

³The comparator's jitter contribution to any input signal. This is the minimum jitter on the outputs that can be expected from an ideal input. Considerably more output jitter is seen when nonideal input signals are presented to the comparator inputs. Nonideal characteristics include the presence of extraneous, nonharmonic signals (spur's, noise), slower slew rate, and low comparator overdrive.

⁴Timing of input signals FQ_UD, WCLK, RESET are asynchronous to the reference clock; however, the presence of a reference clock is required to implement those functions. In the absence of a reference clock, the AD9851 automatically enters power-down mode rendering the IC, including the comparator, inoperable until a reference clock is restored. Very high speed updates of frequency/phase word will require FQ_UD and WCLK to be externally synchronized with the external reference clock to ensure proper timing.

⁵Not applicable when 6 × REFCLK Multiplier is engaged.

⁶Assumes no capacitive load on DACBP (Pin 17).

Specifications subject to change without notice.

AD9851

ABSOLUTE MAXIMUM RATINGS*

Maximum Junction Temperature150°C
Storage Temperature-65°C to +150°C
V_S 6 V
Operating Temperature-40°C to +85°C
Digital Inputs-0.7 V to $+V_S + 0.7$ V
Lead Temperature (10 sec) Soldering300°C
Digital Output Current 30 mA
SSOP θ_{JA} Thermal Impedance 82°C/W
DAC Output Current 30 mA

*Absolute maximum ratings are limiting values, to be applied individually, and beyond which the serviceability of the circuit may be impaired. Functional operability under any of these conditions is not necessarily implied. Exposure of absolute maximum rating conditions for extended periods of time may affect device reliability.

EXPLANATION OF TEST LEVELS

Test Level

- I – 100% Production Tested.
- III – Sample Tested Only.
- IV – Parameter is guaranteed by design and characterization testing.
- V – Parameter is a typical value only.
- VI – Devices are 100% production tested at 25°C and guaranteed by design and characterization testing for industrial operating temperature range.

ORDERING GUIDE

Model	Temperature Range	Package Description	Package Option
AD9851BRS	-40°C to +85°C	Shrink Small Outline (SSOP)	RS-28
AD9851BRSRL	-40°C to +85°C	Shrink Small Outline (SSOP)	RS-28
AD9851/CGPCB		Evaluation Board Clock Generator	
AD9851/FSPCB		Evaluation Board Frequency Synthesizer	

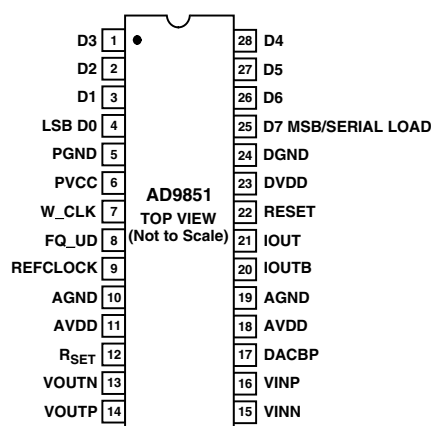
CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the AD9851 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

Application Note: Users are cautioned not to apply digital input signals prior to power-up of this device. Doing so may result in a latch-up condition.



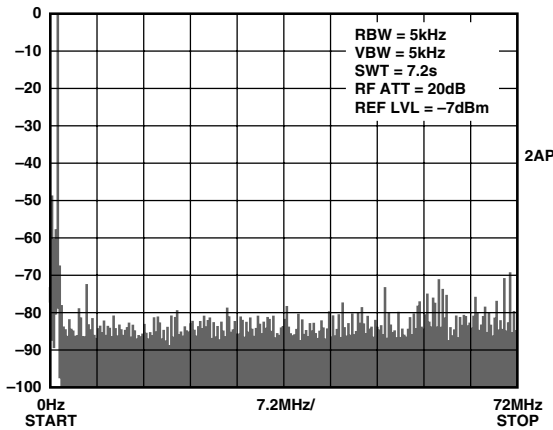
PIN CONFIGURATION



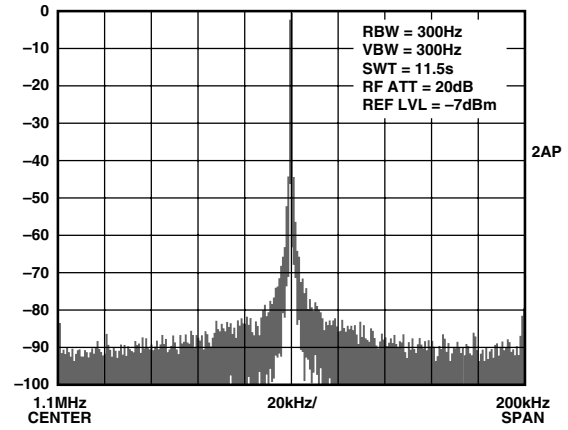
PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Function
4–1, 28–25	D0–D7	8-Bit Data Input. The data port for loading the 32-bit frequency and 8-bit phase/control words. D7 = MSB; D0 = LSB. D7, Pin 25, also serves as the input pin for 40-bit serial data word.
5	PGND	6× REFCLK Multiplier Ground Connection.
6	PVCC	6× REFCLK Multiplier Positive Supply Voltage Pin.
7	W_CLK	Word Load Clock. Rising edge loads the parallel or serial frequency/phase/control words asynchronously into the 40-bit input register.
8	FQ_UD	Frequency Update. A rising edge asynchronously transfers the contents of the 40-bit input register to be acted upon by the DDS core. FQ_UD should be issued when the contents of the input register are known to contain only valid, allowable data.
9	REFCLOCK	Reference Clock Input. CMOS/TTL-level pulse train, direct or via the 6× REFCLK Multiplier. In direct mode, this is also the SYSTEM CLOCK. If the 6× REFCLK Multiplier is engaged, then the output of the multiplier is the SYSTEM CLOCK. The rising edge of the SYSTEM CLOCK initiates operations.
10, 19	AGND	Analog Ground. The ground return for the analog circuitry (DAC and Comparator).
11, 18	AVDD	Positive supply voltage for analog circuitry (DAC and Comparator, Pin 18) and bandgap voltage reference, Pin 11.
12	R _{SET}	The DAC's external R _{SET} connection—nominally a 3.92 kΩ resistor to ground for 10 mA out. This sets the DAC full-scale output current available from IOUT and IOUTB. $R_{SET} = 39.93/IOUT$.
13	VOUTN	Voltage Output Negative. The comparator's complementary CMOS logic level output.
14	VOUTP	Voltage Output Positive. The comparator's true CMOS logic level output.
15	VINN	Voltage Input Negative. The comparator's inverting input.
16	VINP	Voltage Input Positive. The comparator's noninverting input.
17	DACBP	DAC Bypass Connection. This is the DAC voltage reference bypass connection normally NC (NO CONNECT) for optimum SFDR performance.
20	IOUTB	The complementary DAC output with same characteristics as IOUT except that $IOUTB = (full-scale\ output - IOUT)$. Output load should equal that of IOUT for best SFDR performance.
21	IOUT	The true output of the balanced DAC. Current is sourcing and requires current-to-voltage conversion, usually a resistor or transformer referenced to GND. $IOUT = (full-scale\ output - IOUTB)$.
22	RESET	Master Reset pin; active high; clears DDS accumulator and phase offset register to achieve 0 Hz and 0° output phase. Sets programming to parallel mode and disengages the 6× REFCLK Multiplier. Reset does not clear the 40-bit input register. On power-up, asserting RESET should be the first priority before programming commences.
23	DVDD	Positive supply voltage pin for digital circuitry.
24	DGND	Digital Ground. The ground return pin for the digital circuitry.

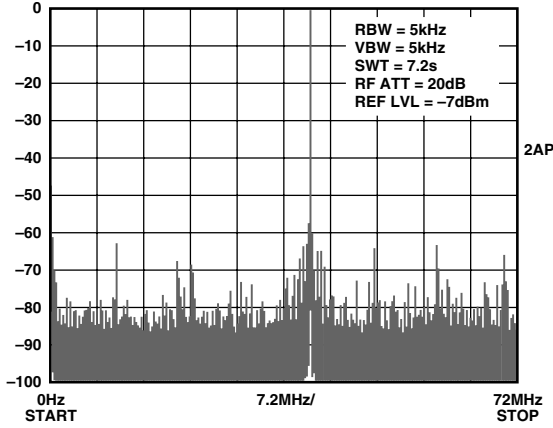
AD9851—Typical Performance Characteristics



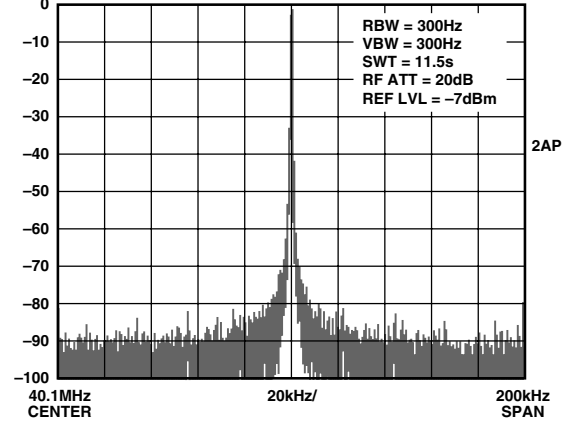
TPC 1. Wideband (dc to 72 MHz) output SFDR for a 1.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK multiplier engaged), $V_S = 5 V$.



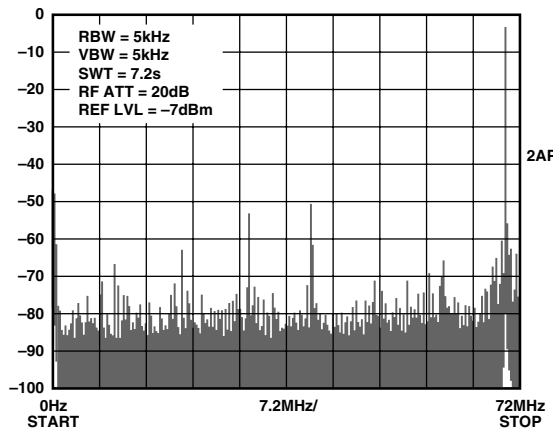
TPC 4. Narrowband (1.1 ± 0.1 MHz) output SFDR for a 1.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK multiplier engaged), $V_S = 5 V$.



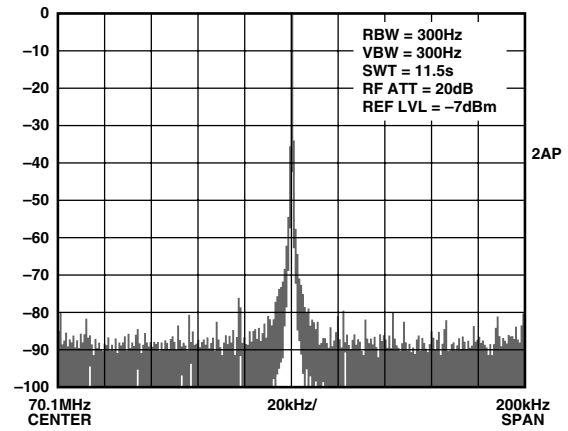
TPC 2. Wideband (dc to 72 MHz) output SFDR for a 40.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK multiplier engaged), $V_S = 5 V$.



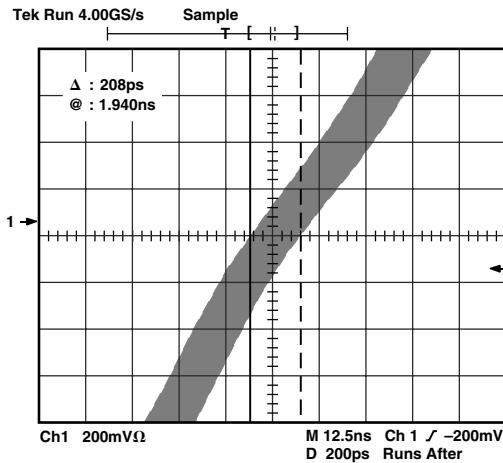
TPC 5. Narrowband (40.1 ± 0.1 MHz) output SFDR for a 40.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK multiplier engaged), $V_S = 5 V$.



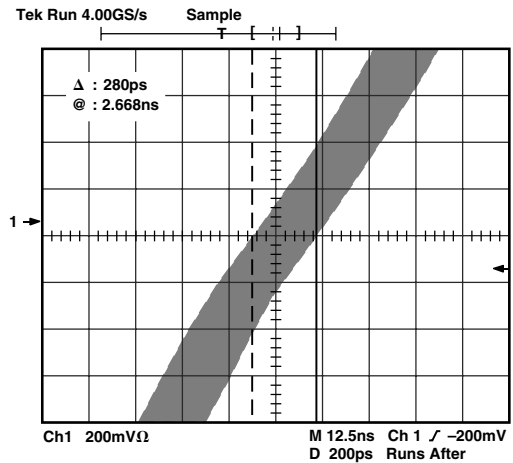
TPC 3. Wideband (dc to 72 MHz) output SFDR for a 70.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK multiplier engaged), $V_S = 5 V$.



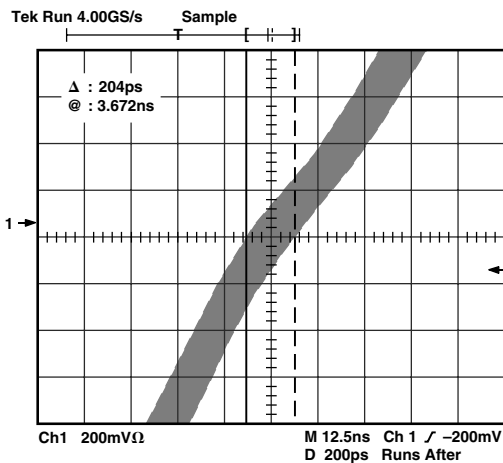
TPC 6. Narrowband (70.1 ± 0.1 MHz) output SFDR for a 70.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK multiplier engaged), $V_S = 5 V$.



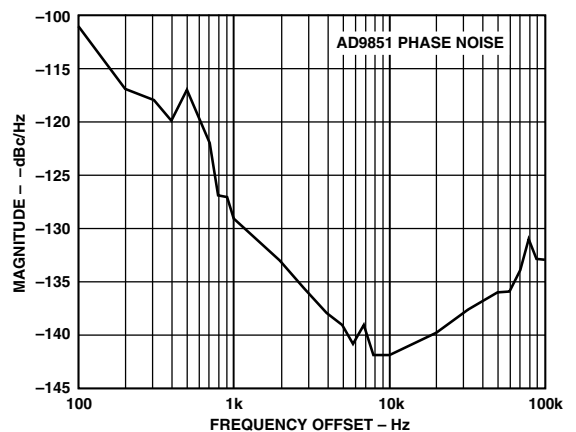
TPC 7. Typical CMOS comparator p-p output jitter with the AD9851 configured as a clock generator, DDS $f_{OUT} = 10.1$ MHz, $V_S = 5$ V, system clock = 180 MHz, 70 MHz LPF. Graph details the center portion of a rising edge with scope in delayed trigger mode, 200 ps/div. Cursors show 208 ps p-p jitter.



TPC 9. Typical CMOS comparator p-p output jitter with the AD9851 configured as a clock generator, DDS $f_{OUT} = 70.1$ MHz, $V_S = 5$ V, system clock = 180 MHz, 70 MHz LPF. Graph details the center portion of a rising edge with scope in delayed trigger mode, 200 ps/div. Cursors show 280 ps p-p jitter.

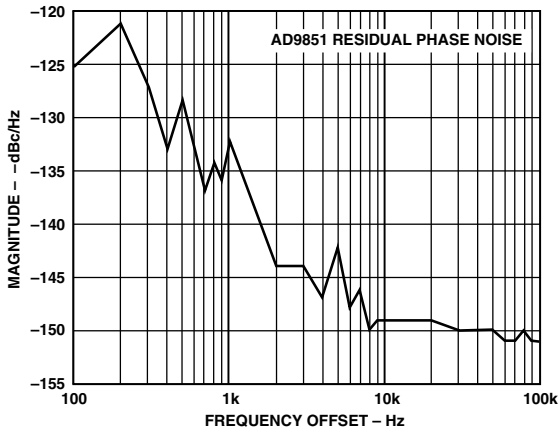


TPC 8. Typical CMOS comparator p-p output jitter with the AD9851 configured as a clock generator, DDS $f_{OUT} = 40.1$ MHz, $V_S = 5$ V, system clock = 180 MHz, 70 MHz LPF. Graph details the center portion of a rising edge with scope in delayed trigger mode, 200 ps/div. Cursors show 204 ps p-p jitter.

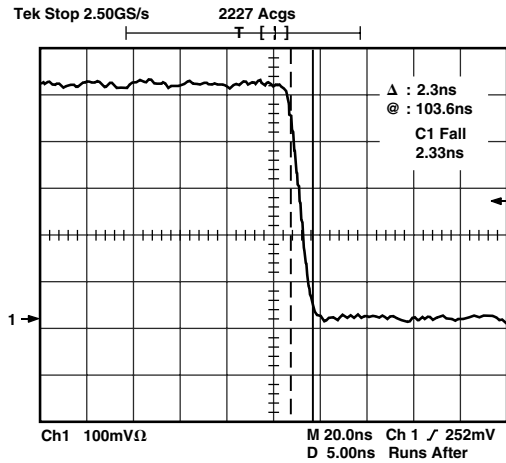


TPC 10. Output Phase Noise (5.2 MHz A_{OUT}), $6\times$ REFCLK Multiplier Enabled, System Clock = 180 MHz, Reference Clock = 30 MHz

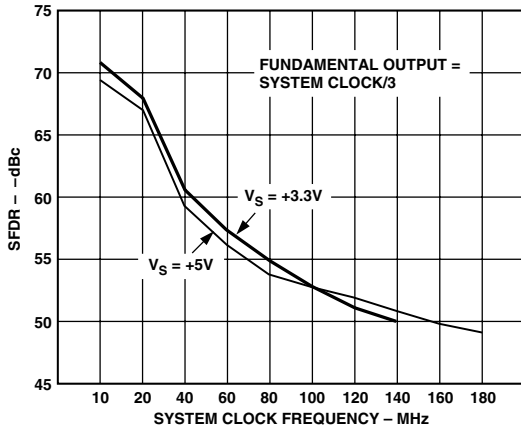
AD9851



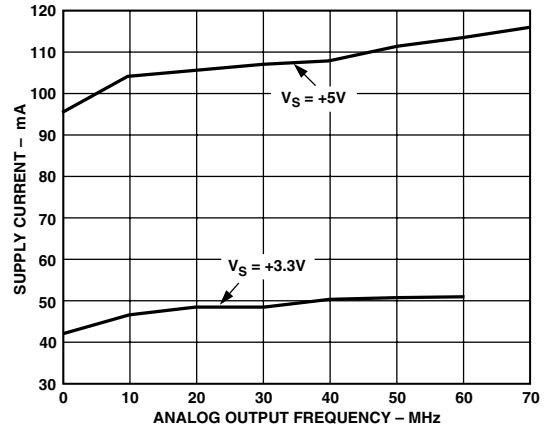
TPC 11. Output Residual Phase Noise (5.2 MHz A_{OUT}), 6 \times REFCLK Multiplier Disabled, System Clock = 180 MHz, Reference Clock = 180 MHz



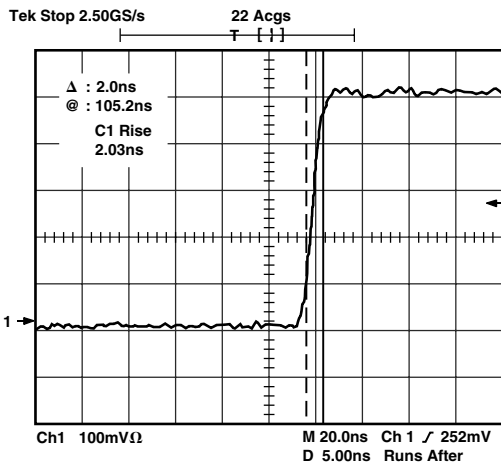
TPC 14. Comparator Fall Time, 15 pF Load



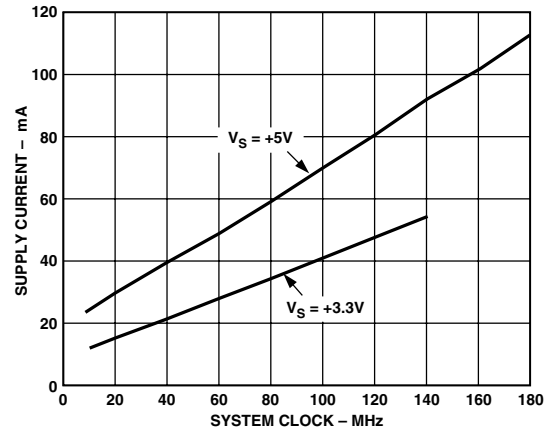
TPC 12. Spurious-free dynamic range (SFDR) is generally a function of the DAC analog output frequency. Analog output frequencies of 1/3 the system clock rate are considered worst case. Plotted below are typical worst case SFDR numbers for various system clock rates.



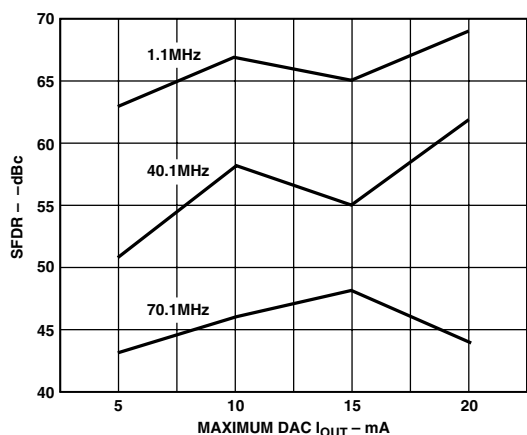
TPC 15. Supply current variation with analog output frequency at 180 MHz system clock (upper trace) and 125 MHz system clock (lower trace)



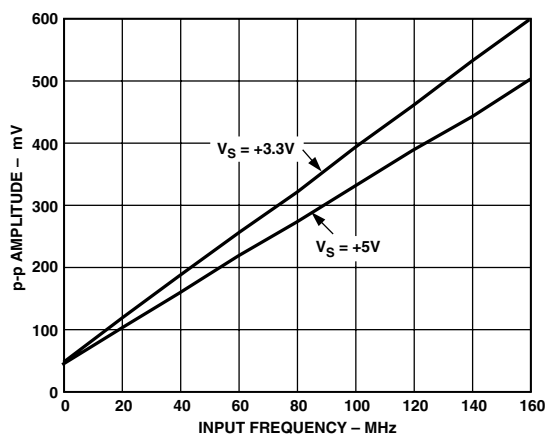
TPC 13. Comparator Rise Time, 15 pF Load



TPC 16. Supply current variation with system clock frequency



TPC 17. Effect of DAC maximum output current on wideband (0 to 72 MHz) SFDR at three representative DAC output frequencies: 1.1 MHz, 40.1 MHz, and 70.1 MHz. $V_S = 5$ V, 180 MHz system clock (6 \times REFCLK multiplier disabled). Currents are set using appropriate values of R_{SET} .



TPC 18. Minimum p-p input signal needed to toggle the AD9851 comparator output. Comparator input is a sine wave compared with a fixed voltage threshold. Use this data in addition to $\sin(x)/x$ rolloff and any filter losses to determine whether adequate signal is being presented to the AD9851 comparator.

AD9851

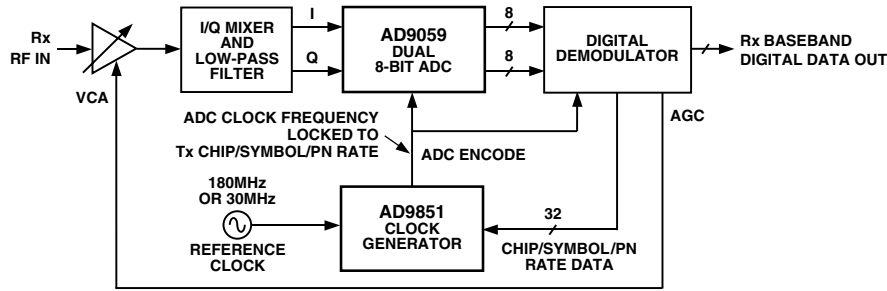


Figure 1. Chip Rate Clock Generator Application in a Spread Spectrum Receiver

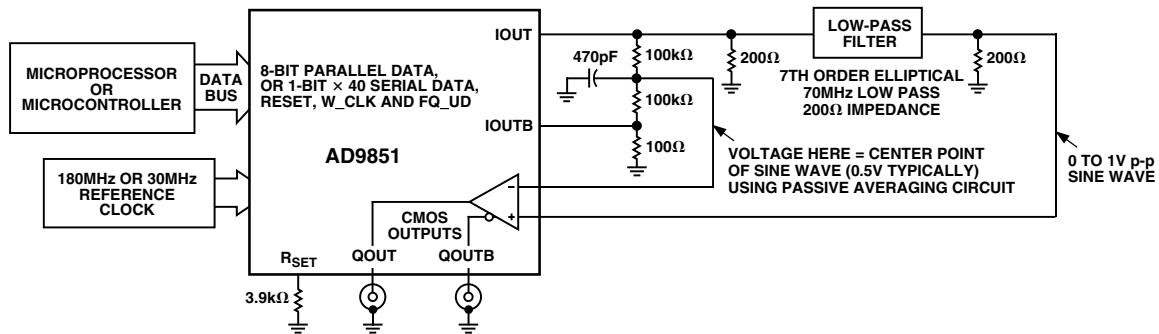


Figure 2. Basic Clock Generator Configuration

IOUT and IOUTB are equally loaded with 100 Ω. Two 100 kΩ resistors sample each output and average the two voltages. The result is filtered with the 470 pF capacitor and applied to one comparator input as a dc switching threshold. The filtered DAC sine wave output is applied to the other comparator input. The comparator will toggle with nearly 50% duty cycle as the sine wave alternately traverses the center point threshold.

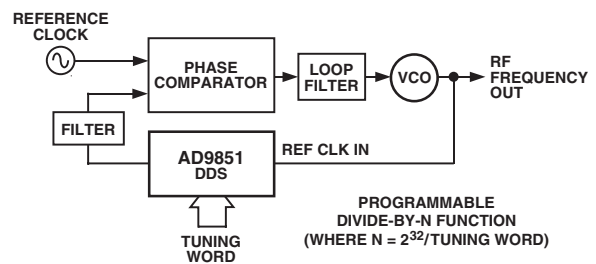


Figure 5. Digitally Programmable Divide-by-N Function in PLL

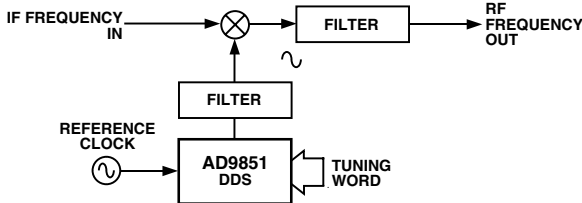


Figure 3. Frequency/Phase-Agile Local Oscillator for Frequency Mixing/Multiplying

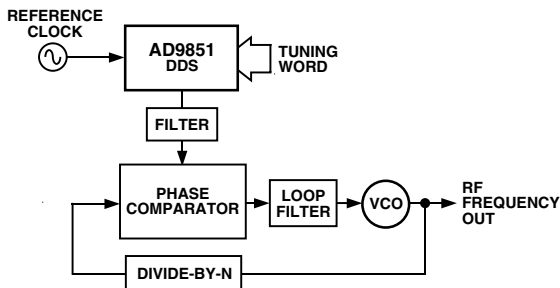


Figure 4. Frequency/Phase-Agile Reference for PLL

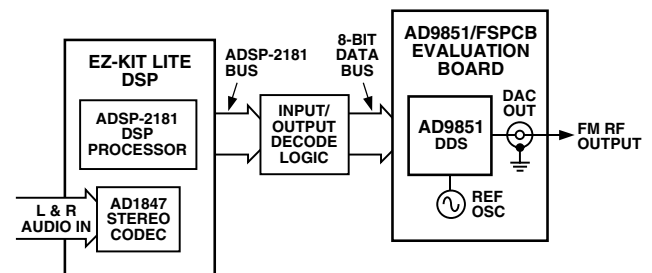


Figure 6. High Quality, All Digital RF Frequency Modulation

High quality, all digital RF frequency modulation generation with the ADSP-2181 DSP and the AD9851 DDS is well documented in Analog Devices' application note AN-543. It uses an image of the DDS output as illustrated in Figure 8.

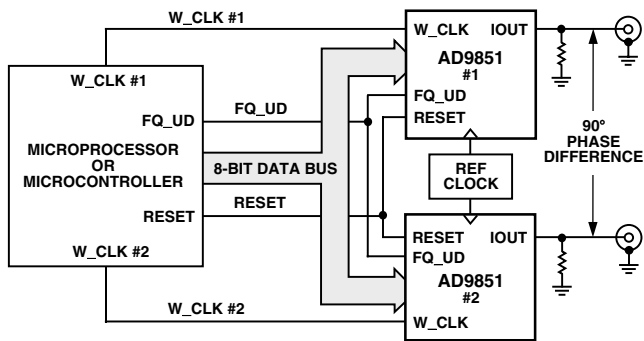


Figure 7. Application Showing Synchronization of Two AD9851 DDSs to Form a Quadrature Oscillator

After a common RESET command is issued, separate W_CLKs allow independent programming of each AD9851 40-bit input register via the 8-bit data bus or serial input pin. A common FQ_UD pulse is issued after programming is completed to simultaneously engage both oscillators at their specified frequency and phase.

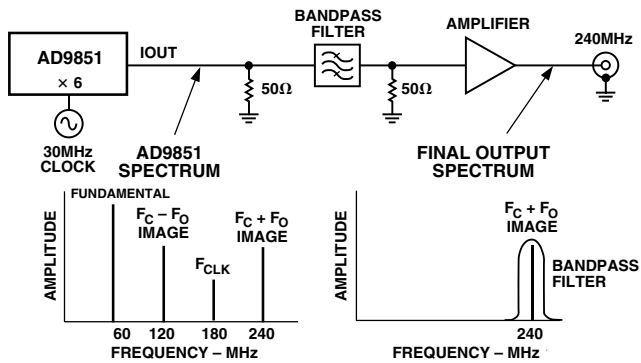


Figure 8. Deriving a High Frequency Output Signal from the AD9851 by Using an Alias or Image Signal

The differential DAC output connection in Figure 9 enables reduction of common-mode signals and allows highly reactive filters to be driven without a filter input termination resistor (see above single-ended example, Figure 8). A 6 dB power advantage is obtained at the filter output as compared with the single-ended example, since the filter need not be doubly terminated.

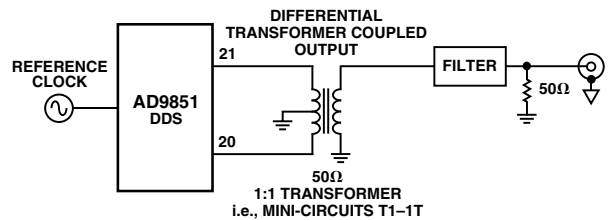


Figure 9. Differential DAC Output Connection for Reduction of Common-Mode Signals

The AD9851 R_{SET} input is driven by an external DAC (Figure 10) to provide amplitude modulation or fixed, digital amplitude control of the DAC output current. Full description of this application is found as a Technical Note in the AD9851 data sheet under Related Information. An Analog Devices' application note for the AD9850, AN-423, describes another method of amplitude control using an enhancement mode MOSFET that is equally applicable to the AD9851.

NOTE: If the 6× REFCLK multiplier of the AD9851 is engaged, the 125 MHz clocking source shown in Figure 10 can be reduced by a factor of six.

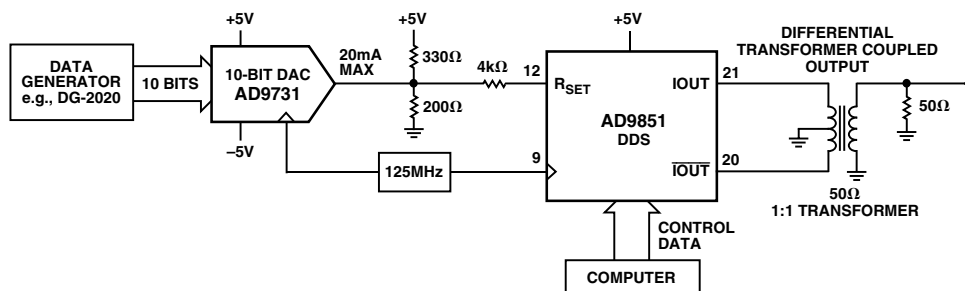


Figure 10. The AD9851 RSET Input Being Driven by an External DAC

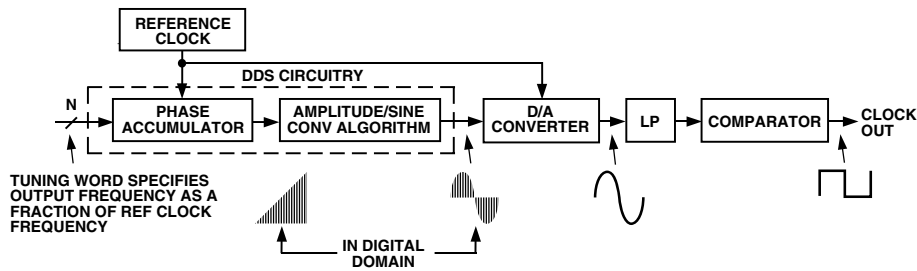


Figure 11. Basic DDS Block Diagram and Signal Flow of AD9851

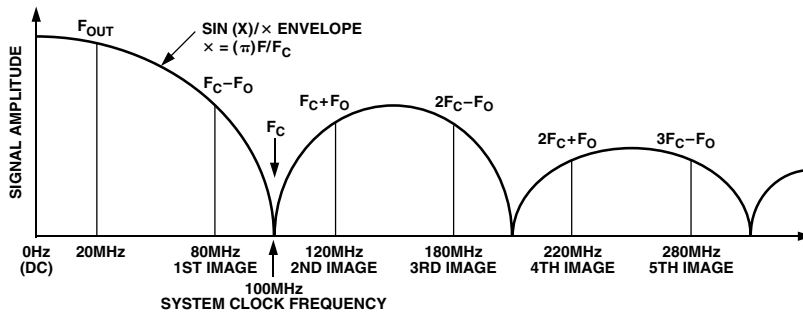


Figure 12. Output Spectrum of a Sampled Sin(x)/x Signal

THEORY OF OPERATION AND APPLICATION

The AD9851 uses direct digital synthesis (DDS) technology, in the form of a numerically controlled oscillator (NCO), to generate a frequency/phase-agile sine wave. The digital sine wave is converted to analog form via an internal 10-bit high speed D/A converter. An on-board high speed comparator is provided to translate the analog sine wave into a low-jitter TTL/CMOS-compatible output square wave. DDS technology is an innovative circuit architecture that allows fast and precise manipulation of its output word, under full digital control. DDS also enables very high resolution in the incremental selection of output frequency. The AD9851 allows an output frequency resolution of approximately 0.04 Hz at an 180 MSPS clock rate with the option of directly using the reference clock or by engaging the 6× REFCLK multiplier. The AD9851's output waveform is phase-continuous from one output frequency change to another.

The basic functional block diagram and signal flow of the AD9851 configured as a clock generator is shown in Figure 11.

The DDS circuitry is basically a digital frequency divider function whose incremental resolution is determined by the frequency of the system clock, and N (number of bits in the tuning word). The phase accumulator is a variable-modulus counter that increments the number stored in it each time it receives a clock pulse. When the counter reaches full-scale it wraps around, making the phase accumulator's output phase-continuous. The frequency tuning word sets the modulus of the counter, which effectively determines the size of the increment (Δ Phase) that will be added to the value in the phase accumulator on the next clock pulse. The larger the added increment, the faster the accumulator wraps around, which results in a higher output frequency.

The AD9851 uses an innovative and proprietary angle rotation algorithm that mathematically converts the 14-bit truncated

value of the 32-bit phase accumulator to the 10-bit quantized amplitude that is passed to the DAC. This unique algorithm uses a much-reduced ROM look-up table and DSP to perform this function. This contributes to the small size and low power dissipation of the AD9851.

The relationship between the output frequency, system clock, and tuning word of the AD9851 is determined by the expression:

$$f_{OUT} = (\Delta \text{Phase} \times \text{System Clock})/2^{32}$$

where

Δ Phase = decimal value of 32-bit frequency tuning word.

System Clock = direct input reference clock (in MHz) or 6× the input clock (in MHz) if the 6× REFCLK multiplier is engaged.

f_{OUT} = frequency of the output signal in MHz.

The digital sine wave output of the DDS core drives the internal high speed 10-bit D/A converter that will construct the sine wave in analog form. This DAC has been optimized for dynamic performance and low glitch energy, which results in the low spurious and jitter performance of the AD9851. The DAC can be operated in either the single-ended (Figures 2 and 8) or differential output configuration (Figures 9 and 10). DAC output current and R_{SET} values are determined using the following expressions:

$$I_{OUT} = 39.93/R_{SET}$$

$$R_{SET} = 39.93/I_{OUT}$$

Since the output of the AD9851 is a sampled signal, its output spectrum follows the Nyquist sampling theorem. Specifically, its output spectrum contains the fundamental plus aliased signals (images) that occur at integer multiples of the system clock frequency \pm the selected output frequency. A graphical representation of the sampled spectrum, with aliased images, is shown in Figure 12. Normal usable bandwidth is considered to extend from dc to 1/2 the system clock.

In the example shown in Figure 12, the system clock is 100 MHz and the output frequency is set to 20 MHz. As can be seen, the aliased images are very prominent and of a relatively high energy level as determined by the $\sin(x)/x$ rolloff of the quantized D/A converter output. In fact, depending on the f /system clock relationship, the first aliased image can equal the fundamental amplitude (when $f_{OUT} = 1/2$ system clock). A low-pass filter is generally placed between the output of the D/A converter and the input of the comparator to suppress the jitter-producing effects of nonharmonically related aliased images and other spurious signals. Consideration must be given to the relationship of the selected output frequency, the system clock frequency, and alias frequencies to avoid unwanted output anomalies.

Images need not be thought of as useless by-products of a DAC. In fact, with bandpass filtering around an image and some amount of post-filter amplification, the image can become the primary output signal (see Figure 8). Since images are not harmonics, they retain a 1:1 Δ frequency relationship to the fundamental output. That is, if the fundamental is shifted 1 kHz, then the image is also shifted 1 kHz. This relationship accounts for the frequency stability of an image, which is identical to that of the fundamental. Users should recognize that the lower image of an image pair surrounding an integer multiple of the system clock will move in a direction opposite to that of the fundamental. Images of an image pair located above an integer multiple of the system clock will move in the same direction as a fundamental movement.

The frequency band where images exist is much richer in spurious signals and, therefore, more hostile in terms of SFDR. Users of this technique should empirically determine what frequencies are usable if their SFDR requirements are demanding.

A good rule-of-thumb for applying the AD9851 as a clock generator is to limit the fundamental output frequency to 40% of reference clock frequency to avoid generating aliased signals that are too close to the output band of interest (generally dc—highest selected output frequency) to be filtered. This practice will ease the complexity and cost of the external filter requirement for the clock generator application.

The reference clock input of the AD9851 has a minimum limitation of 1 MHz without $6\times$ REFCLK multiplier engaged and 5 MHz with multiplier engaged. The device has internal circuitry that senses when the clock rate has dropped below the minimum and automatically places itself in the power-down mode. In this mode, the on-chip comparator is also disabled. This is important information for those who may wish to use the on-chip comparator for purposes other than squaring the DDS sine wave output. When the clock frequency returns above the minimum threshold, the device resumes normal operation after 5 μ s (typically). This shutdown mode prevents excessive current leakage in the dynamic registers of the device.

The impact of reference clock phase noise in DDS systems is actually reduced, since the DDS output is the result of a division of the input frequency. The amount of apparent phase noise reduction, expressed in dB, is found using $20 \log f_{OUT}/f_{CLK}$, where f_{OUT} is the fundamental DDS output frequency and f_{CLK} is the system clock frequency. From this standpoint, using the highest system clock input frequency makes good sense in reducing the effects of reference clock phase noise contribution to the output

signals' overall phase noise. As an example, an oscillator with -100 dBc phase noise operating at 180 MHz would appear as a -125 dB contribution to DDS overall phase noise for a 10 MHz output. Engaging the $6\times$ REFCLK multiplier has generally been found to increase overall output phase noise. This increase is due to the inherent $6\times$ (15.5 dB) phase gain transfer function of the $6\times$ REFCLK multiplier, as well as noise generated internally by the clock multiplier circuit. By using a low phase noise reference clock input to the AD9851, users can be assured of better than -100 dBc/Hz phase noise performance for output frequencies up to 50 MHz at offsets from 1 kHz to 100 kHz.

Programming the AD9851

The AD9851 contains a 40-bit register that stores the 32-bit frequency control word, the 5-bit phase modulation word, $6\times$ REFCLK multiplier, enable, and the power-down function. This register can be loaded in parallel or serial mode. A logic high engages functions; for example, to power-down the IC (sleep mode), a logic high must be programmed in that bit location. Those users who are familiar with the AD9850 DDS will find only a slight change in programming the AD9851, specifically, data[0] of W0 (parallel load) and W32 (serial load) now contains a $6\times$ REFCLK multiplier enable bit that needs to be set high to enable or low to disable the internal reference clock multiplier.

Note: setting data[1] high in programming word W0 (parallel mode) or word W33 high in serial mode is not allowed (see Tables I and III). This bit controls a factory test mode that will cause abnormal operation in the AD9851 if set high. If erroneously entered (as evidenced by Pin 2 changing from an input pin to an output signal), an exit is provided by asserting RESET. Unintentional entry to the factory test mode can occur if an FQ_UD pulse is sent after initial power-up and RESET of the AD9851. Since RESET does not clear the 40-bit input register, this will transfer the random power-up values of the input register to the DDS core. The random values may invoke the factory test mode or power-down mode. Never issue an FQ_UD command if the 40-bit input register contents are unknown.

In the default parallel load mode, the 40-bit input register is loaded using an 8-bit bus. W_CLK is used to load the register in five iterations of eight bytes. The rising edge of FQ_UD transfers the contents of the register into the device to be acted upon and resets the word address pointer to W0. Subsequent W_CLK rising edges load 8-bit data, starting at W0 and then move the word pointer to the next word. After W0 through W4 are loaded, additional W_CLK edges are ignored until either a RESET is asserted or an FQ_UD rising edge resets the address pointer to W0 in preparation for the next 8-bit load. See Figure 13.

In serial load mode, forty subsequent rising edges of W_CLK will shift and load the 1-bit data on Pin 25 (D7) through the 40-bit register in shift-register fashion. Any further W_CLK rising edges after the register is full will shift data out causing data that is left in the register to be out-of-sequence and corrupted. The serial mode must be entered from the default parallel mode (see Figure 17). Data is loaded beginning with W0 and ending with W39. One note of caution: the 8-bit *parallel* word (W0)—xxxxx011—that invokes the serial mode should be overwritten with a valid 40-bit serial word immediately after entering the serial mode to prevent unintended engaging of the $6\times$ REFCLK multiplier or entry into

AD9851

the factory test mode. Exit from serial mode to parallel mode is only possible using the RESET command.

The function assignments of the data and control words are shown in Tables I and III; the detailed timing sequence for updating the output frequency and/or phase, resetting the device, engaging the 6× REFCLK multiplier, and powering up/down, are shown in the timing diagrams of Figures 13 through 20. As a programming example for the following DDS characteristics:

1. Phase set to 11.25°
2. 6× REFCLK multiplier engaged
3. Powered-up mode selected

4. Output = 10 MHz (for 180 MHz system clock)

In parallel mode, user would program the 40-bit control word (composed of five 8-bit loads) as follows:

W0 = 00001001
 W1 = 00001110
 W2 = 00111000
 W3 = 11100011
 W4 = 10001110

If in serial mode, load the 40 bits starting from the LSB location of W4 in the above array, loading from right to left, and ending with the MSB of W0.

Table I. 8-Bit Parallel-Load Data/Control Word Functional Assignment

Word	Data[7]	Data[6]	Data[5]	Data[4]	Data[3]	Data[2]	Data[1]	Data[0]
W0	Phase-b4 (MSB)	Phase-b3	Phase-b2	Phase-b1	Phase-b0 (LSB)	Power-Down	Logic 0*	6× REFCLK Multiplier Enable
W1	Freq-b31 (MSB)	Freq-b30	Freq-b29	Freq-b28	Freq-b27	Freq-b26	Freq-b25	Freq-b24
W2	Freq-b23	Freq-b22	Freq-b21	Freq-b20	Freq-b19	Freq-b18	Freq-b17	Freq-b16
W3	Freq-b15	Freq-b14	Freq-b13	Freq-b12	Freq-b11	Freq-b10	Freq-b9	Freq-b8
W4	Freq-b7	Freq-b6	Freq-b5	Freq-b4	Freq-b3	Freq-b2	Freq-b1	Freq-b0 (LSB)

*This bit is always Logic 0 unless invoking the serial mode (see Figure 17). After serial mode is entered, this data bit must be set back to Logic 0 for proper operation.

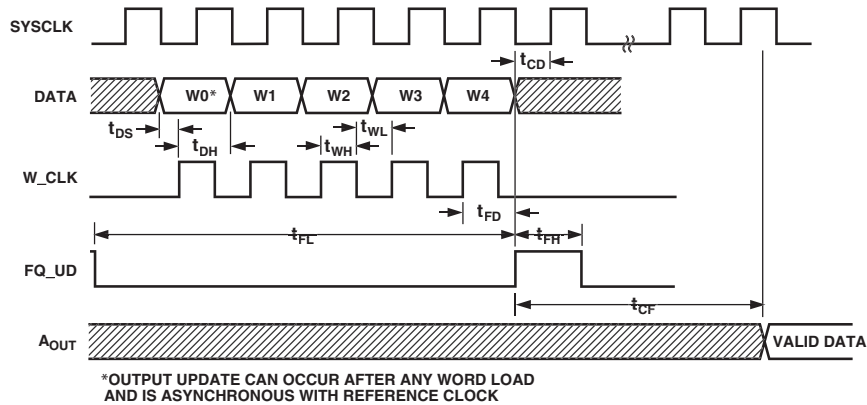


Figure 13. Parallel Load Frequency/Phase Update Timing Sequence

Note: To update W0 it is not necessary to load W1 through W4. Simply load W0 and assert FQ_UD. To update W1, reload W0 then W1—users do not have random access to programming words.

Table II. Timing Specifications

Symbol	Definition	Min
t _{DS}	Data Setup Time	3.5 ns
t _{DH}	Data Hold Time	3.5 ns
t _{WH}	W_CLK High	3.5 ns
t _{WL}	W_CLK Low	3.5 ns
t _{CD}	REFCLK Delay after FQ_UD	3.5 ns*
t _{FH}	FQ_UD High	7.0 ns
t _{FL}	FQ_UD Low	7.0 ns
t _{FD}	FQ_UD Delay after W_CLK	7.0 ns
t _{CF}	Output Latency from FQ_UD	18 SYSCLK Cycles
	Frequency Change	13 SYSCLK Cycles
	Phase Change	13 SYSCLK Cycles

*Specification does not apply when the 6× REFCLK multiplier is engaged.

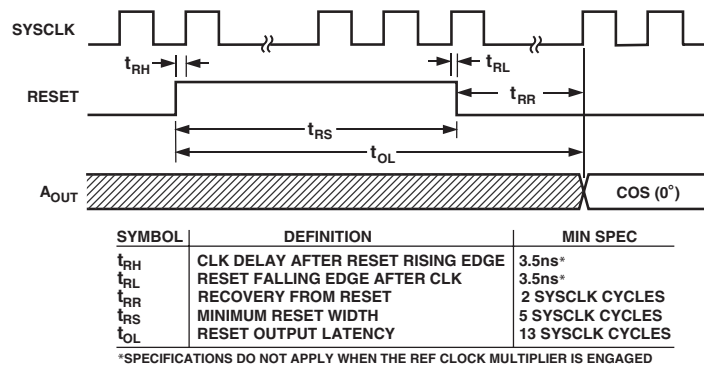


Figure 14. Master Reset Timing Sequence

Note: The timing diagram above shows the minimal amount of reset time needed before writing to the device. However, the master reset does not have to be synchronous to the SYSCLK if the minimal time is not required.

Results of Reset, Figure 14

- Phase accumulator zeroed such that the output = 0 Hz (dc)
- Phase offset register set to 0 such that DAC IOUT = full-scale output and IOUTB = zero mA output
- Internal programming address pointer reset to W0
- Power-down bit reset to 0 (power-down disabled)
- 40-bit data input register is NOT cleared
- 6x reference clock multiplier is disabled
- Parallel programming mode selected by default

Entry to the serial mode, see Figure 17, is via the parallel mode, which is selected by default after a RESET is asserted. One needs only to program the first eight bits (word W0) with the sequence xxxxx011 as shown in Figure 17 to change from parallel to serial mode. The W0 programming word may be sent over the 8-bit data bus or hardwired as shown in Figure 18. After serial mode is achieved, the user must follow the programming sequence of Figure 19.

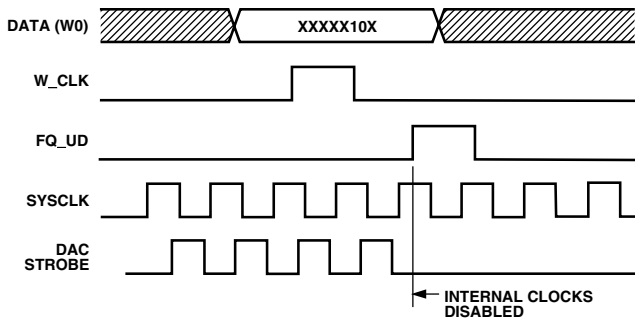


Figure 15. Parallel Load Power-Down Sequence/Internal Operation

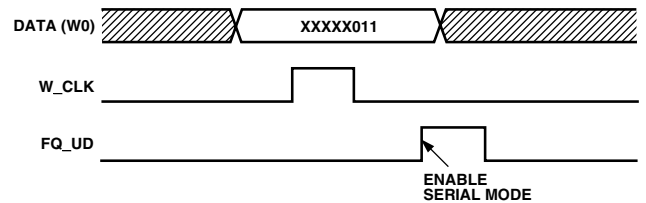


Figure 17. Serial Load Enable Sequence

Note: After serial mode is invoked, it is best to immediately write a valid 40-bit serial word (see Figure 19), even if it is all zeros, followed by a FQ_UD rising edge to flush the residual data left in the DDS core. A valid 40-bit serial word is any word where W33 is Logic 0.

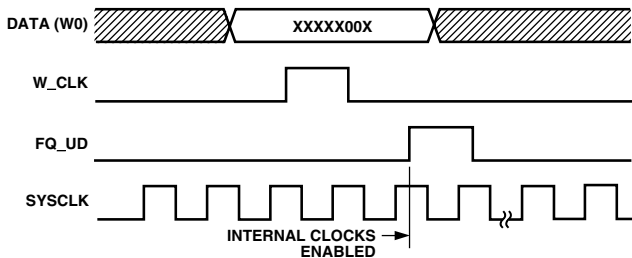


Figure 16. Parallel Load Power-Up Sequence (to Recover from Power-Down)/Internal Operation

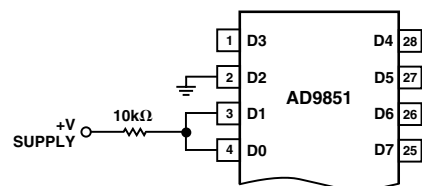


Figure 18. Hardwired xxxxx011 Configuration for Serial Load Enable Word W0 in Figure 17

AD9851

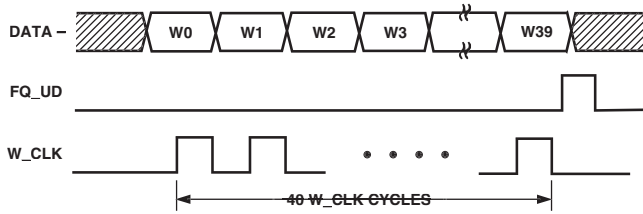


Figure 19. Serial Load Frequency/Phase Update Sequence

Table III. 40-Bit Serial Load Word Functional Assignment

W0	Freq-b0 (LSB)
W1	Freq-b1
W2	Freq-b2
W3	Freq-b3
W4	Freq-b4
W5	Freq-b5
W6	Freq-b6
W7	Freq-b7
W8	Freq-b8
W9	Freq-b9
W10	Freq-b10
W11	Freq-b11
W12	Freq-b12
W13	Freq-b13
W14	Freq-b14
W15	Freq-b15
W16	Freq-b16
W17	Freq-b17
W18	Freq-b18
W19	Freq-b19
W20	Freq-b20
W21	Freq-b21
W22	Freq-b22
W23	Freq-b23
W24	Freq-b24
W25	Freq-b25
W26	Freq-b26
W27	Freq-b27
W28	Freq-b28
W29	Freq-b29
W30	Freq-b30
W31	Freq-b31 (MSB)
W32	6 × REFCLK Multiplier Enable
W33	Logic 0*
W34	Power-Down
W35	Phase-b0 (LSB)
W36	Phase-b1
W37	Phase-b2
W38	Phase-b3
W39	Phase-b4 (MSB)

*This bit is always Logic 0.

Figure 20 shows a normal 40-bit serial word load sequence with W33 always set to Logic 0 and W34 set to Logic 1 or Logic 0 to control the power-down function. The logic states of the remaining 38 bits are unimportant and are marked with an X, indicating “don’t care” status. To power down, set W34 = 1. To power up from a powered down state, change W34 to Logic 0. Wake-up from power-down mode requires approximately 5 μs.

Note: The 40-bit input register of the AD9851 is fully programmable while in the power-down mode.

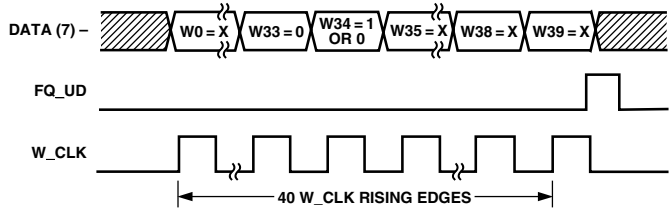
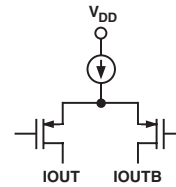
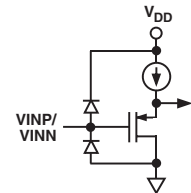


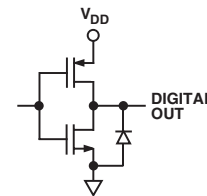
Figure 20. Serial Load Power-Down/Power-Up Sequence



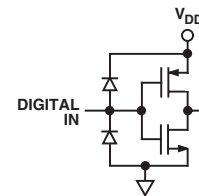
a. DAC Output



c. Comparator Input



b. Comparator Output



d. Digital Input

Figure 21. I/O Equivalent Circuits

PCB LAYOUT INFORMATION

The AD9851/CGPCB and AD9851/FSPCB evaluation boards (Figures 22 through 25 and TPCs 1 and 2) represent typical implementations of the AD9851 and exemplify the use of high frequency/high resolution design and layout practices. The printed circuit board that contains the AD9851 should be a multilayer board that allows dedicated power and ground planes. The power and ground planes should (as much as possible) be free of etched traces that cause discontinuities in the planes. It is recommended that the top layer of the board also contain an interspatial ground plane that makes ground available without vias for the surface-mount devices. If separate analog and digital system ground planes exist, they should be connected together at the AD9851 evaluation board for optimum performance.

Avoid running digital lines under the device as these will couple unnecessary noise onto the die. The power supply lines to the AD9851 should use as large a trace as possible to provide a low-impedance path and reduce the effects of switching currents on the power supply line. Fast switching signals like clocks should use microstrip, controlled impedance techniques where possible. Avoid crossover of digital and analog signal paths. Traces on opposite sides of the board should run at right angles to each other. This will reduce crosstalk between the lines.

Good power supply decoupling is also an important consideration. The analog (AVDD) and digital (DVDD) supplies to the AD9851 are independent and separately pinned out to minimize coupling between analog and digital sections of the device. All analog and digital supply pins should be decoupled to AGND and DGND, respectively, with high quality ceramic chip capacitors. To achieve best performance from the decoupling capacitors, they should be placed as close as possible to the device. In systems where a common supply is used to drive both the AVDD and DVDD supplies of the AD9851, it is recommended that the system's AVDD supply be used.

Analog Devices applications engineering support is available to answer additional questions on grounding and PCB layout. Call 1-800-ANALOGD.

EVALUATION BOARDS

Two versions of the AD9851 evaluation board are available. The evaluation boards facilitate easy implementation of the device for bench-top analysis and serve as a reference for PCB layout.

The AD9851/FSPCB is intended for applications where the device will primarily be used as a frequency synthesizer. This version is optimized for connection of the AD9851 internal D/A converter output to a 50 Ω spectrum analyzer input. The internal comparator of the AD9851 is made available for use via wire hole access. The comparator inputs are externally pulled to opposing voltages to prevent comparator chatter due to floating inputs. The DDS DAC output is unfiltered and no reference oscillator is provided. This is done in recognition of the fact that many users may find an oscillator to be a liability rather than an asset. See Figure 22 for an electrical schematic.

The AD9851/CGPCB is intended for applications using the device as a CMOS output clock generator. It connects the AD9851 DAC output to the internal comparator input via a single-ended, 70 MHz low pass, 7th order, elliptical filter. To minimize output jitter of the comparator, special attention has

been given to the low-pass filter design. Primary considerations were input and output impedances (200 Ω) and a very steep roll-off characteristic to attenuate unwanted, nearby alias signals. The high impedance of the filter allows the DAC to develop 1 V p-p (with 10 mA) across the two 200 Ω resistors at the input and output of the filter. This voltage is entirely sufficient to optimally drive the AD9851 comparator. This filter was designed with the assumption that the AD9851 DDS is at full clock speed (180 MHz). If this is not the case, filter specifications may need to change to achieve proper attenuation of anticipated alias signals. BNC connectors allow convenient observation of the comparator CMOS output and input, as well as that of the DAC. No reference oscillator is provided for reasons stated above. This model allows easy evaluation of the AD9851 as a frequency and phase-agile CMOS output clock source (see Figure 24 for electrical schematic).

Jitter Reduction Note

The AD9851/CGPCB has a wideband DDS fundamental output, dc to 70 MHz, and the on-chip comparator has even more bandwidth. To optimize low jitter performance users should consider bandpass filtering of the DAC output if only a narrow bandwidth is required. This will reduce jitter caused by spurious, nonharmonic signals above and below the desired signal. Lowering the applied V_{DD} helps in reducing comparator switching noise by reducing $\Delta V/\Delta T$ of the comparator outputs. For optimum jitter performance, users should avoid the very busy digital environment of the on-chip comparator and opt for an external, high speed comparator.

Both versions of the AD9851 evaluation boards are designed to interface to the parallel printer port of a PC. The operating software (C++) runs under Microsoft® Windows® (Windows 3.1 and Windows 95); Windows NT® not supported and provides a user-friendly and intuitive format for controlling the functionality and observing the performance of the device. The 3.5-in disk provided with the evaluation board contains an executable file that displays the AD9851 function-selection screen. The evaluation board may be operated with 3.0 V or 5 V supplies. Evaluation boards are configured at the factory for an external clock input. If the optional on-board crystal clock source is installed, resistor R2 (50 Ω) must be removed.

EVALUATION BOARD INSTRUCTIONS

Required Hardware/Software

Personal computer operating in Windows 3.1 or 95 environment (does not support Windows NT)

Printer port, 3.5-in floppy drive, mouse, and Centronics compatible printer cable, 3V to 5V voltage supply

Crystal clock oscillator or high frequency signal generator (sine wave output) with dc offset capability

AD9851 Evaluation Board Software disk and AD9851/FSPCB or AD9851/CGPCB Evaluation Board

Setup

Copy the contents of the AD9851 disk onto the host PC's hard drive. (There are two files, WIN9851.EXE version 1.x and Bwcc.dll.) Connect the printer cable from the computer to the evaluation board. Use a good quality cable as some cables do not connect every wire that the printer port supports.

AD9851

Apply power to AD9851 evaluation board. The AD9851 is powered separately from the other active components on the board via connector marked DUT +V. The connector marked 5V is used to power the CMOS latches, optional crystal oscillator and pull-up resistors. Both 5V and DUT +V may be tied together for ease of operation without adverse affects. The AD9851 may be powered with 2.7V to 5.25V.

Connect an external 50 Ω Z clock source or remove R2 and install a suitable crystal clock oscillator with CMOS output levels at Y1. A sine wave signal generator may be used as a clock source at frequencies >50 MHz by dc offsetting the output signal to 1/2 the supply voltage to the AD9851. This method requires a minimum of 2V p-p signal and disabling of the 6 \times REFCLK Multiplier function.

Locate the file called WIN9851.EXE and execute that program. The computer monitor should show a control panel that allows operation of the AD9851 evaluation board by use of a mouse.

Operation

On the control panel locate the box labeled COMPUTER I/O. Click the correct parallel printer port for the host computer and then click the TEST box. A message will appear indicating whether the selection of output port is correct. Choose other ports as necessary to achieve a correct port setting.

Click the MASTER RESET button. This will reset the part to 0 Hz, 0 $^\circ$ phase, parallel programming mode. The output from the DAC IOUT should be a dc voltage equal to the full-scale output of the AD9851 (1V for the AD9851/CGPCB and 0.5V for the AD9851/FSPCB), while the DAC IOUTB should be 0V for both evaluation boards. *RESET should always be the first command to the AD9851 following power-up.*

Locate the CLOCK SECTION and place the cursor in the FREQUENCY box. Enter the clock frequency (in MHz) that will be applied to the reference clock input of the AD9851. Click the PLL box in the CONTROL FUNCTION menu if the 6 \times reference clock multiplier is to be engaged—a check mark will appear when engaged. When the reference clock multiplier is engaged, software will multiply the value entered in the frequency box by 6; otherwise, the value entered is the value used. Click the LOAD button or press the enter key.

Move the cursor to the OUTPUT FREQUENCY box and type in the desired frequency (in MHz). Click the LOAD button or press the enter key. The BUS MONITOR section of the control panel will show the 32-bit frequency word and 8-bit phase/control word. Upon completion of this step, the AD9851 output should be active at the programmed frequency/phase.

Changing the output phase is accomplished by clicking the down arrow in the OUTPUT PHASE DELAY box to make a selection and then clicking the LOAD button. Note: clicking the load buttons of the clock frequency box, the output frequency box, or the phase box will *automatically* initiate a reloading of all three boxes and issuance of a FQ_UD (frequency update) pulse. To bypass this automatic reloading and frequency update sequence, refer to the note below.

Other operational modes (Frequency Sweeping, Sleep, Serial Input) are available. Frequency sweeping allows the user to enter a start and stop frequency and to specify the frequency step size. Sweeping begins at the start frequency, proceeds to the stop frequency in a linear manner, reverses direction, and sweeps back to the start frequency repeatedly.

Note: For those who may be operating multiple AD9851 evaluation boards from one computer, a MANUAL FREQUENCY UPDATE option exists. By eliminating the automatic issuance of an FQ_UD, the user can load the 40-bit input registers of multiple AD9851s without transferring that data to the internal accumulators. When all input registers are loaded, a single FREQUENCY UPDATE pulse can be issued to all AD9851s. A block diagram of this technique is shown in the AD9851 data sheet as a quadrature oscillator application. This single pulse synchronizes all the units so that their particular phases and frequencies take effect simultaneously. Proper synchronization requires that each AD9851 be clocked by the same reference clock source and that each oscillator be in an identical state while being programmed. RESET command ensures identical states. When manual frequency update is selected, a new box labeled FREQUENCY UPDATE will appear just above the frequency sweeping menu. Clicking the box initiates a single FQ_UD pulse.

Note: RESET can be used to synchronize multiple oscillators. If several oscillators have already been programmed at various phases or frequencies, issuance of a RESET pulse will set their outputs to 0 Hz and 0 phase. By issuing a common FQ_UD, the previously programmed information in the 40-bit input registers will transfer once again to the DDS core and take effect in 18 clock cycles. This is due to the fact that RESET does not affect the contents of the 40-bit input register in any way.

The AD9851/FSPCB provides access into and out of the on-chip comparator via test point pairs (each pair has an active input and a ground connection). The two active inputs are labeled TP1 and TP2. The unmarked hole next to each labeled test point is a ground connection. The two active outputs are labeled TP5 and TP6. Adjacent to those test points are unmarked ground connections. To prevent unwanted comparator chatter when not in use, the two inputs are pulled either to ground or +V via 1 k Ω resistors.

The AD9851/CGPCB provides BNC inputs and outputs associated with the on-chip comparator and an onboard, 7th order, 200 Ω input/output Z, elliptic 70 MHz low-pass filter. Jumpering (soldering a wire) E1 to E2, E3 to E4, and E5 to E6 connects the onboard filter and the midpoint switching voltage to the comparator. Users may elect to insert their own filter and comparator threshold voltage by removing the jumpers and inserting a filter between J7 and J6 and providing a comparator threshold voltage at E1.

Use of the XTAL oscillator socket on the evaluation board to supply the clock to the AD9851 requires the removal R2 (a 50 Ω chip resistor) unless the oscillator can drive a 50 Ω load. The crystal oscillator should be either TTL or CMOS (preferably) compatible.

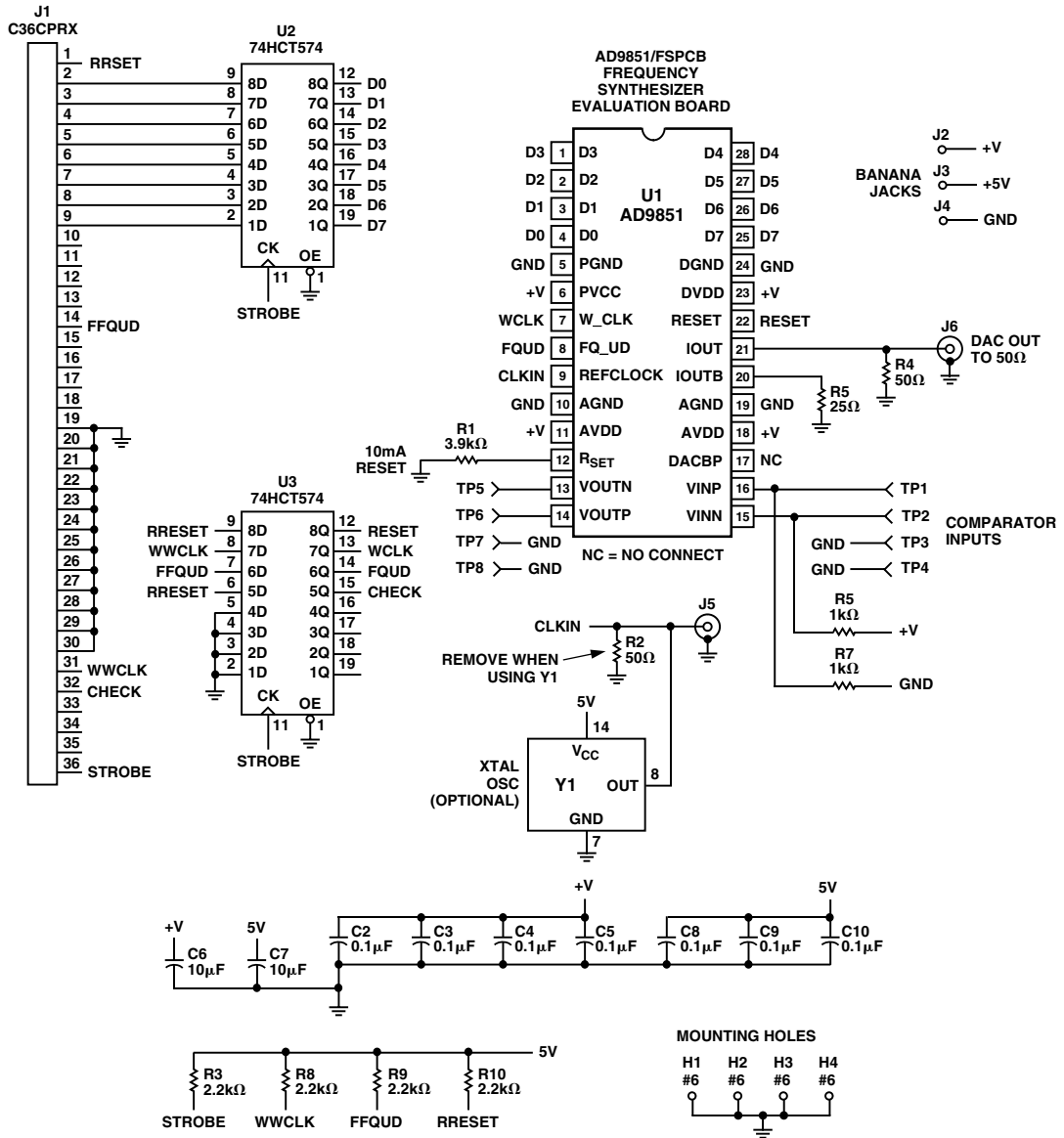
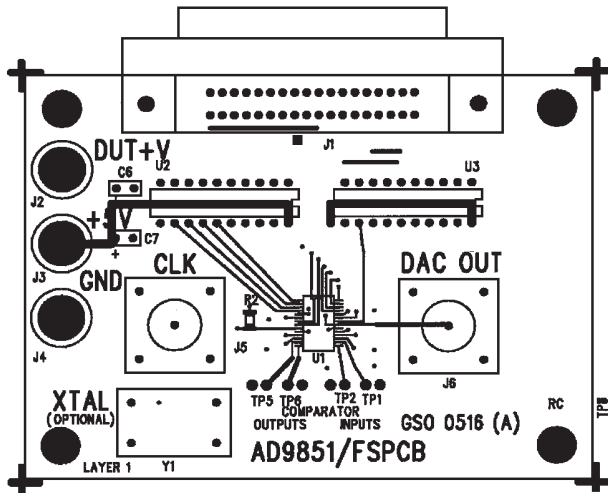
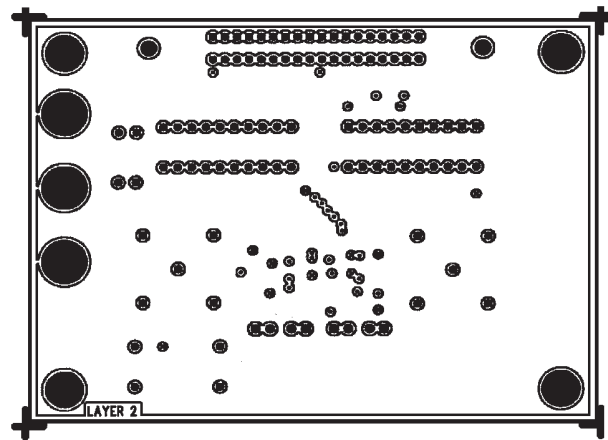


Figure 22. FSPCB Electrical Schematic

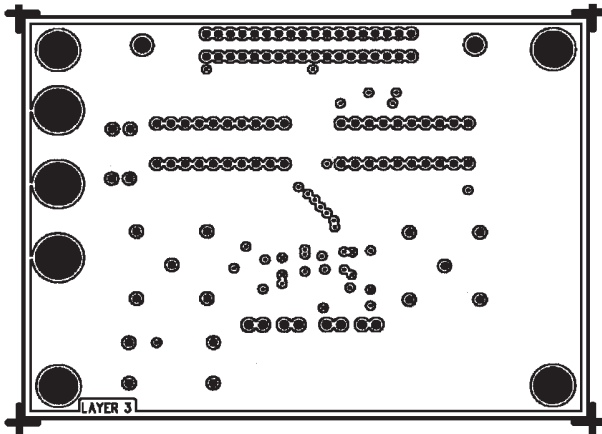
AD9851



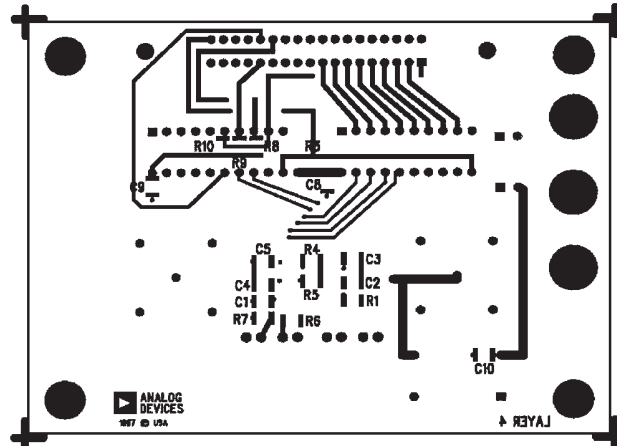
23a. FSPCB Top Layer



23c. FSPCB Ground Plane



23b. FSPCB Power Plane



23d. FSPCB Bottom Layer

Figure 23. FSPCB Evaluation Board 4-Layer PCB Layout Patterns

AD9851/FSPCB Evaluation Board Parts List—GSO 0516(A)

Miscellaneous Hardware	Ref. Des.
1 Amp 552742-1, 36-Pin Plastic, Right Angle, PC Mount, Female	J1
1 Banana Jack—Color Not Important	J2
1 Yellow Banana Jack	J3
1 Black Banana Jack	J4
2 BNC Coax. Connector, PC Mount	J5, J6
1 AD9851/FSPCB Evaluation Board GSO 0516(A)	None
4 AMP 5-330808-6, Open-Ended Pin Socket	None
2 #2-56 Hex Nut (to Fasten J1)	None
2 #2-56 × 3/8 Binder Head Machine Screw (to Fasten J1)	None
4 #4-40 Hex Nut (to Fasten Standoffs to Board)	None
4 #4 1-In Metal Stand-Off	None

Miscellaneous Hardware	Ref. Des.
Decoupling Capacitors	
7 Size 1206 Chip Capacitor, 0.1 μF	C2–C5, C8–C10
2 Tantalum Capacitors, 10 μF	C6, C7
Resistors	
1 25 Ω Chip Resistor, Size 1206	R5
2 50 Ω Chip Resistor, Size 1206	R2, R4
1 3.9 kΩ Chip Resistor, Size 1206	R1
4 2 kΩ or 2.2 kΩ Chip Resistor, Size 1206	R3, R8, R9, R10
2 1 kΩ Chip Resistor, Size 1206	R6, R7
Integrated Circuits	
1 AD9851 Direct Digital Synthesizer, Surface-mount	U1
2 74HCT574AN HCMOS Octal Flip-Flop, Through-Hole Mount	U2, U3

AD9851/CGPCB CLOCK GENERATOR EVALUATION BOARD (SSOP PACKAGE)

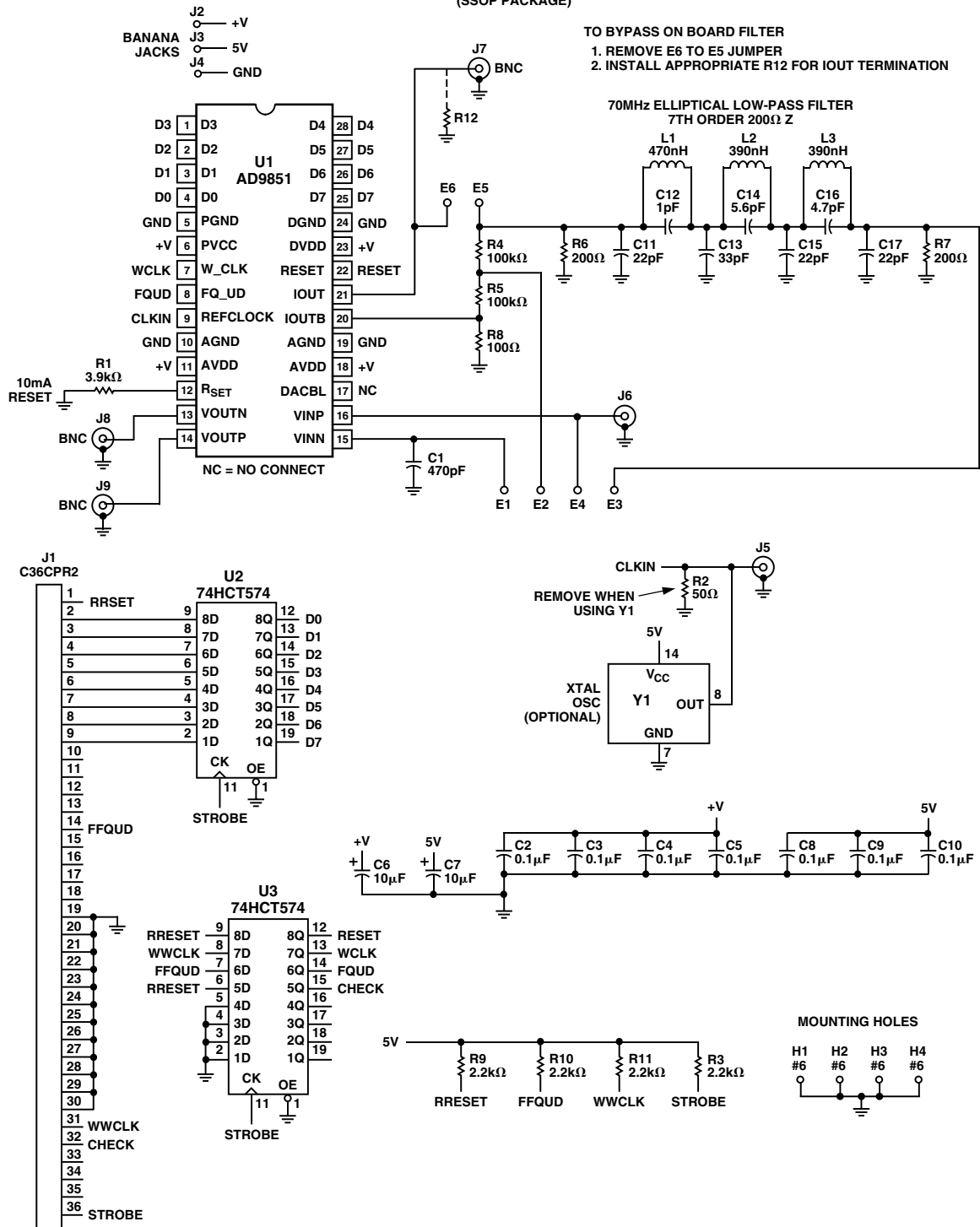
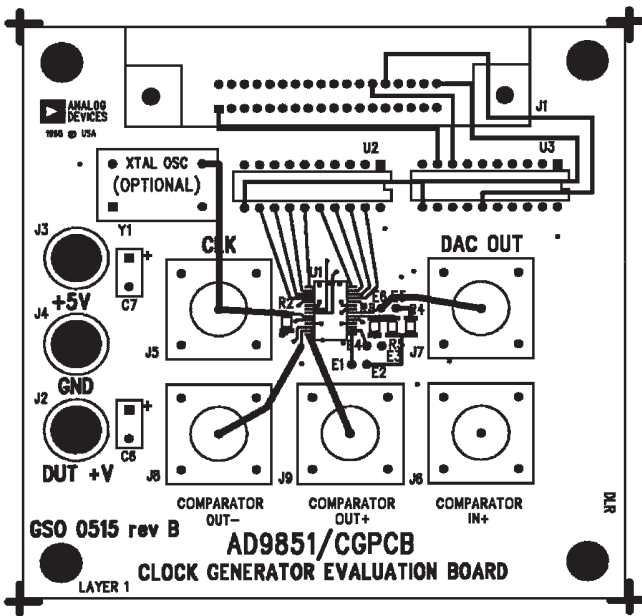
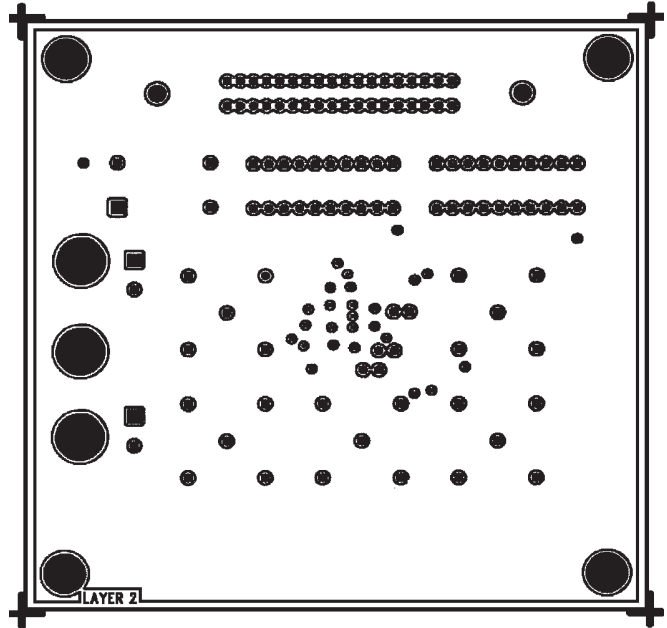


Figure 24. CGPCB Electrical Schematic

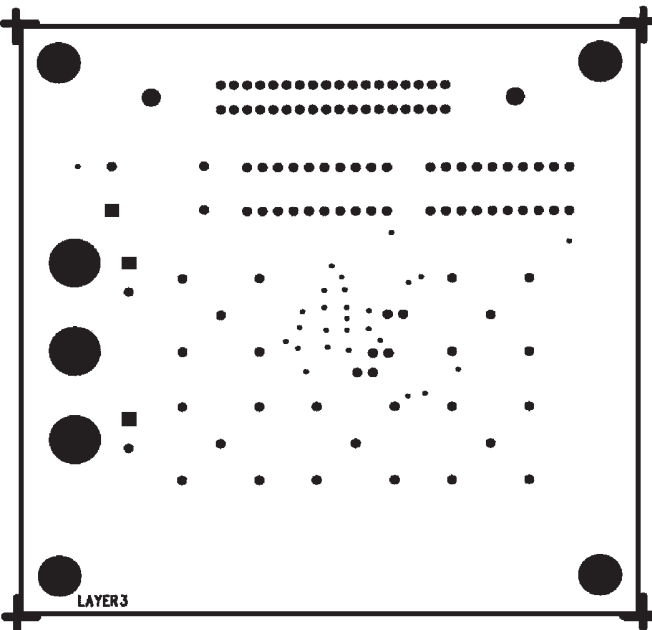
AD9851



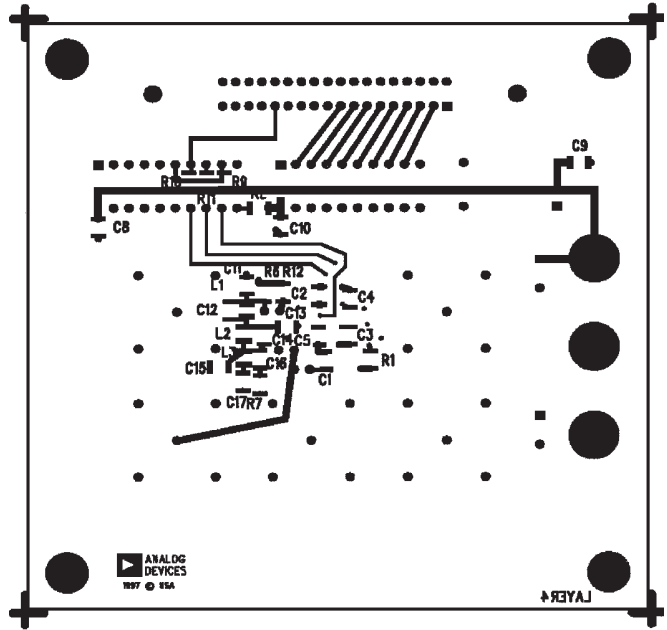
25a. CGPCB Top Layer



25c. CGPCB Power Plane



25b. CGPCB Ground Plane



25d. CGPCB Bottom Layer

Figure 25. FSPCB Evaluation Board 4-Layer PCB Layout Patterns

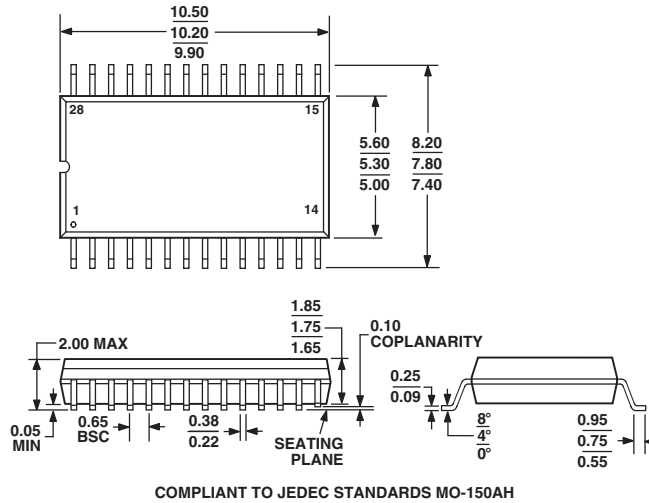
CGPCB Evaluation Board Parts List—GSO 0515(B)

Miscellaneous Hardware	Ref. Des.
1 Amp 552742-1, 36-Pin Plastic, Right Angle, PC Mount, Female	J1
1 Banana Jack—Color Not Important	J2
1 Yellow Banana Jack	J3
1 Black Banana Jack	J4
5 BNC Coax. Connector, PC Mount	J5, J6, J7, J8, J9
1 AD9851/CGPCB Evaluation Board GSO 0515(B)	None
4 AMP 5-330808-6, Open-Ended Pin Socket	None
2 #2-56 Hex Nut (to Fasten J1)	None
2 #2-56 × 3/8 Binder Head Machine Screw (to Fasten J1)	None
4 #4-40 Hex Nut (to Fasten Stand-Offs to Board)	None
4 #4 1-In Metal Stand-Off	None
Decoupling Capacitors	
1 Size 1206 Chip Capacitor, 470 pF	C1
7 Size 1206 Chip Capacitor, 0.1 μF	C2–C5, C8–C10
2 Tantalum Capacitors, 10 μF	C6, C7
Resistors	
1 3.9 kΩ Chip Resistor, Size 1206	R1
1 50 Ω Chip Resistor, Size 1206	R2
4 2 kΩ or 2.2 kΩ Chip Resistor, Size 1206	R3, R9, R10, R11
2 100 kΩ Chip Resistor, Size 1206	R4, R5
2 200 Ω Chip Resistor, Size 1206	R6, R7
1 100 Ω Chip Resistor, Size 1206	R8
1 Dummy Resistor (for Optional Installation)	R12
Filter Capacitors (70 MHz 7-Pole Elliptic Filter)	
3 22 pF Chip Capacitor, Size 1206	C11, C15, C17
1 1 pF Chip Capacitor, Size 1206	C12
1 33 pF Chip Capacitor, Size 1206	C13
1 5.6 pF Chip Capacitor, Size 1206	C14
1 4.7 pF Chip Capacitor, Size 1206	C16
Inductors (70 MHz 7-Pole Elliptic Filter)	
1 470 nH Chip Inductor, Coil Craft 1008CS	L1
2 390 nH Chip Inductor, Coil Craft 1008CS	L2, L3
Integrated Circuits	
1 AD9851 Direct Digital Synthesizer, Surface-mount	U1
2 74HCT574AN HCMOS Octal Flip-Flop, Through-Hole Mount	U2, U3

OUTLINE DIMENSIONS

28-Lead Shrink Small Outline Package [SSOP]
(RS-28)

Dimensions shown in millimeters



Revision History

Location	Page
1/04—Data Sheet changed from REV. C to REV. D	
Renumbered figures and TPCs	Universal
Changes to SPECIFICATIONS	2
Updated ORDERING GUIDE	4
Updated OUTLINE DIMENSIONS	23

TLC227x, TLC227xA: Advanced LinCMOS Rail-to-Rail Operational Amplifiers

1 Features

- Output Swing Includes Both Supply Rails
- Low Noise: $9 \text{ nV}/\sqrt{\text{Hz}}$ Typical at $f = 1 \text{ kHz}$
- Low-Input Bias Current: 1-pA Typical
- Fully-Specified for Both Single-Supply and Split-Supply Operation
- Common-Mode Input Voltage Range Includes Negative Rail
- High-Gain Bandwidth: 2.2-MHz Typical
- High Slew Rate: $3.6\text{-V}/\mu\text{s}$ Typical
- Low Input Offset Voltage: $950 \mu\text{V}$ Maximum at $T_A = 25^\circ\text{C}$
- Macromodel Included
- Performance Upgrades for the TLC272 and TLC274
- Available in Q-Temp Automotive

2 Applications

- White Goods (Refrigerators, Washing Machines)
- Hand-held Monitoring Systems
- Configuration Control and Print Support
- Transducer Interfaces
- Battery-Powered Applications

3 Description

The TLC2272 and TLC2274 are dual and quadruple operational amplifiers from Texas Instruments. Both devices exhibit rail-to-rail output performance for increased dynamic range in single- or split-supply applications. The TLC227x family offers 2 MHz of bandwidth and $3 \text{ V}/\mu\text{s}$ of slew rate for higher-speed applications. These devices offer comparable AC performance while having better noise, input offset voltage, and power dissipation than existing CMOS operational amplifiers. The TLC227x has a noise voltage of $9 \text{ nV}/\sqrt{\text{Hz}}$, two times lower than competitive solutions.

The TLC227x family of devices, exhibiting high input impedance and low noise, is excellent for small-signal conditioning for high-impedance sources such as piezoelectric transducers. Because of the micropower dissipation levels, these devices work well in hand-held monitoring and remote-sensing applications. In addition, the rail-to-rail output feature, with single- or split-supplies, makes this family a great choice when interfacing with analog-to-digital converters (ADCs). For precision applications, the TLC227xA family is available with a maximum input offset voltage of $950 \mu\text{V}$. This family is fully characterized at 5 V and $\pm 5 \text{ V}$.

The TLC227x also make great upgrades to the TLC27x in standard designs. They offer increased output dynamic range, lower noise voltage, and lower input offset voltage. This enhanced feature set allows them to be used in a wider range of applications. For applications that require higher output drive and wider input voltage range, see the TLV2432 and TLV2442 devices.

If the design requires single amplifiers, see the TLV2211, TLV2221 and TLV2231 family. These devices are single rail-to-rail operational amplifiers in the SOT-23 package. Their small size and low power consumption make them ideal for high density, battery-powered equipment.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
TLC2272	TSSOP (8)	4.40 mm × 3.00 mm
	SOIC (8)	3.91 mm × 4.90 mm
	SO (8)	5.30 mm × 6.20 mm
	PDIP (8)	6.35 mm × 9.81 mm
TLC2274	TSSOP (14)	4.40 mm × 5.00 mm
	SOIC (14)	3.91 mm × 8.65 mm
	SO (14)	5.30 mm × 10.30 mm
	PDIP (14)	6.35 mm × 19.30 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

Maximum Peak-to-Peak Output Voltage vs Supply Voltage

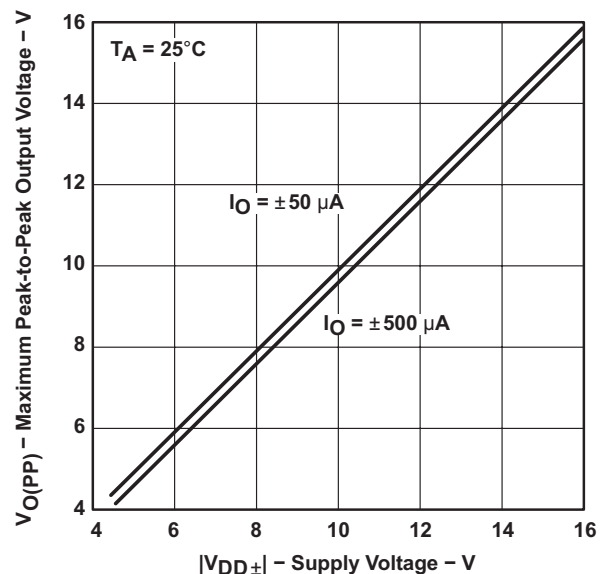


Table of Contents

1	Features	1	7.1	Overview	24
2	Applications	1	7.2	Functional Block Diagram	24
3	Description	1	7.3	Feature Description	24
4	Revision History	2	7.4	Device Functional Modes	24
5	Pin Configuration and Functions	3	8	Application and Implementation	25
6	Specifications	5	8.1	Application Information	25
6.1	Absolute Maximum Ratings	5	8.2	Typical Application	26
6.2	ESD Ratings	5	9	Power Supply Recommendations	28
6.3	Recommended Operating Conditions	5	10	Layout	29
6.4	Thermal Information	6	10.1	Layout Guidelines	29
6.5	TLC2272 and TLC2272A Electrical Characteristics $V_{DD} = 5\text{ V}$	6	10.2	Layout Example	29
6.6	TLC2272 and TLC2272A Electrical Characteristics $V_{DD\pm} = \pm 5\text{ V}$	8	11	Device and Documentation Support	30
6.7	TLC2274 and TLC2274A Electrical Characteristics $V_{DD} = 5\text{ V}$	9	11.1	Related Links	30
6.8	TLC2274 and TLC2274A Electrical Characteristics $V_{DD\pm} = \pm 5\text{ V}$	11	11.2	Community Resources	30
6.9	Typical Characteristics	13	11.3	Trademarks	30
7	Detailed Description	24	11.4	Electrostatic Discharge Caution	30
			11.5	Glossary	30
			12	Mechanical, Packaging, and Orderable Information	30

4 Revision History

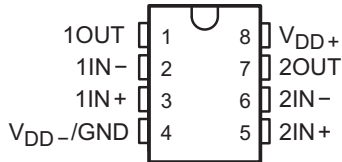
Changes from Revision G (May 2004) to Revision H

Page

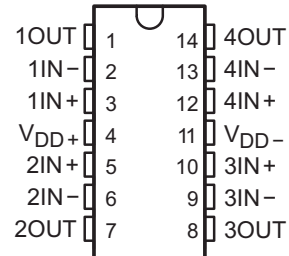
• Added <i>Feature Description</i> section, <i>Device Functional Modes</i> , <i>Application and Implementation</i> section, <i>Power Supply Recommendations</i> section, <i>Layout</i> section, <i>Device and Documentation Support</i> section, and <i>Mechanical, Packaging, and Orderable Information</i> section.	1
• Added ESD Rating table for the D and PW package devices.	5

5 Pin Configuration and Functions

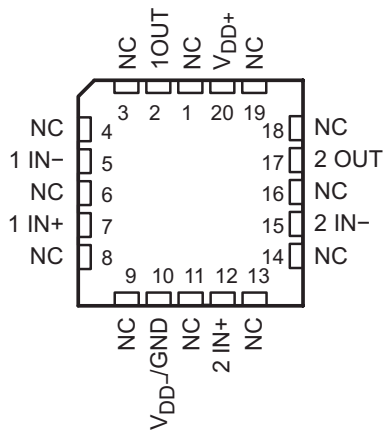
TLC2272
D, JG, P, or PW Package
8-Pin SOIC, CDIP, PDIP, or TSSOP
Top View



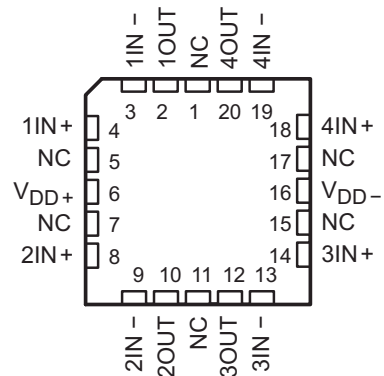
TLC2274
D, J, N, PW, or W Package
14-Pin SOIC, CDIP, PDIP, TSSOP, or CFP
Top View



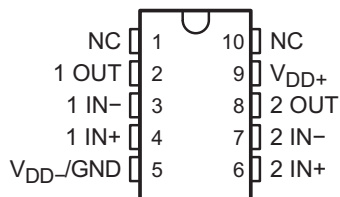
TLC2272
FK Package
20-Pin LCCC
Top View



TLC2274
FK Package
20-Pin LCCC
Top View



TLC2272
U Package
10-Pin CFP
Top View



Pin Functions

NAME	PIN					I/O	DESCRIPTION
	NO.						
	TLC2272			TLC2274			
D, JG, P, or PW	FK	U	D, J, N, PW, or W	FK			
1IN+	3	7	4	3	4	I	Non-inverting input, Channel 1
1IN-	2	5	3	2	3	I	Inverting input, Channel 1
1OUT	1	2	2	1	2	O	Output, Channel 1
2IN+	5	12	6	5	8	I	Non-inverting input, Channel 2
2IN-	6	15	7	6	9	I	Inverting input, Channel 2
2OUT	7	17	8	7	10	O	Output, Channel 2
3IN+	—	—	—	10	14	I	Non-inverting input, Channel 3
3IN-	—	—	—	9	13	I	Inverting input, Channel 3
3OUT	—	—	—	8	12	O	Output, Channel 3
4IN+	—	—	—	12	18	I	Non-inverting input, Channel 4
4IN-	—	—	—	13	19	I	Inverting input, Channel 4
4OUT	—	—	—	14	20	O	Output, Channel 4
V _{DD+}	8	20	9	4	6	—	Positive (highest) supply
V _{DD-}	—	—	—	11	16	—	Negative (lowest) supply
V _{DD-/GND}	4	10	5	—	—	—	Negative (lowest) supply
NC	—	1, 3, 4, 6, 8, 9, 11, 13, 14, 16, 18, 19	1, 10	—	1, 5, 7, 11, 15, 17	—	No Connection

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
Supply voltage, V_{DD+} ⁽²⁾			8	V
V_{DD-} ⁽²⁾		-8		V
Differential input voltage, V_{ID} ⁽³⁾			±16	V
Input voltage, V_I (any input) ⁽²⁾		$V_{DD-} - 0.3$	V_{DD+}	V
Input current, I_I (any input)			±5	mA
Output current, I_O			±50	mA
Total current into V_{DD+}			±50	mA
Total current out of V_{DD-}			±50	mA
Duration of short-circuit current at (or below) 25°C ⁽⁴⁾		Unlimited		
Operating free-air temperature range, T_A	C level parts	0	70	°C
	I, Q level parts	-40	125	
	M level parts	-55	125	
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	D, N, P or PW package		260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds	J or U package		300	°C
Storage temperature, T_{stg}		-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential voltages, are with respect to the midpoint between V_{DD+} and V_{DD-} .
- (3) Differential voltages are at $IN+$ with respect to $IN-$. Excessive current will flow if input is brought below $V_{DD-} - 0.3$ V.
- (4) The output may be shorted to either supply. Temperature or supply voltages must be limited to ensure that the maximum dissipation rating is not exceeded.

6.2 ESD Ratings

			VALUE	UNIT
$V_{(ESD)}$ Electrostatic discharge	Human-body model (HBM), per AEC Q100-002 ⁽¹⁾	Q-grade and M-grade devices in D and PW packages	±2000	V
	Charged-device model (CDM), per AEC Q100-011	Q-grade and M-grade devices in D and PW packages	±1000	

- (1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

6.3 Recommended Operating Conditions

			MIN	MAX	UNIT
$V_{DD±}$ Supply voltage	C LEVEL PARTS		±2.2	±8	V
	I LEVEL PARTS		±2.2	±8	
	Q LEVEL PARTS		±2.2	±8	
	M LEVEL PARTS		±2.2	±8	
V_I Input voltage	C LEVEL PARTS		V_{DD-}	$V_{DD+} - 1.5$	V
	I LEVEL PARTS		V_{DD-}	$V_{DD+} - 1.5$	
	Q LEVEL PARTS		V_{DD-}	$V_{DD+} - 1.5$	
	M LEVEL PARTS		V_{DD-}	$V_{DD+} - 1.5$	
V_{IC} Common-mode input voltage	C LEVEL PARTS		V_{DD-}	$V_{DD+} - 1.5$	V
	I LEVEL PARTS		V_{DD-}	$V_{DD+} - 1.5$	
	Q LEVEL PARTS		V_{DD-}	$V_{DD+} - 1.5$	
	M LEVEL PARTS		V_{DD-}	$V_{DD+} - 1.5$	

Recommended Operating Conditions (continued)

		MIN	MAX	UNIT	
T _A	Operating free-air temperature	C LEVEL PARTS	0	70	°C
		I LEVEL PARTS	-40	125	
		Q LEVEL PARTS	-40	125	
		M LEVEL PARTS	-55	125	

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾	TLC2272					TLC2274					UNIT	
	D (SOIC)	P (PDIP)	PW (TSSOP)	FK (LCCC)	U (CFP)	D (SOIC)	N (PDIP)	PW (TSSOP)	FK (LCCC)	J (CDIP)		
	8-PIN	8-PIN	8-PIN	20-PIN	10-PIN	14-PIN	14-PIN	14-PIN	20-PIN	14-PIN		
R _{θJA}	Junction-to-ambient thermal resistance ⁽²⁾⁽³⁾	115.6	58.5	175.8	—	—	83.8	—	111.6	—	—	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance ⁽²⁾⁽³⁾	61.8	48.3	58.8	18	121.3	43.2	34	41.2	16	16.2	°C/W
R _{θJB}	Junction-to-board thermal resistance	55.9	35.6	104.3	—	—	38.4	—	54.7	—	—	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	14.3	25.9	5.9	—	—	9.4	—	3.9	—	—	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	55.4	35.5	102.6	—	—	38.1	—	53.9	—	—	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	—	—	—	—	8.68	—	—	—	—	—	°C/W

- (1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).
- (2) Maximum power dissipation is a function of T_{J(max)}, θ_{JA}, and T_A. The maximum allowable power dissipation at any allowable ambient temperature is P_D = (T_{J(max)} - T_A) / θ_{JA}. Operating at the absolute maximum T_J of 150°C can affect reliability.
- (3) The package thermal impedance is calculated in accordance with JESD 51-7 (plastic) or MIL-STD-883 Method 1012 (ceramic).

6.5 TLC2272 and TLC2272A Electrical Characteristics V_{DD} = 5 V

at specified free-air temperature, V_{DD} = 5 V; T_A = 25°C, unless otherwise noted.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
V _{IO}	Input offset voltage V _{IC} = 0 V, V _{DD±} = ±2.5 V, V _O = 0 V, R _S = 50 Ω	TLC2272	T _A = 25°C	300	2500	μV
				TLC2272A	300	
		TLC2272	Full Range ⁽¹⁾		3000	
				TLC2272A	1500	
α _{VIO}	Temperature coefficient of input offset voltage V _{IC} = 0 V, V _{DD±} = ±2.5 V, V _O = 0 V, R _S = 50 Ω	2			μV/°C	
	Input offset voltage long-term drift ⁽²⁾ V _{IC} = 0 V, V _{DD±} = ±2.5 V, V _O = 0 V, R _S = 50 Ω	0.002		μV/mo		
I _{IO}	Input offset current V _{IC} = 0 V, V _{DD±} = ±2.5 V, V _O = 0 V, R _S = 50 Ω	All level parts	T _A = 25°C	0.5	60	pA
		C level part	T _A = 0°C to 80°C	100		
		I level part	T _A = -40°C to 85°C	150		
		Q level part	T _A = -40°C to 125°C	800		
		M level part	T _A = -55°C to 125°C	800		
I _{IB}	Input bias current V _{IC} = 0 V, V _{DD±} = ±2.5 V, V _O = 0 V, R _S = 50 Ω	All level parts	T _A = 25°C	1	60	pA
		C level part	T _A = 0°C to 80°C	100		
		I level part	T _A = -40°C to 85°C	150		
		Q level part	T _A = -40°C to 125°C	800		
		M level part	T _A = -55°C to 125°C	800		
V _{ICR}	Common-mode input voltage R _S = 50 Ω; V _{IO} ≤ 5 mV	T _A = 25°C	-0.3	2.5	4	V
		Full Range ⁽¹⁾	0	2.5	3.5	

- (1) T_A = -55°C to 125°C.
- (2) Typical values are based on the input offset voltage shift observed through 168 hours of operating life test at T_A = 150°C extrapolated to T_A = 25°C using the Arrhenius equation and assuming an activation energy of 0.96 eV.

TLC2272 and TLC2272A Electrical Characteristics $V_{DD} = 5\text{ V}$ (continued)

 at specified free-air temperature, $V_{DD} = 5\text{ V}$; $T_A = 25^\circ\text{C}$, unless otherwise noted.

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT	
V_{OH}	High-level output voltage	$I_{OH} = -20\ \mu\text{A}$			4.99		V	
		$I_{OH} = -200\ \mu\text{A}$	$T_A = 25^\circ\text{C}$	4.85	4.93			
			Full Range ⁽¹⁾	4.85				
		$I_{OH} = -1\ \text{mA}$	$T_A = 25^\circ\text{C}$	4.25	4.65			
Full Range ⁽¹⁾	4.25							
V_{OL}	Low-level output voltage	$V_{IC} = 2.5\ \text{V}$	$I_{OL} = 50\ \mu\text{A}$		0.01		V	
			$I_{OL} = 500\ \mu\text{A}$	$T_A = 25^\circ\text{C}$	0.09	0.15		
				Full Range ⁽¹⁾		0.15		
			$I_{OL} = 5\ \text{mA}$	$T_A = 25^\circ\text{C}$	0.9	1.5		
Full Range ⁽¹⁾		1.5						
A_{VD}	Large-signal differential voltage amplification	$V_{IC} = 2.5\ \text{V}$, $V_O = 1\ \text{V to } 4\ \text{V}$; $R_L = 10\ \text{k}\Omega^{(3)}$	C level part	$T_A = 25^\circ\text{C}$	15	35	V/mV	
				$T_A = 0^\circ\text{C to } 80^\circ\text{C}$	15			
			I level part	$T_A = 25^\circ\text{C}$	15	35		
				$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	15			
			Q level part	$T_A = 25^\circ\text{C}$	10	35		
				$T_A = -40^\circ\text{C to } 125^\circ\text{C}$	10			
			M level part	$T_A = 25^\circ\text{C}$	10	35		
$T_A = -55^\circ\text{C to } 125^\circ\text{C}$	10							
		$V_{IC} = 2.5\ \text{V}$, $V_O = 1\ \text{V to } 4\ \text{V}$; $R_L = 1\ \text{M}\Omega^{(3)}$		175				
r_{id}	Differential input resistance				10^{12}		Ω	
r_i	Common-mode input resistance				10^{12}		Ω	
c_i	Common-mode input capacitance	$f = 10\ \text{kHz}$, P package			8		pF	
z_o	Closed-loop output impedance	$f = 1\ \text{MHz}$, $A_V = 10$			140		Ω	
CMRR	Common-mode rejection ratio	$V_{IC} = 0\ \text{V to } 2.7\ \text{V}$, $V_O = 2.5\ \text{V}$, $R_S = 50\ \Omega$	$T_A = 25^\circ\text{C}$	70	75		dB	
			Full Range ⁽¹⁾	70				
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{DD} / \Delta V_{IO}$)	$V_{DD} = 4.4\ \text{V to } 16\ \text{V}$, $V_{IC} = V_{DD} / 2$, no load	$T_A = 25^\circ\text{C}$	80	95		dB	
			Full Range ⁽¹⁾	80				
I_{DD}	Supply current	$V_O = 2.5\ \text{V}$, no load	$T_A = 25^\circ\text{C}$		2.2	3	mA	
			Full Range ⁽¹⁾			3		
SR	Slew rate at unity gain	$V_O = 0.5\ \text{V to } 2.5\ \text{V}$, $R_L = 10\ \text{k}\Omega^{(3)}$, $C_L = 100\ \text{pF}^{(3)}$	$T_A = 25^\circ\text{C}$	2.3	3.6		V/ μs	
			Full Range ⁽¹⁾	1.7				
V_n	Equivalent input noise voltage	$f = 10\ \text{Hz}$		50		nV/ $\sqrt{\text{Hz}}$		
		$f = 1\ \text{kHz}$		9				
V_{NPP}	Peak-to-peak equivalent input noise voltage	$f = 0.1\ \text{Hz to } 1\ \text{Hz}$		1		μV		
		$f = 0.1\ \text{Hz to } 10\ \text{Hz}$		1.4				
I_n	Equivalent input noise current			0.6		fA/ $\sqrt{\text{Hz}}$		
THD+N	Total harmonic distortion + noise	$V_O = 0.5\ \text{V to } 2.5\ \text{V}$, $f = 20\ \text{kHz}$, $R_L = 10\ \text{k}\Omega^{(3)}$	$A_V = 1$		0.0013%			
			$A_V = 10$		0.004%			
			$A_V = 100$		0.03%			
	Gain-bandwidth product	$f = 10\ \text{kHz}$, $R_L = 10\ \text{k}\Omega^{(3)}$, $C_L = 100\ \text{pF}^{(3)}$			2.18		MHz	
B_{OM}	Maximum output-swing bandwidth	$V_{O(PP)} = 2\ \text{V}$, $A_V = 1$, $R_L = 10\ \text{k}\Omega^{(3)}$, $C_L = 100\ \text{pF}^{(3)}$			1		MHz	
t_s	Settling time	$A_V = -1$, $R_L = 10\ \text{k}\Omega^{(3)}$, Step = $0.5\ \text{V to } 2.5\ \text{V}$, $C_L = 100\ \text{pF}^{(3)}$	To 0.1%		1.5		μs	
			To 0.01%		2.6			
Φ_m	Phase margin at unity gain	$R_L = 10\ \text{k}\Omega^{(3)}$, $C_L = 100\ \text{pF}^{(3)}$			50°			
	Gain margin	$R_L = 10\ \text{k}\Omega^{(3)}$, $C_L = 100\ \text{pF}^{(3)}$			10		dB	

(3) Referenced to 0 V.

6.6 TLC2272 and TLC2272A Electrical Characteristics $V_{DD\pm} = \pm 5\text{ V}$

at specified free-air temperature, $V_{DD\pm} = \pm 5\text{ V}$; $T_A = 25^\circ\text{C}$, unless otherwise noted.

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT	
V_{IO}	Input offset voltage	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$	TLC2272	$T_A = 25^\circ\text{C}$	300	2500	μV	
			TLC2272A		300	950		
			TLC2272	Full Range ⁽¹⁾		3000		
			TLC2272A		1500			
α_{VIO}	Temperature coefficient of input offset voltage	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$			2		$\mu\text{V}/^\circ\text{C}$	
	Input offset voltage long-term drift ⁽²⁾	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$			0.002		$\mu\text{V}/\text{mo}$	
I_{IO}	Input offset current	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$	All level parts	$T_A = 25^\circ\text{C}$	0.5	60	pA	
			C level part	$T_A = 0^\circ\text{C}$ to 80°C		100		
			I level part	$T_A = -40^\circ\text{C}$ to 85°C		150		
			Q level part	$T_A = -40^\circ\text{C}$ to 125°C		800		
			M level part	$T_A = -55^\circ\text{C}$ to 125°C		800		
I_{IB}	Input bias current	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$	All level parts	$T_A = 25^\circ\text{C}$	1	60	pA	
			C level part	$T_A = 0^\circ\text{C}$ to 80°C		100		
			I level part	$T_A = -40^\circ\text{C}$ to 85°C		150		
			Q level part	$T_A = -40^\circ\text{C}$ to 125°C		800		
			M level part	$T_A = -55^\circ\text{C}$ to 125°C		800		
V_{ICR}	Common-mode input voltage	$R_S = 50\ \Omega$; $ V_{IO} \leq 5\text{ mV}$		$T_A = 25^\circ\text{C}$	-5.3	0	4	V
				Full Range ⁽¹⁾	-5	0	3.5	
V_{OM+}	Maximum positive peak output voltage	$I_O = -20\ \mu\text{A}$ $I_O = -200\ \mu\text{A}$ $I_O = -1\text{ mA}$		$T_A = 25^\circ\text{C}$	4.99		V	
				$T_A = 25^\circ\text{C}$	4.85	4.93		
				Full Range ⁽¹⁾	4.85			
				$T_A = 25^\circ\text{C}$	4.25	4.65		
V_{OM-}	Maximum negative peak output voltage	$V_{IC} = 0\text{ V}$, $I_O = 50\ \mu\text{A}$ $I_O = 500\ \mu\text{A}$ $I_O = 5\text{ mA}$		$T_A = 25^\circ\text{C}$	-4.99		V	
				$T_A = 25^\circ\text{C}$	-4.85	-4.91		
				Full Range ⁽¹⁾	-4.85			
				$T_A = 25^\circ\text{C}$	-3.5	-4.1		
A_{VD}	Large-signal differential voltage amplification	$V_O = \pm 4\text{ V}$; $R_L = 10\text{ k}\Omega$ $V_O = \pm 4\text{ V}$; $R_L = 1\text{ M}\Omega$	C level part	$T_A = 25^\circ\text{C}$	25	50	V/mV	
				$T_A = 0^\circ\text{C}$ to 80°C	25			
			I level part	$T_A = 25^\circ\text{C}$	25	50		
				$T_A = -40^\circ\text{C}$ to 85°C	25			
			Q level part	$T_A = 25^\circ\text{C}$	20	50		
				$T_A = -40^\circ\text{C}$ to 125°C	20			
			M level part	$T_A = 25^\circ\text{C}$	20	50		
$T_A = -55^\circ\text{C}$ to 125°C	20							
r_{id}	Differential input resistance				10^{12}		Ω	
r_i	Common-mode input resistance				10^{12}		Ω	
c_i	Common-mode input capacitance	$f = 10\text{ kHz}$, P package			8		pF	
z_o	Closed-loop output impedance	$f = 1\text{ MHz}$, $A_V = 10$			130		Ω	
CMRR	Common-mode rejection ratio	$V_{IC} = -5\text{ V}$ to 2.7 V , $V_O = 0\text{ V}$, $R_S = 50\ \Omega$		$T_A = 25^\circ\text{C}$	75	80	dB	
				Full Range ⁽¹⁾	75			
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{DD} / \Delta V_{IO}$)	$V_{DD+} = 2.2\text{ V}$ to $\pm 8\text{ V}$, $V_{IC} = 0\text{ V}$, no load		$T_A = 25^\circ\text{C}$	80	95	dB	
				Full Range ⁽¹⁾	80			
I_{DD}	Supply current	$V_O = 0\text{ V}$, no load		$T_A = 25^\circ\text{C}$	2.4	3	mA	
				Full Range ⁽¹⁾		3		

(1) $T_A = -55^\circ\text{C}$ to 125°C .

(2) Typical values are based on the input offset voltage shift observed through 168 hours of operating life test at $T_A = 150^\circ\text{C}$ extrapolated to $T_A = 25^\circ\text{C}$ using the Arrhenius equation and assuming an activation energy of 0.96 eV.

TLC2272 and TLC2272A Electrical Characteristics $V_{DD\pm} = \pm 5\text{ V}$ (continued)

 at specified free-air temperature, $V_{DD\pm} = \pm 5\text{ V}$; $T_A = 25^\circ\text{C}$, unless otherwise noted.

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
SR	Slew rate at unity gain	$V_O = \pm 2.3\text{ V}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$	$T_A = 25^\circ\text{C}$	2.3	3.6		V/ μs
			Full Range ⁽¹⁾		1.7		
V_n	Equivalent input noise voltage		$f = 10\text{ Hz}$		50		nV/ $\sqrt{\text{Hz}}$
			$f = 1\text{ kHz}$		9		
V_{NPP}	Peak-to-peak equivalent input noise voltage		$f = 0.1\text{ Hz to }1\text{ Hz}$		1		μV
			$f = 0.1\text{ Hz to }10\text{ Hz}$		1.4		
I_n	Equivalent input noise current				0.6		fA/ $\sqrt{\text{Hz}}$
THD+N	Total harmonic distortion + noise	$V_O = \pm 2.3$, $f = 20\text{ kHz}$, $R_L = 10\text{ k}\Omega$	$A_V = 1$		0.0011%		
			$A_V = 10$		0.004%		
			$A_V = 100$		0.03%		
	Gain-bandwidth product	$f = 10\text{ kHz}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$			2.25		MHz
B_{OM}	Maximum output-swing bandwidth	$V_{O(PP)} = 4.6\text{ V}$, $A_V = 1$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$			0.54		MHz
t_s	Settling time	$A_V = -1$, $R_L = 10\text{ k}\Omega$, Step = $-2.3\text{ V to }2.3\text{ V}$, $C_L = 100\text{ pF}$	To 0.1%		1.5		μs
			To 0.01%		3.2		
ϕ_m	Phase margin at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$			52°		
	Gain margin	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$			10		dB

6.7 TLC2274 and TLC2274A Electrical Characteristics $V_{DD} = 5\text{ V}$

 at specified free-air temperature, $V_{DD} = 5\text{ V}$; $T_A = 25^\circ\text{C}$, unless otherwise noted.

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT	
V_{IO}	Input offset voltage	$V_{IC} = 0\text{ V}$, $V_{DD\pm} = \pm 2.5\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\text{ }\Omega$	TLC2274	$T_A = 25^\circ\text{C}$		300	2500	μV
			TLC2274A			300	950	
			TLC2274	Full Range ⁽¹⁾			3000	
			TLC2274A				1500	
α_{VIO}	Temperature coefficient of input offset voltage	$V_{IC} = 0\text{ V}$, $V_{DD\pm} = \pm 2.5\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\text{ }\Omega$			2		$\mu\text{V}/^\circ\text{C}$	
	Input offset voltage long-term drift ⁽²⁾	$V_{IC} = 0\text{ V}$, $V_{DD\pm} = \pm 2.5\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\text{ }\Omega$			0.002		$\mu\text{V}/\text{mo}$	
I_{IO}	Input offset current	$V_{IC} = 0\text{ V}$, $V_{DD\pm} = \pm 2.5\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\text{ }\Omega$	All level parts	$T_A = 25^\circ\text{C}$		0.5	60	pA
			C level part	$T_A = 0^\circ\text{C to }80^\circ\text{C}$			100	
			I level part	$T_A = -40^\circ\text{C to }85^\circ\text{C}$			150	
			Q level part	$T_A = -40^\circ\text{C to }125^\circ\text{C}$			800	
			M level part	$T_A = -55^\circ\text{C to }125^\circ\text{C}$			800	
I_{IB}	Input bias current	$V_{IC} = 0\text{ V}$, $V_{DD\pm} = \pm 2.5\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\text{ }\Omega$	All level parts	$T_A = 25^\circ\text{C}$		1	60	pA
			C level part	$T_A = 0^\circ\text{C to }80^\circ\text{C}$			100	
			I level part	$T_A = -40^\circ\text{C to }85^\circ\text{C}$			150	
			Q level part	$T_A = -40^\circ\text{C to }125^\circ\text{C}$			800	
			M level part	$T_A = -55^\circ\text{C to }125^\circ\text{C}$			800	
V_{ICR}	Common-mode input voltage	$R_S = 50\text{ }\Omega$; $ V_{IO} \leq 5\text{ mV}$	$T_A = 25^\circ\text{C}$		-0.3	2.5	4	V
			Full Range ⁽¹⁾		0	2.5	3.5	
V_{OH}	High-level output voltage		$I_{OH} = -20\text{ }\mu\text{A}$			4.99	V	
			$I_{OH} = -200\text{ }\mu\text{A}$	$T_A = 25^\circ\text{C}$	4.85	4.93		
				Full Range ⁽¹⁾	4.85			
			$I_{OH} = -1\text{ mA}$	$T_A = 25^\circ\text{C}$	4.25	4.65		
Full Range ⁽¹⁾	4.25							

 (1) $T_A = -55^\circ\text{C to }125^\circ\text{C}$.

 (2) Typical values are based on the input offset voltage shift observed through 168 hours of operating life test at $T_A = 150^\circ\text{C}$ extrapolated to $T_A = 25^\circ\text{C}$ using the Arrhenius equation and assuming an activation energy of 0.96 eV.

TLC2274 and TLC2274A Electrical Characteristics $V_{DD} = 5\text{ V}$ (continued)

at specified free-air temperature, $V_{DD} = 5\text{ V}$; $T_A = 25^\circ\text{C}$, unless otherwise noted.

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT	
V_{OL}	Low-level output voltage	$V_{IC} = 2.5\text{ V}$	$I_{OL} = 50\ \mu\text{A}$	$T_A = 25^\circ\text{C}$	0.01		V	
				Full Range ⁽¹⁾	0.09	0.15		
			$I_{OL} = 500\ \mu\text{A}$	$T_A = 25^\circ\text{C}$		0.15		
				Full Range ⁽¹⁾	0.9	1.5		
A_{VD}	Large-signal differential voltage amplification	$V_{IC} = 2.5\text{ V}$, $V_O = 1\text{ V}$ to 4 V ; $R_L = 10\text{ k}\Omega^{(3)}$	C level part	$T_A = 25^\circ\text{C}$	15	35	V/mV	
				$T_A = 0^\circ\text{C}$ to 80°C	15			
			I level part	$T_A = 25^\circ\text{C}$	15	35		
				$T_A = -40^\circ\text{C}$ to 85°C	15			
			Q level part	$T_A = 25^\circ\text{C}$	10	35		
				$T_A = -40^\circ\text{C}$ to 125°C	10			
M level part	$T_A = 25^\circ\text{C}$	10	35					
		$T_A = -55^\circ\text{C}$ to 125°C	10					
		$V_{IC} = 2.5\text{ V}$, $V_O = 1\text{ V}$ to 4 V ; $R_L = 1\text{ M}\Omega^{(3)}$		175				
r_{id}	Differential input resistance				10^{12}		Ω	
r_i	Common-mode input resistance				10^{12}		Ω	
c_i	Common-mode input capacitance	$f = 10\text{ kHz}$, P package			8		pF	
z_o	Closed-loop output impedance	$f = 1\text{ MHz}$, $A_V = 10$			140		Ω	
CMRR	Common-mode rejection ratio	$V_{IC} = 0\text{ V}$ to 2.7 V , $V_O = 2.5\text{ V}$, $R_S = 50\ \Omega$	$T_A = 25^\circ\text{C}$	70	75	dB		
			Full Range ⁽¹⁾	70				
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{DD} / \Delta V_{IO}$)	$V_{DD} = 4.4\text{ V}$ to 16 V , $V_{IC} = V_{DD} / 2$, no load	$T_A = 25^\circ\text{C}$	80	95	dB		
			Full Range ⁽¹⁾	80				
I_{DD}	Supply current	$V_O = 2.5\text{ V}$, no load	$T_A = 25^\circ\text{C}$	4.4	6	mA		
			Full Range ⁽¹⁾		6			
SR	Slew rate at unity gain	$V_O = 0.5\text{ V}$ to 2.5 V , $R_L = 10\text{ k}\Omega^{(3)}$, $C_L = 100\text{ pF}^{(3)}$	$T_A = 25^\circ\text{C}$	2.3	3.6	V/ μs		
			Full Range ⁽¹⁾	1.7				
V_n	Equivalent input noise voltage	$f = 10\text{ Hz}$		50	nV/ $\sqrt{\text{Hz}}$			
		$f = 1\text{ kHz}$		9				
V_{NPP}	Peak-to-peak equivalent input noise voltage	$f = 0.1\text{ Hz}$ to 1 Hz		1	μV			
		$f = 0.1\text{ Hz}$ to 10 Hz		1.4				
I_n	Equivalent input noise current			0.6	fA/ $\sqrt{\text{Hz}}$			
THD+N	Total harmonic distortion + noise	$V_O = 0.5\text{ V}$ to 2.5 V , $f = 20\text{ kHz}$, $R_L = 10\text{ k}\Omega^{(3)}$	$A_V = 1$	0.0013%				
			$A_V = 10$	0.004%				
			$A_V = 100$	0.03%				
	Gain-bandwidth product	$f = 10\text{ kHz}$, $R_L = 10\text{ k}\Omega^{(3)}$, $C_L = 100\text{ pF}^{(3)}$		2.18	MHz			
B_{OM}	Maximum output-swing bandwidth	$V_{O(PP)} = 2\text{ V}$, $A_V = 1$, $R_L = 10\text{ k}\Omega^{(3)}$, $C_L = 100\text{ pF}^{(3)}$		1	MHz			
t_s	Settling time	$A_V = -1$, $R_L = 10\text{ k}\Omega^{(3)}$, Step = 0.5 V to 2.5 V , $C_L = 100\text{ pF}^{(3)}$	To 0.1%	1.5	μs			
			To 0.01%	2.6				
Φ_m	Phase margin at unity gain	$R_L = 10\text{ k}\Omega^{(3)}$, $C_L = 100\text{ pF}^{(3)}$		50°				
	Gain margin	$R_L = 10\text{ k}\Omega^{(3)}$, $C_L = 100\text{ pF}^{(3)}$		10	dB			

(3) Referenced to 0 V.

6.8 TLC2274 and TLC2274A Electrical Characteristics $V_{DD\pm} = \pm 5\text{ V}$

at specified free-air temperature, $V_{DD\pm} = \pm 5\text{ V}$; $T_A = 25^\circ\text{C}$, unless otherwise noted.

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT	
V_{IO}	Input offset voltage	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$	TLC2274	$T_A = 25^\circ\text{C}$	300	2500	μV	
			TLC2274A		300	950		
			TLC2274	Full Range ⁽¹⁾		3000		
			TLC2274A			1500		
α_{VIO}	Temperature coefficient of input offset voltage	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$			2		$\mu\text{V}/^\circ\text{C}$	
	Input offset voltage long-term drift ⁽²⁾	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$			0.002		$\mu\text{V}/\text{mo}$	
I_{IO}	Input offset current	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$	All level parts	$T_A = 25^\circ\text{C}$	0.5	60	pA	
			C level part	$T_A = 0^\circ\text{C}$ to 80°C		100		
			I level part	$T_A = -40^\circ\text{C}$ to 85°C		150		
			Q level part	$T_A = -40^\circ\text{C}$ to 125°C		800		
			M level part	$T_A = -55^\circ\text{C}$ to 125°C		800		
I_{IB}	Input bias current	$V_{IC} = 0\text{ V}$, $V_O = 0\text{ V}$, $R_S = 50\ \Omega$	All level parts	$T_A = 25^\circ\text{C}$	1	60	pA	
			C level part	$T_A = 0^\circ\text{C}$ to 80°C		100		
			I level part	$T_A = -40^\circ\text{C}$ to 85°C		150		
			Q level part	$T_A = -40^\circ\text{C}$ to 125°C		800		
			M level part	$T_A = -55^\circ\text{C}$ to 125°C		800		
V_{ICR}	Common-mode input voltage	$R_S = 50\ \Omega$; $ V_{IO} \leq 5\text{ mV}$		$T_A = 25^\circ\text{C}$	-5.3	0	4	V
				Full Range ⁽¹⁾	-5	0	3.5	
V_{OM+}	Maximum positive peak output voltage	$I_O = -20\ \mu\text{A}$		$T_A = 25^\circ\text{C}$	4.85	4.93	V	
				Full Range ⁽¹⁾	4.85			
				$T_A = 25^\circ\text{C}$	4.25	4.65		
				Full Range ⁽¹⁾	4.25			
V_{OM-}	Maximum negative peak output voltage	$V_{IC} = 0\text{ V}$	$I_O = 50\ \mu\text{A}$		-4.99		V	
			$I_O = 500\ \mu\text{A}$	$T_A = 25^\circ\text{C}$	-4.85	-4.91		
				Full Range ⁽¹⁾	-4.85			
			$I_O = 5\text{ mA}$	$T_A = 25^\circ\text{C}$	-3.5	-4.1		
Full Range ⁽¹⁾	-3.5							
A_{VD}	Large-signal differential voltage amplification	$V_O = \pm 4\text{ V}$; $R_L = 10\text{ k}\Omega$	C level part	$T_A = 25^\circ\text{C}$	25	50	V/mV	
				$T_A = 0^\circ\text{C}$ to 80°C	25			
			I level part	$T_A = 25^\circ\text{C}$	25	50		
				$T_A = -40^\circ\text{C}$ to 85°C	25			
			Q level part	$T_A = 25^\circ\text{C}$	20	50		
				$T_A = -40^\circ\text{C}$ to 125°C	20			
			M level part	$T_A = 25^\circ\text{C}$	20	50		
$T_A = -55^\circ\text{C}$ to 125°C	20							
		$V_O = \pm 4\text{ V}$; $R_L = 1\text{ M}\Omega$			300			
r_{id}	Differential input resistance				10^{12}		Ω	
r_i	Common-mode input resistance				10^{12}		Ω	
c_i	Common-mode input capacitance	$f = 10\text{ kHz}$, P package			8		pF	
z_o	Closed-loop output impedance	$f = 1\text{ MHz}$, $A_V = 10$			130		Ω	
CMRR	Common-mode rejection ratio	$V_{IC} = -5\text{ V}$ to 2.7 V , $V_O = 0\text{ V}$, $R_S = 50\ \Omega$		$T_A = 25^\circ\text{C}$	75	80	dB	
				Full Range ⁽¹⁾	75			
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{DD} / \Delta V_{IO}$)	$V_{DD+} = 2.2\text{ V}$ to $\pm 8\text{ V}$, $V_{IC} = 0\text{ V}$, no load		$T_A = 25^\circ\text{C}$	80	95	dB	
				Full Range ⁽¹⁾	80			
I_{DD}	Supply current	$V_O = 0\text{ V}$, no load		$T_A = 25^\circ\text{C}$	4.8	6	mA	
				Full Range ⁽¹⁾		6		

(1) $T_A = -55^\circ\text{C}$ to 125°C .

(2) Typical values are based on the input offset voltage shift observed through 168 hours of operating life test at $T_A = 150^\circ\text{C}$ extrapolated to $T_A = 25^\circ\text{C}$ using the Arrhenius equation and assuming an activation energy of 0.96 eV.

TLC2274 and TLC2274A Electrical Characteristics $V_{DD\pm} = \pm 5\text{ V}$ (continued)

at specified free-air temperature, $V_{DD\pm} = \pm 5\text{ V}$; $T_A = 25^\circ\text{C}$, unless otherwise noted.

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
SR	Slew rate at unity gain	$V_O = \pm 2.3\text{ V}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$	$T_A = 25^\circ\text{C}$	2.3	3.6		V/ μs
			Full Range ⁽¹⁾		1.7		
V_n	Equivalent input noise voltage		$f = 10\text{ Hz}$		50		nV/ $\sqrt{\text{Hz}}$
			$f = 1\text{ kHz}$		9		
V_{NPP}	Peak-to-peak equivalent input noise voltage		$f = 0.1\text{ Hz to }1\text{ Hz}$		1		μV
			$f = 0.1\text{ Hz to }10\text{ Hz}$		1.4		
I_n	Equivalent input noise current				0.6		fA/ $\sqrt{\text{Hz}}$
THD+N	Total harmonic distortion + noise	$V_O = \pm 2.3$, $f = 20\text{ kHz}$, $R_L = 10\text{ k}\Omega$	$A_V = 1$		0.0011%		
			$A_V = 10$		0.004%		
			$A_V = 100$		0.03%		
	Gain-bandwidth product		$f = 10\text{ kHz}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$		2.25		MHz
B_{OM}	Maximum output-swing bandwidth		$V_{O(PP)} = 4.6\text{ V}$, $A_V = 1$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$		0.54		MHz
t_s	Settling time	$A_V = -1$, $R_L = 10\text{ k}\Omega$, Step = $-2.3\text{ V to }2.3\text{ V}$, $C_L = 100\text{ pF}$	To 0.1%		1.5		μs
			To 0.01%		3.2		
Φ_m	Phase margin at unity gain		$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$		52°		
	Gain margin		$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$		10		dB

6.9 Typical Characteristics

Table 1. Table of Graphs

			FIGURE⁽¹⁾
V_{IO}	Input offset voltage	Distribution	1, 2, 3, 4
		vs Common-mode voltage	5, 6
α_{VIO}	Input offset voltage temperature coefficient	Distribution	7, 8, 9, 10⁽²⁾
I_{IB} / I_{IO}	Input bias and input offset current	vs Free-air temperature	11⁽²⁾
V_I	Input voltage	vs Supply voltage	12
		vs Free-air temperature	13⁽²⁾
		vs High-level output current	14⁽²⁾
V_{OH}	High-level output voltage	vs High-level output current	14⁽²⁾
V_{OL}	Low-level output voltage	vs Low-level output current	15, 16⁽²⁾
V_{OM+}	Maximum positive peak output voltage	vs Output current	17⁽²⁾
V_{OM-}	Maximum negative peak output voltage	vs Output current	18⁽²⁾
$V_{O(PP)}$	Maximum peak-to-peak output voltage	vs Frequency	19
I_{OS}	Short-circuit output current	vs Supply voltage	20
		vs Free-air temperature	21⁽²⁾
V_O	Output voltage	vs Differential input voltage	22, 23
A_{VD}	Large-signal differential voltage amplification	vs Load resistance	24
	Large-signal differential voltage amplification and phase margin	vs Frequency	25, 26
	Large-signal differential voltage amplification	vs Free-air temperature	27⁽²⁾, 28⁽²⁾
Z_0	Output impedance	vs Frequency	29, 30
CMRR	Common-mode rejection ratio	vs Frequency	31
		vs Free-air temperature	32
k_{SVR}	Supply-voltage rejection ratio	vs Frequency	33, 34
		vs Free-air temperature	35⁽²⁾
I_{DD}	Supply current	vs Supply voltage	36⁽²⁾, 37⁽²⁾
		vs Free-air temperature	38⁽²⁾, 39⁽²⁾
SR	Slew rate	vs Load Capacitance	40
		vs Free-air temperature	41⁽²⁾
V_O	Inverting large-signal pulse response		42, 43
	Voltage-follower large-signal pulse response		44, 45
	Inverting small-signal pulse response		46, 47
	Voltage-follower small-signal pulse response		48, 49
V_n	Equivalent input noise voltage	vs Frequency	50, 51
	Noise voltage over a 10-second period		52
	Integrated noise voltage	vs Frequency	53
THD+N	Total harmonic distortion + noise	vs Frequency	54
	Gain-bandwidth product	vs Supply voltage	55
		vs Free-air temperature	56⁽²⁾
Φ_m	Phase margin	vs Load capacitance	57
	Gain margin	vs Load capacitance	58

(1) For all graphs where $V_{DD} = 5\text{ V}$, all loads are referenced to 2.5 V.

(2) Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

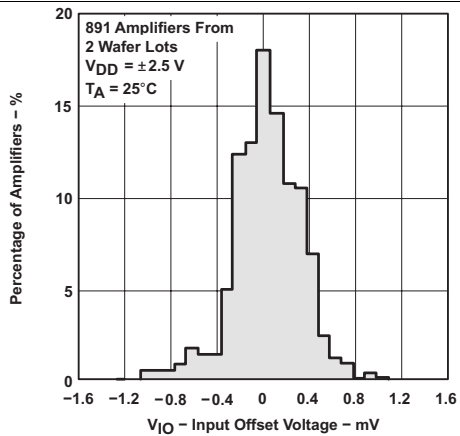


Figure 1. Distribution of TLC2272 Input Offset Voltage

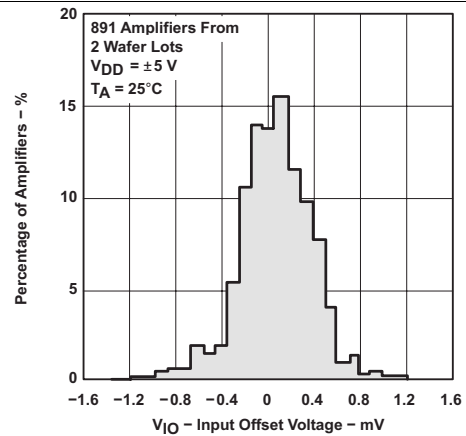


Figure 2. Distribution of TLC2272 Input Offset Voltage

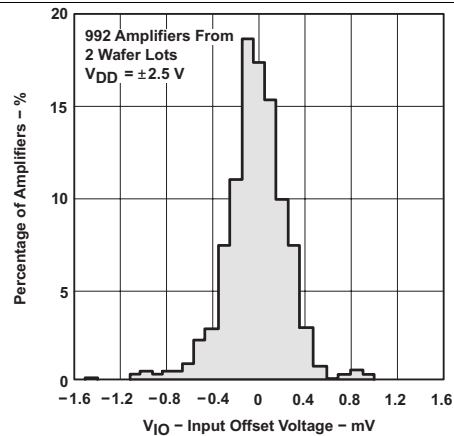


Figure 3. Distribution of TLC2274 Input Offset Voltage

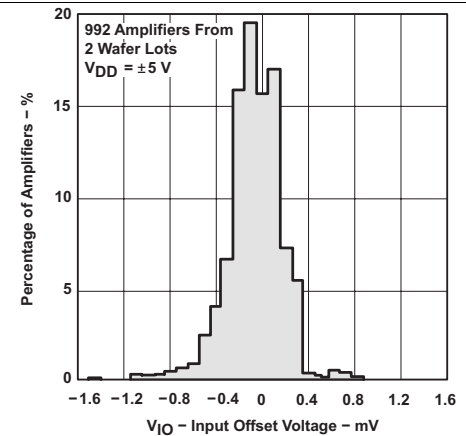


Figure 4. Distribution of TLC2274 Input Offset Voltage

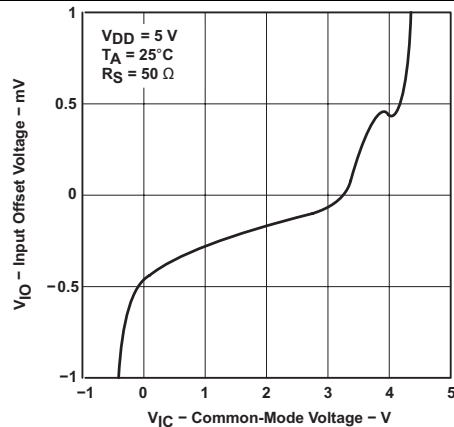


Figure 5. Input Offset Voltage vs Common-Mode Voltage

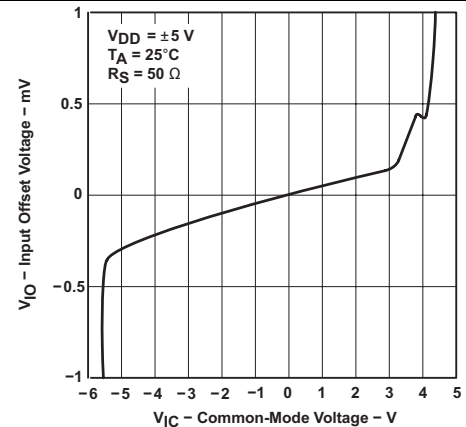


Figure 6. Input Offset Voltage vs Common-Mode Voltage

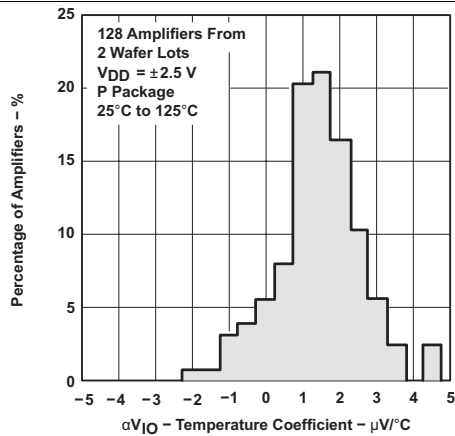


Figure 7. Distribution of TLC2272 vs Input Offset Voltage Temperature Coefficient

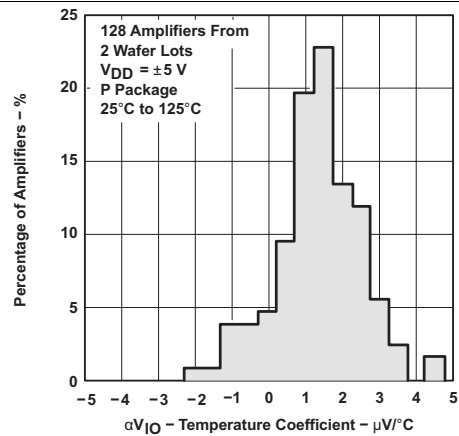


Figure 8. Distribution of TLC2272 vs Input Offset Voltage Temperature Coefficient

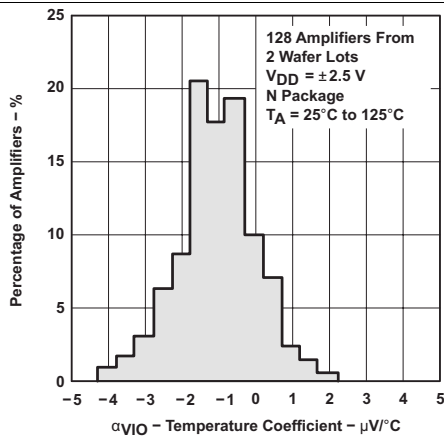


Figure 9. Distribution of TLC2274 vs Input Offset Voltage Temperature Coefficient

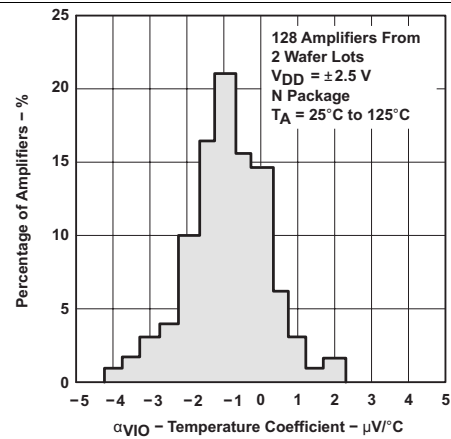


Figure 10. Distribution of TLC2274 vs Input Offset Voltage Temperature Coefficient

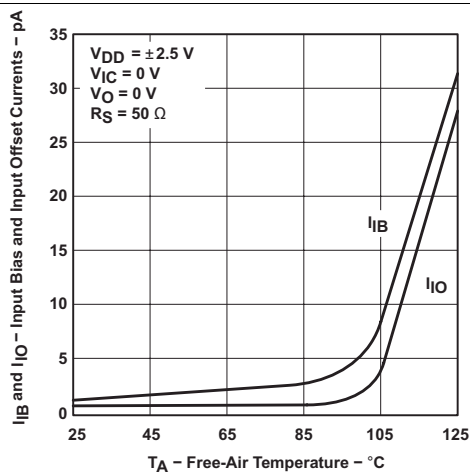


Figure 11. Input Bias and Input Offset Current vs Free-Air Temperature

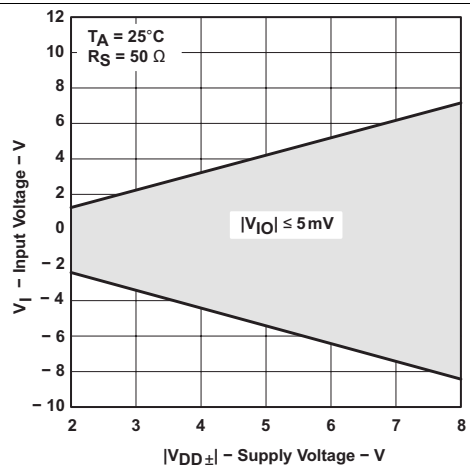


Figure 12. Input Voltage vs Supply Voltage

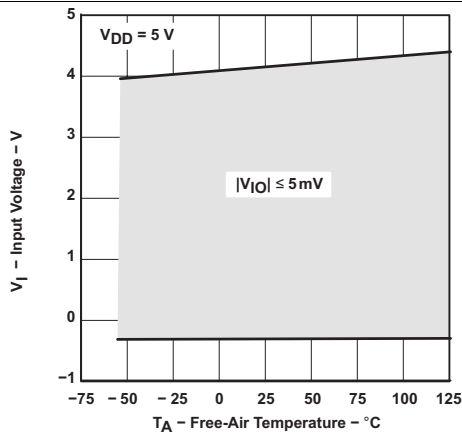


Figure 13. Input Voltage vs Free-Air Temperature

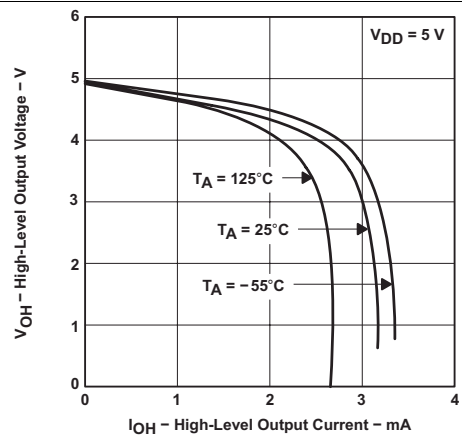


Figure 14. High-Level Output Voltage vs High-Level Output Current

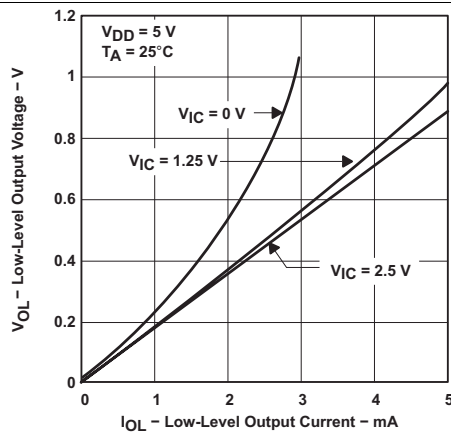


Figure 15. Low-Level Output Voltage vs Low-Level Output Current

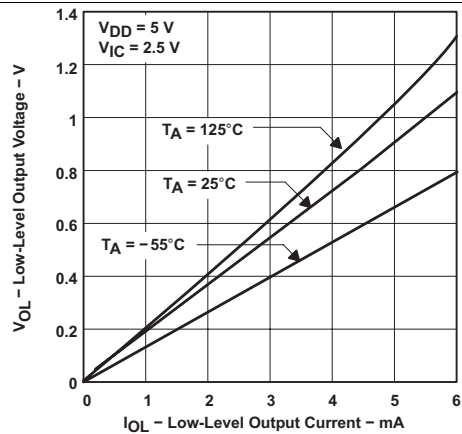


Figure 16. Low-Level Output Voltage vs Low-Level Output Current

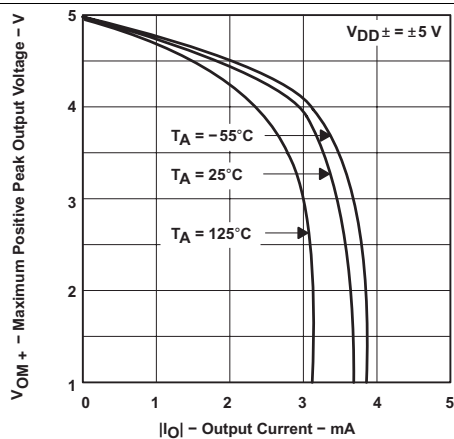


Figure 17. Maximum Positive Peak Output Voltage vs Output Current

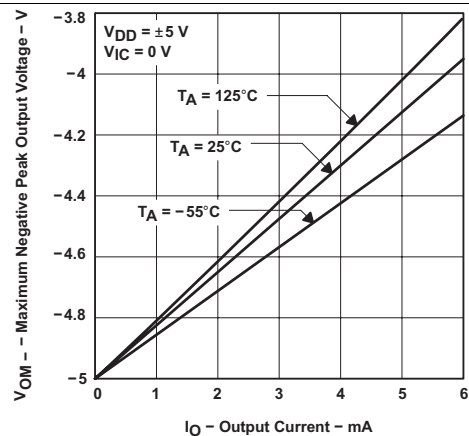


Figure 18. Maximum Negative Peak Output Voltage vs Output Current

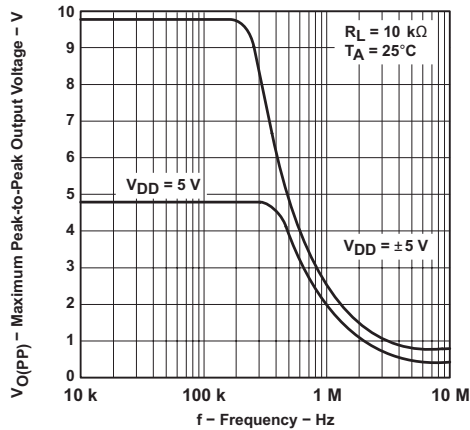


Figure 19. Maximum Peak-to-Peak Output Voltage vs Frequency

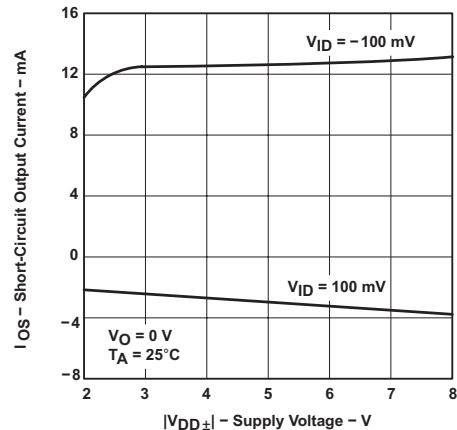


Figure 20. Short-Circuit Output Current vs Supply Voltage

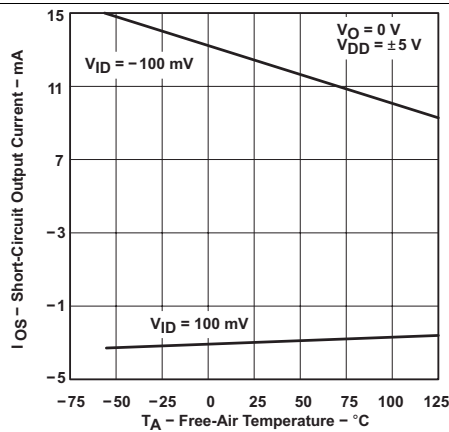


Figure 21. Short-Circuit Output Current vs Free-Air Temperature

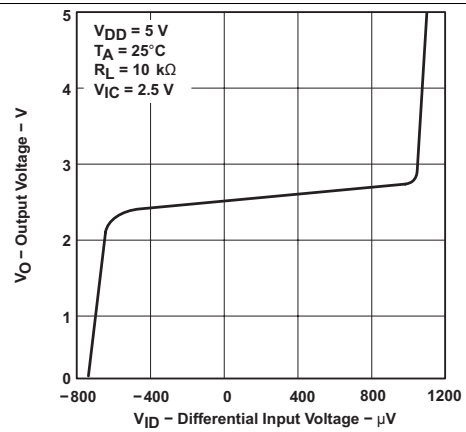


Figure 22. Output Voltage vs Differential Input Voltage

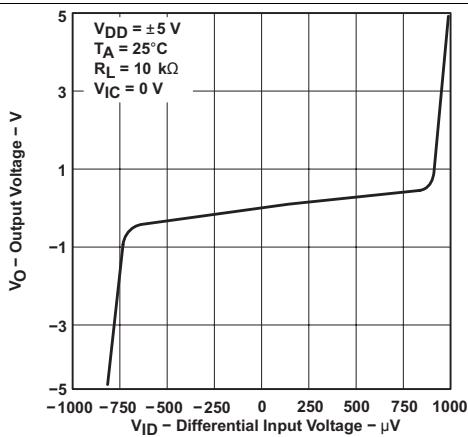


Figure 23. Output Voltage vs Differential Input Voltage

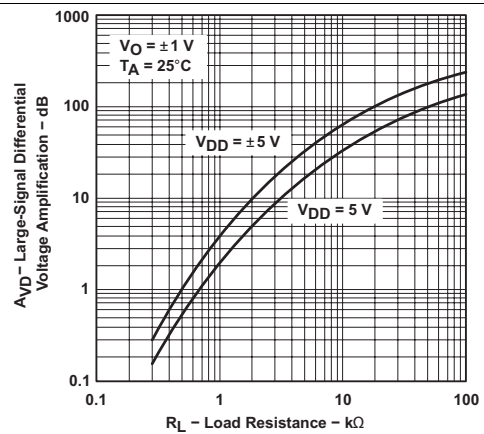


Figure 24. Large-Signal Differential Voltage Amplification vs Load Resistance

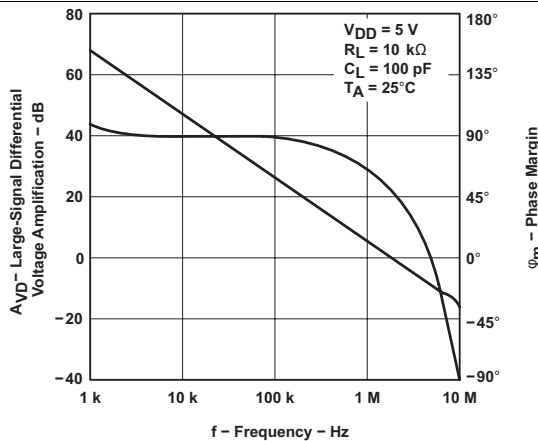


Figure 25. Large-Signal Differential Voltage Amplification and Phase Margin vs Frequency

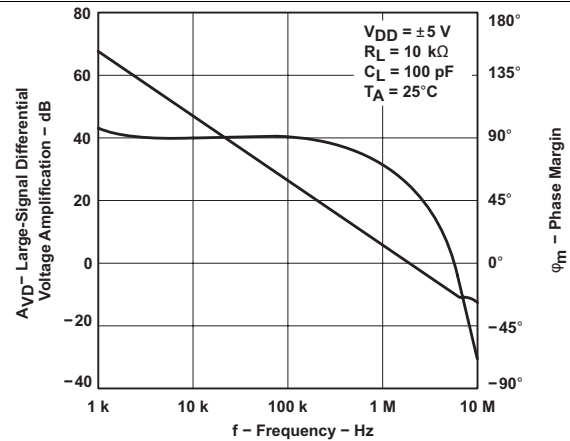


Figure 26. Large-Signal Differential Voltage Amplification and Phase Margin vs Frequency

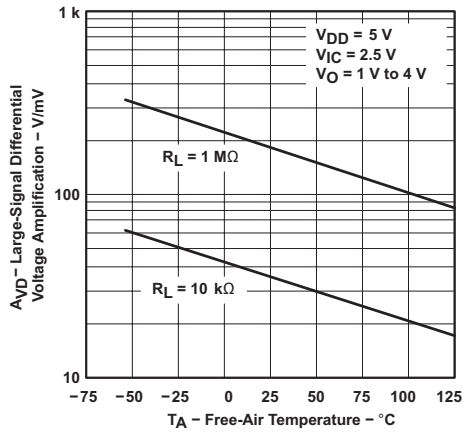


Figure 27. Large-Signal Differential Voltage Amplification vs Free-Air Temperature

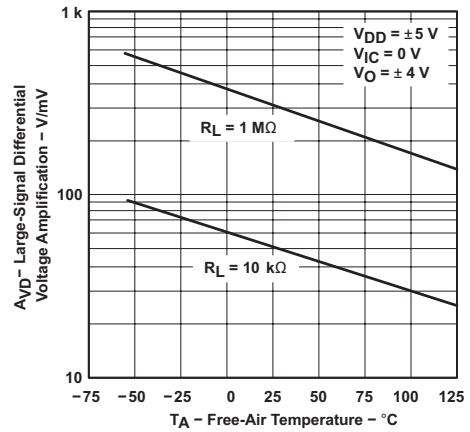


Figure 28. Large-Signal Differential Voltage Amplification vs Free-Air Temperature

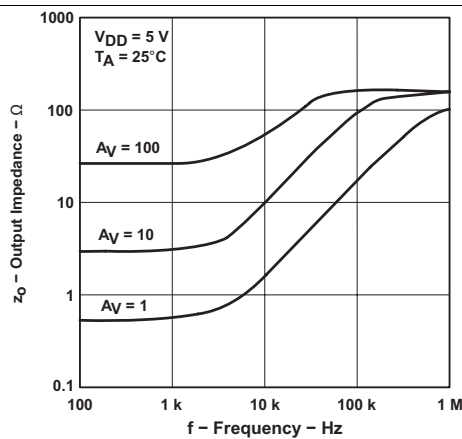


Figure 29. Output Impedance vs Frequency

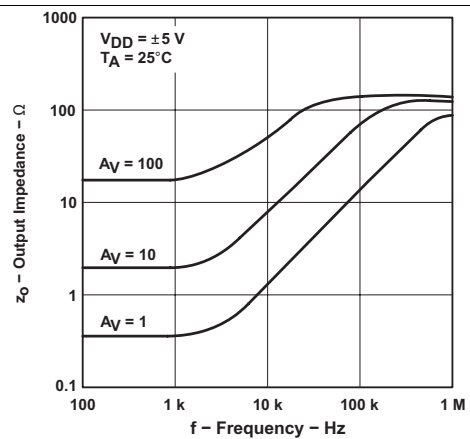


Figure 30. Output Impedance vs Frequency

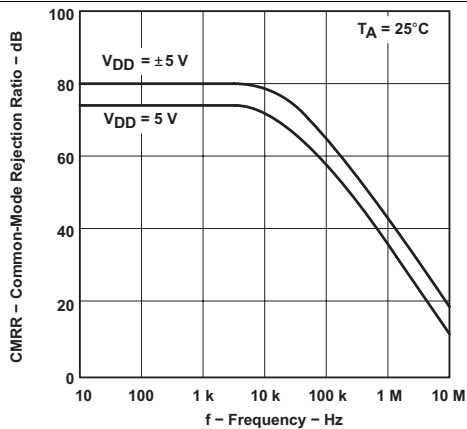


Figure 31. Common-Mode Rejection Ratio vs Frequency

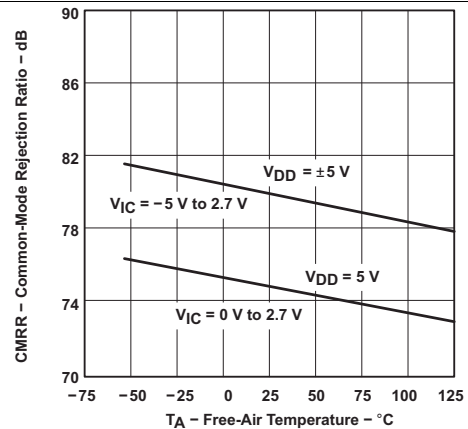


Figure 32. Common-Mode Rejection Ratio vs Free-Air Temperature

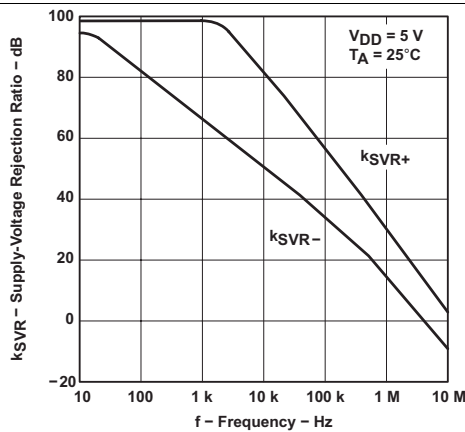


Figure 33. Supply-Voltage Rejection Ratio vs Frequency

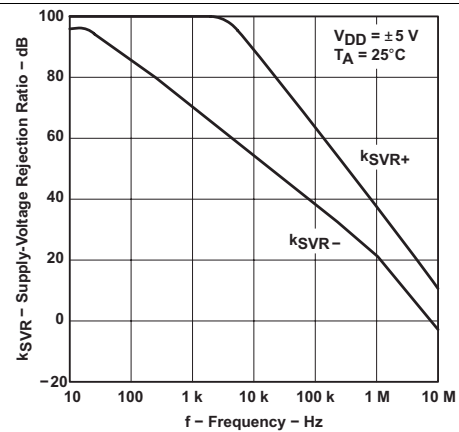


Figure 34. Supply-Voltage Rejection Ratio vs Frequency

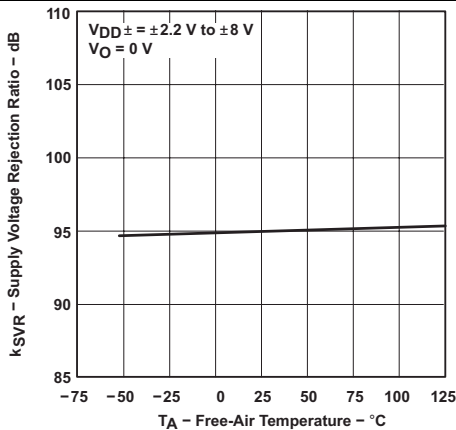


Figure 35. Supply-Voltage Rejection Ratio vs Free-Air Temperature

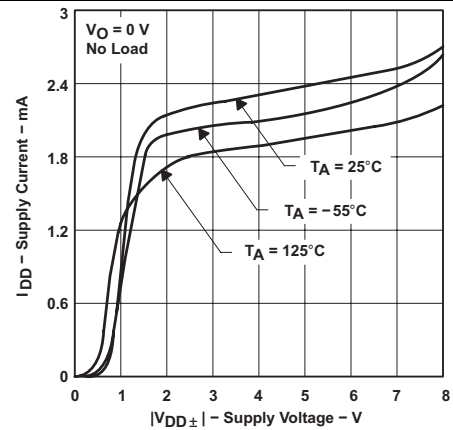


Figure 36. TLC2272 Supply Current vs Supply Voltage

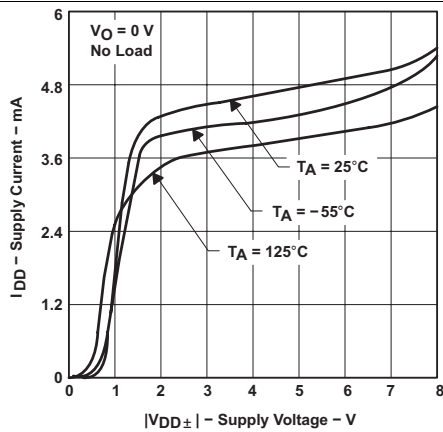


Figure 37. TLC2274 Supply Current vs Supply Voltage

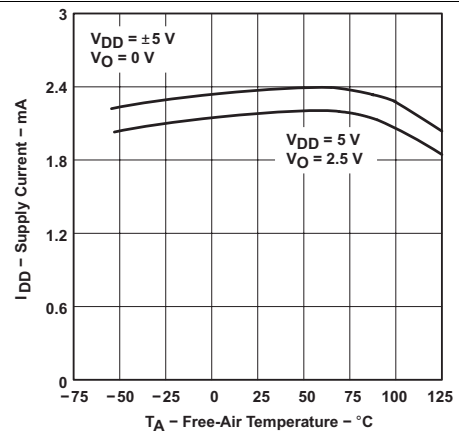


Figure 38. TLC2272 Supply Current vs Free-Air Temperature

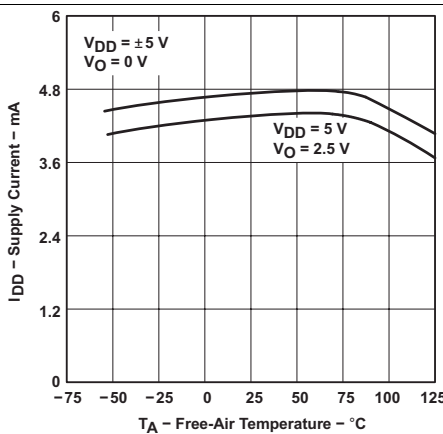


Figure 39. TLC2274 Supply Current vs Free-Air Temperature

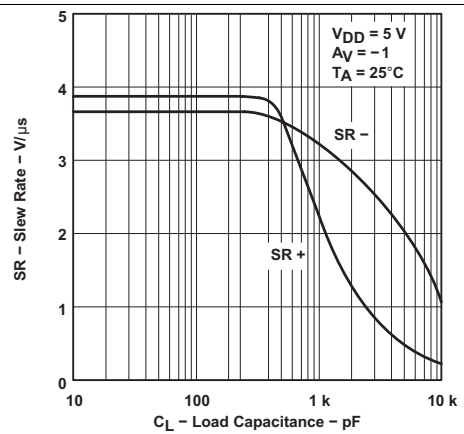


Figure 40. Slew Rate vs Load Capacitance

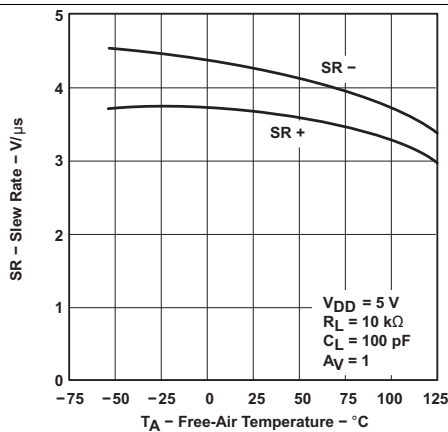


Figure 41. Slew Rate vs Free-Air Temperature

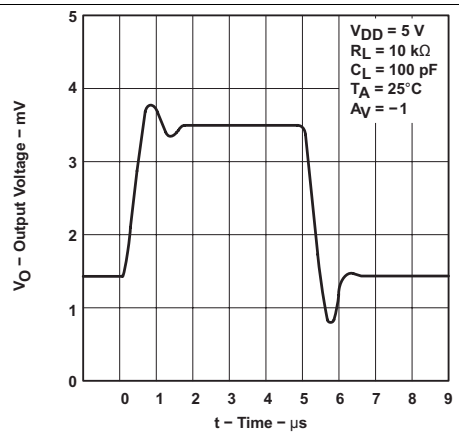


Figure 42. Inverting Large-Signal Pulse Response

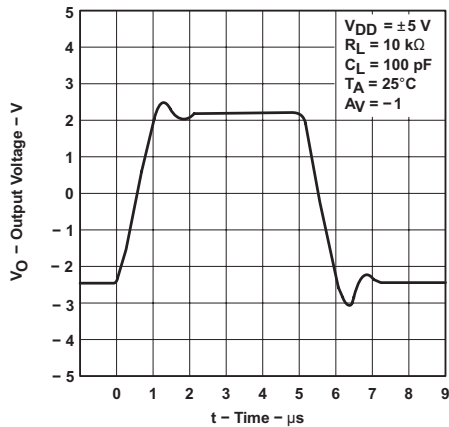


Figure 43. Inverting Large-Signal Pulse Response

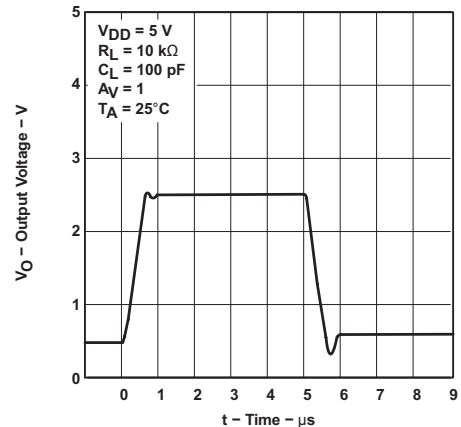


Figure 44. Voltage-Follower Large-Signal Pulse Response

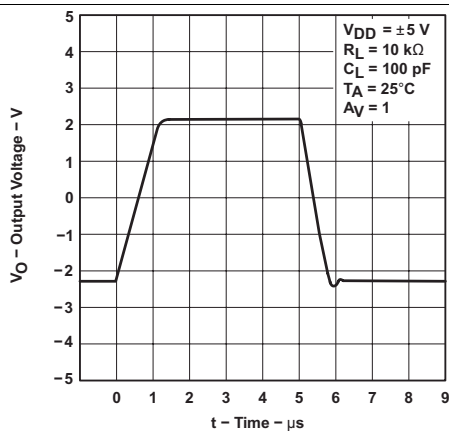


Figure 45. Voltage-Follower Large-Signal Pulse Response

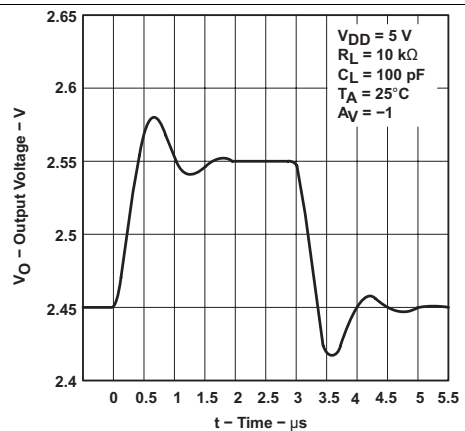


Figure 46. Inverting Small-Signal Pulse Response

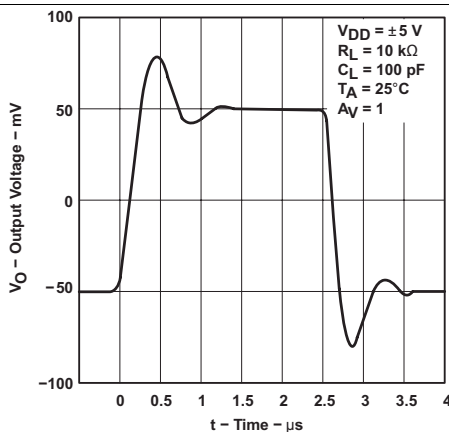


Figure 47. Inverting Small-Signal Pulse Response

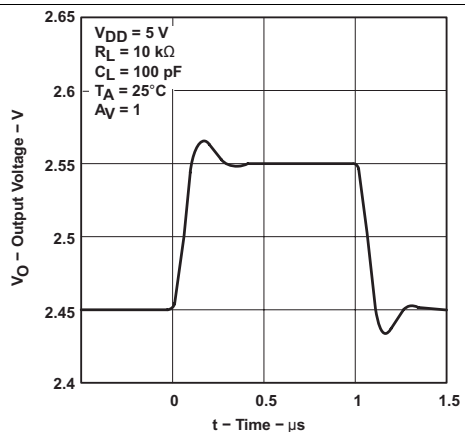


Figure 48. Voltage-Follower Small-Signal Pulse Response

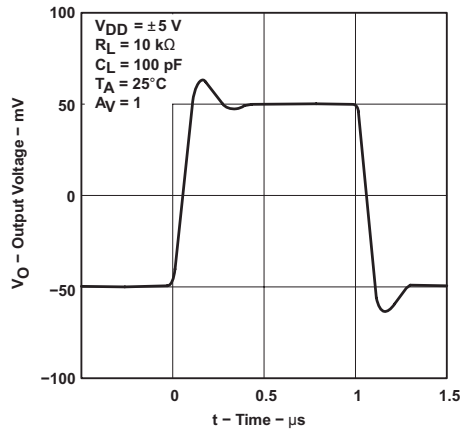


Figure 49. Voltage-Follower Small-Signal Pulse Response

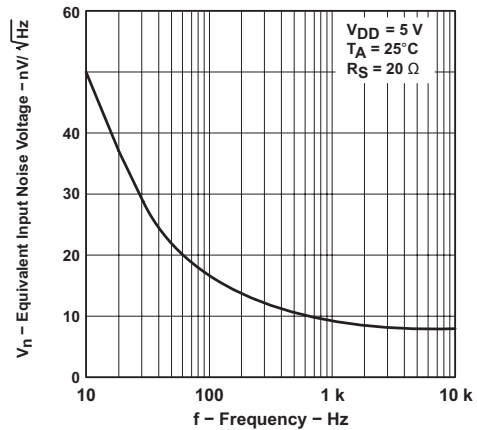


Figure 50. Equivalent Input Noise Voltage vs Frequency

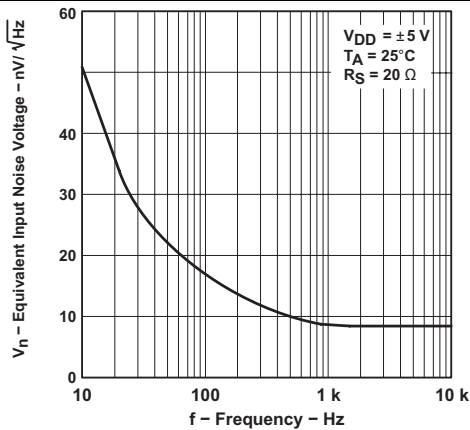


Figure 51. Equivalent Input Noise Voltage vs Frequency

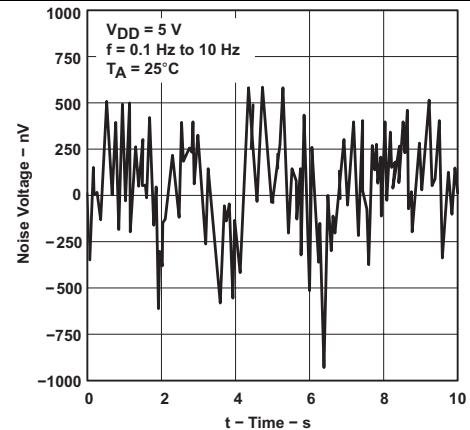


Figure 52. Noise Voltage Over a 10 Second Period

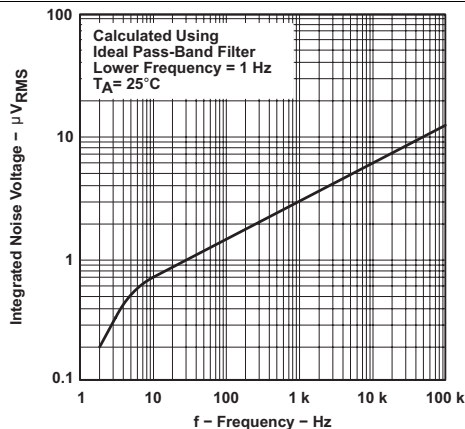


Figure 53. Integrated Noise Voltage vs Frequency

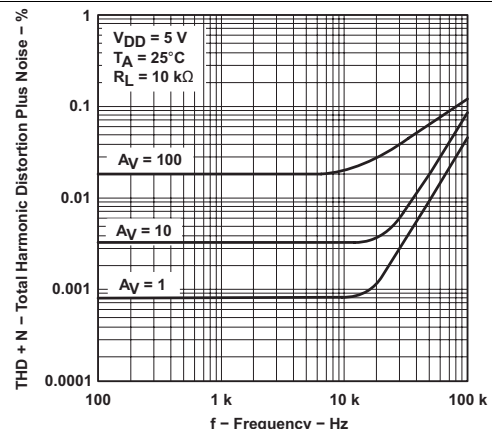


Figure 54. Total Harmonic Distortion + Noise vs Frequency

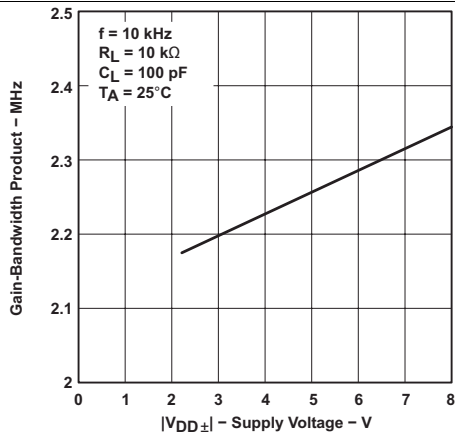


Figure 55. Gain-Bandwidth Product vs Supply Voltage

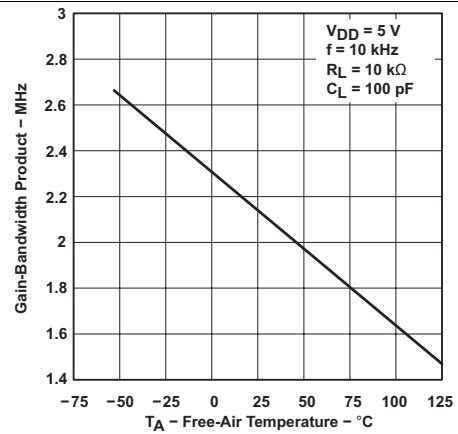


Figure 56. Gain-Bandwidth Product vs Free-Air Temperature

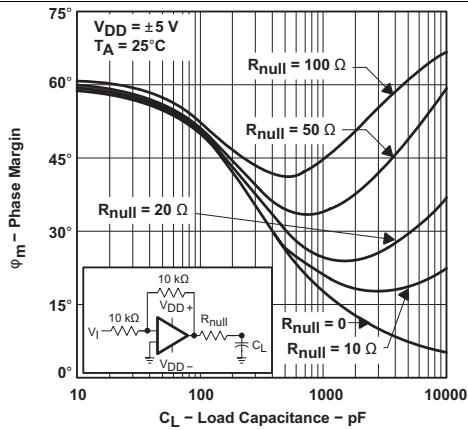


Figure 57. Phase Margin vs Load Capacitance

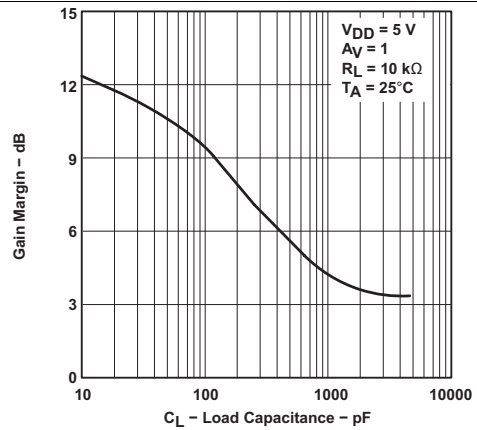


Figure 58. Gain Margin vs Load Capacitance

7 Detailed Description

7.1 Overview

The TLC227x and TLC227xA families of devices are rail-to-rail output operational amplifiers. These devices operate from 4.4-V to 16-V single supply and $\pm 2.2\text{-V}$ $\pm 8\text{-V}$ dual supply, are unity-gain stable, and are suitable for a wide range of general-purpose applications.

7.2 Functional Block Diagram

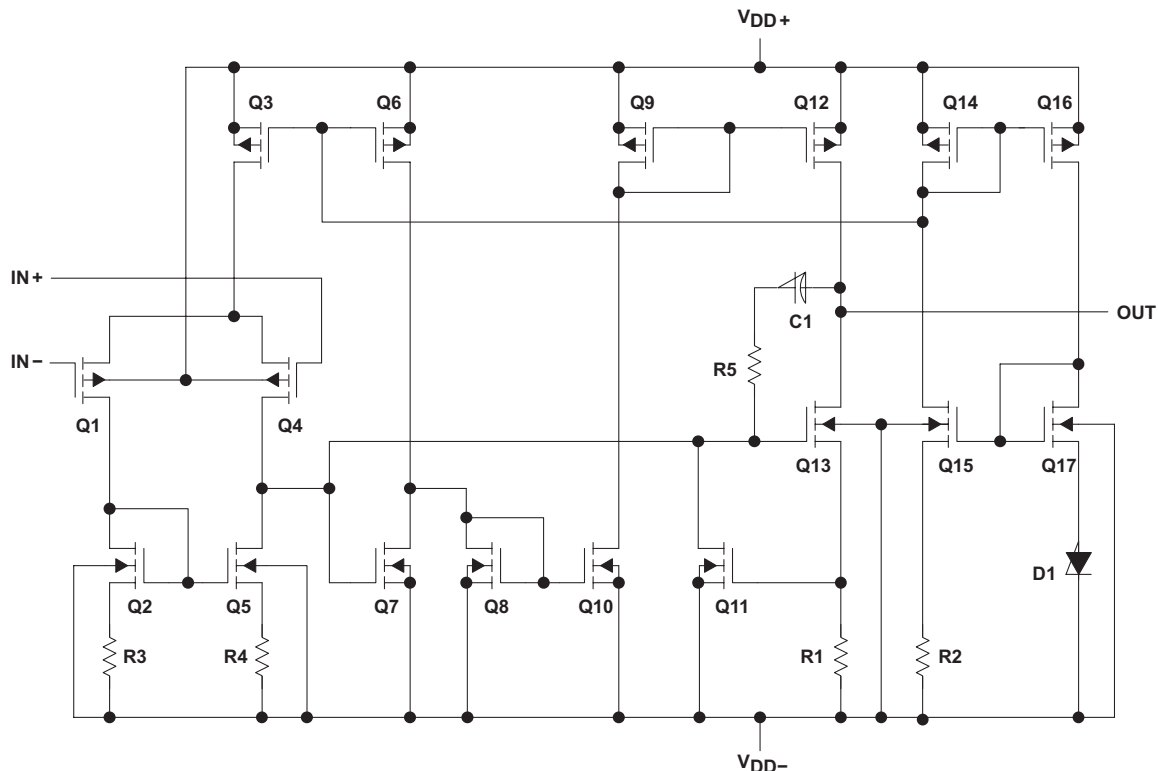


Table 2. Device Component Count⁽¹⁾

Component	TLC2272	TLC2274
Transistors	38	76
Resistors	26	52
Diodes	9	18
Capacitors	3	6

(1) Includes both amplifiers and all ESD, bias, and trim circuitry.

7.3 Feature Description

The TLC227x and TLC227xA family of devices feature 2-MHz bandwidth and voltage noise of $9\text{ nV}/\sqrt{\text{Hz}}$ with performance rated from 4.4 V to 16 V across an automotive temperature range (-40°C to 125°C). LinMOS suits a wide range of audio, automotive, industrial, and instrumentation applications.

7.4 Device Functional Modes

The TLC227x and TLC227xA families of devices is powered on when the supply is connected. The devices may operate with single or dual supply, depending on the application. The devices are in its full performance once the supply is above the recommended value.

8 Application and Implementation

NOTE

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

8.1 Application Information

8.1.1 Macromodel Information

Macromodel information provided was derived using MicroSim Parts™, the model generation software used with MicroSim PSpice™. The Boyle macromodel ⁽¹⁾ and subcircuit in Figure 59 were generated using the TLC227x typical electrical and operating characteristics at $T_A = 25^\circ\text{C}$. Using this information, output simulations of the following key parameters can be generated to a tolerance of 20% (in most cases):

- Maximum positive output voltage swing
- Maximum negative output voltage swing
- Slew rate
- Quiescent power dissipation
- Input bias current
- Open-loop voltage amplification
- Unity gain frequency
- Common-mode rejection ratio
- Phase margin
- DC output resistance
- AC output resistance
- Short-circuit output current limit

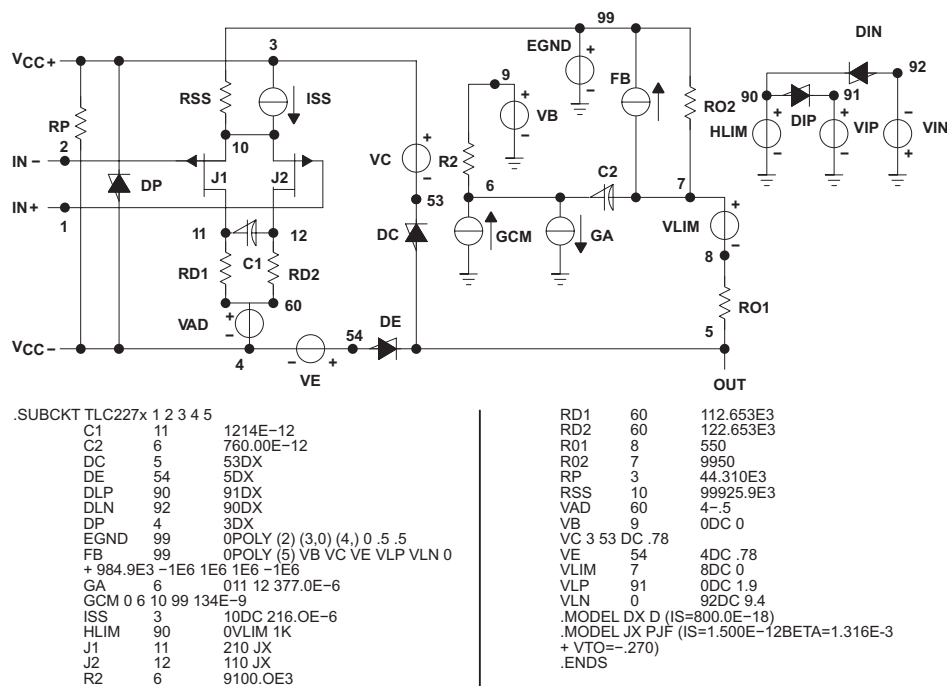


Figure 59. Boyle Macromodel and Subcircuit

(1) *Macromodeling of Integrated Circuit Operational Amplifiers*, IEEE Journal of Solid-State Circuits, SC-9, 353 (1974).

8.2 Typical Application

8.2.1 High-Side Current Monitor

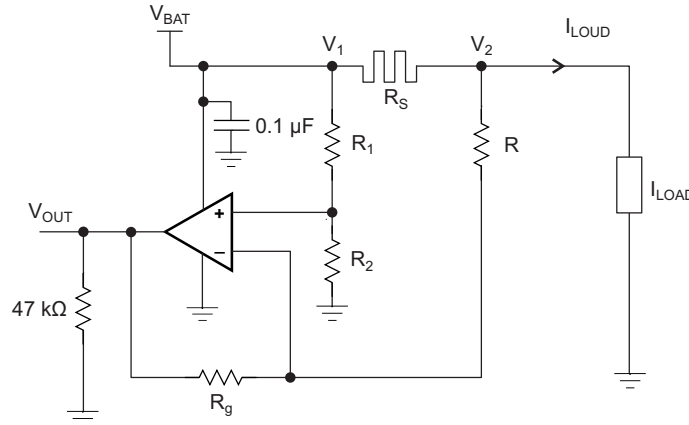


Figure 60. Equivalent Schematic (Each Amplifier)

8.2.1.1 Design Requirements

For this design example, use the parameters listed in Table 3 as the input parameters.

Table 3. Design Parameters

PARAMETER	VALUE
V _{BAT}	Battery Voltage 12 V
R _{SENSE}	Sense Resistor 0.1 Ω
I _{LOAD}	Load Current 0 A to 10 A
Operational Amplifier	Set in Differential configuration with Gain = 10

8.2.1.2 Detailed Design Procedure

This circuit is designed for measuring the high-side current in automotive body control modules with 12-V battery or similar applications. The operational amplifier is set as differential with an external resistor network.

8.2.1.2.1 Differential Amplifier Equations

Equation 1 and Equation 2 are used to calculate V_{OUT}.

$$V_{OUT} = \frac{R_g}{R} \left(\frac{\frac{R}{R_g} - \frac{R_1}{R_2}}{1 + \frac{R_1}{R_2}} \times \frac{V_1 + V_2}{2} + \frac{1 + \frac{1}{2} \left(\frac{R_1 + R}{R_2 + R_g} \right)}{1 + \frac{R_1}{R_2}} (V_1 - V_2) \right) \quad (1)$$

$$V_{OUT} = \frac{R_g}{R} \left(\frac{\frac{R}{R_g} - \frac{R_1}{R_2}}{1 + \frac{R_1}{R_2}} \times V_{BAT} + \frac{1 + \frac{1}{2} \left(\frac{R_1 + R}{R_2 + R_g} \right)}{1 + \frac{R_1}{R_2}} \times R_S \times I_{Load} \right) \quad (2)$$

In an ideal case R₁ = R and R₂ = R_g, and V_{OUT} can then be calculated using Equation 3:

$$V_{OUT} = \frac{R_g}{R} \times R_S \times I_{Load} \quad (3)$$

However, as the resistors have tolerances, they cannot be perfectly matched.

$$\begin{aligned}
 R_1 &= R \pm \Delta R_1 \\
 R_2 &= R_2 \pm \Delta R_2 \\
 R &= R \pm \Delta R \\
 R_g &= R_g \pm \Delta R_g \\
 \text{Tol} &= \frac{\Delta R}{R}
 \end{aligned} \tag{4}$$

By developing the equations and neglecting the second order, the worst case is when the tolerances add up. This is shown by [Equation 5](#).

$$V_{\text{OUT}} = \pm (4 \text{ Tol}) \frac{R_g}{R + R_g} \times V_{\text{BAT}} + \left(1 \pm 2 \text{ Tol} \left(1 + \frac{2R}{R + R_g} \right) \right) \frac{R_g}{R} \times R_S \times I_{\text{LOAD}}$$

where

- Tol = 0.01 for 1%
 - Tol = 0.001 for 0.1%
- (5)

If the resistors are perfectly matched, then Tol = 0 and V_{OUT} is calculated using [Equation 6](#).

$$V_{\text{OUT}} = \frac{R_g}{R} \times R_S \times I_{\text{LOAD}} \tag{6}$$

The highest error is from the Common mode, as shown in [Equation 7](#).

$$4 (\text{Tol}) \frac{R_g}{R + R_g} \times V_{\text{BAT}} \tag{7}$$

Gain of 10, $R_g / R = 10$, and Tol = 1%:

$$\text{Common mode error} = ((4 \times 0.01) / 1.1) \times 12 \text{ V} = 0.436 \text{ V}$$

Gain of 10 and Tol = 0.1%:

$$\text{Common mode error} = 43.6 \text{ mV}$$

The resistors were chosen from 2% batches.

R_1 and R 12 k Ω

R_2 and R_g 120 k Ω

Ideal Gain = 120 / 12 = 10

The measured value of the resistors:

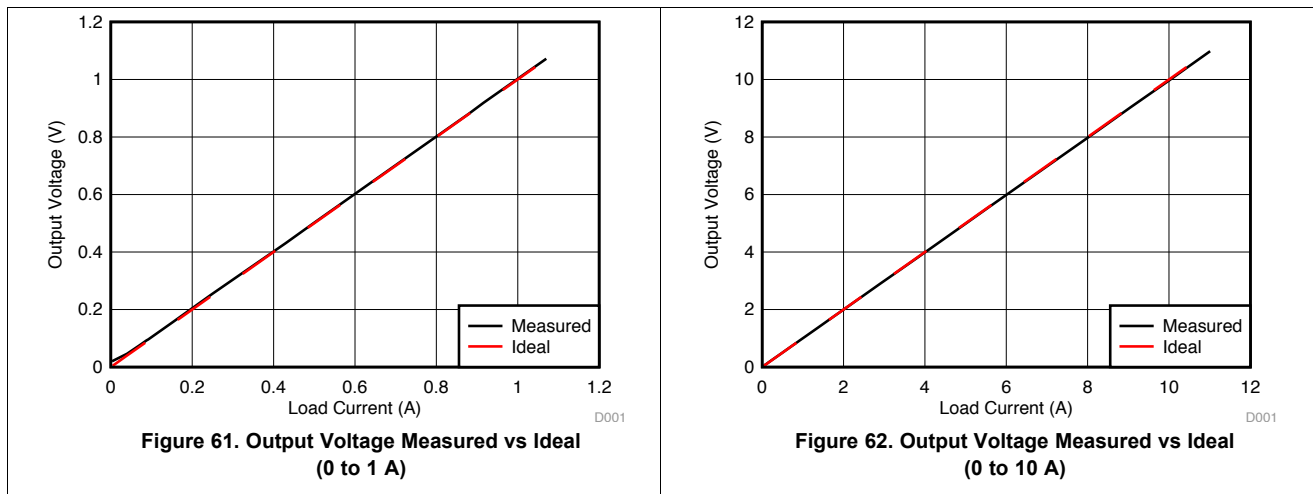
$R_1 = 11.835 \text{ k}\Omega$

$R = 11.85 \text{ k}\Omega$

$R_2 = 117.92 \text{ k}\Omega$

$R_g = 118.07 \text{ k}\Omega$

8.2.1.3 Application Curves



9 Power Supply Recommendations

Supply voltage for a single supply is from 4.4 V to 16 V, and from ± 2.2 V to ± 8 V for dual supply. In the high-side sensing application, the supply is connected to a 12-V battery.

10 Layout

10.1 Layout Guidelines

The TLC227x and TLC227xA families of devices are wideband amplifiers. To realize the full operational performance of the devices, good high-frequency printed-circuit-board (PCB) layout practices are required. Low-loss 0.1- μ F bypass capacitors must be connected between each supply pin and ground as close to the device as possible. The bypass capacitor traces should be designed for minimum inductance.

10.2 Layout Example

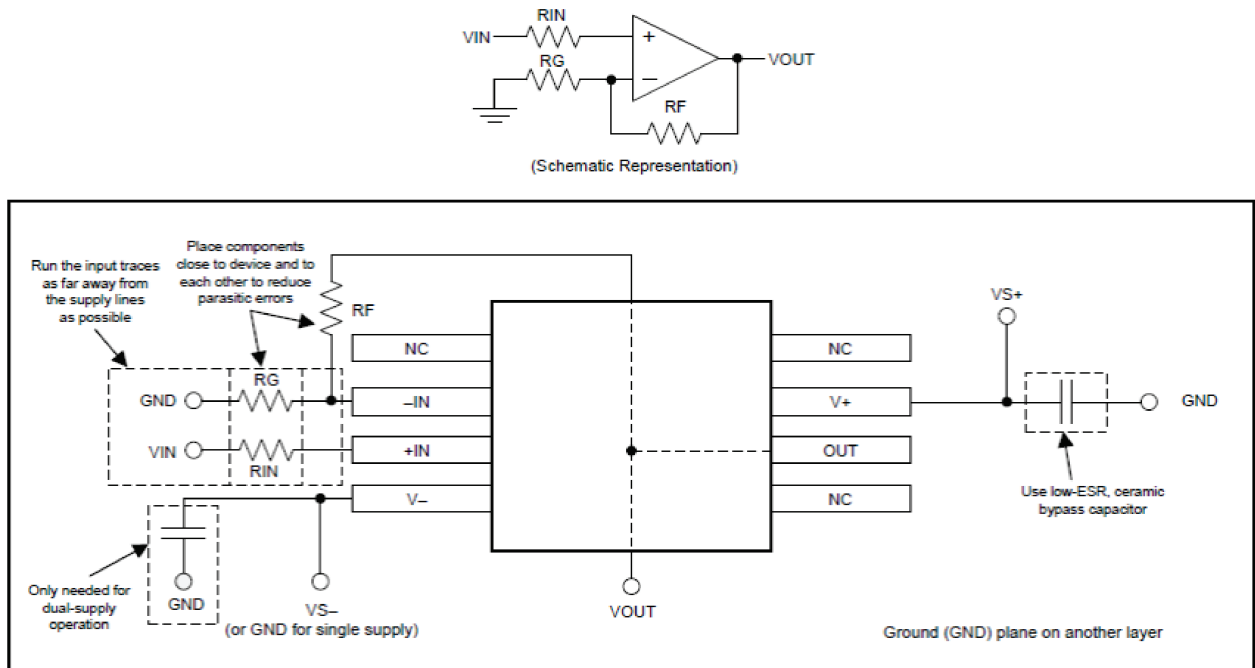


Figure 63. Layout Example

11 Device and Documentation Support

11.1 Related Links

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

Table 4. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
TLC2272	Click here	Click here	Click here	Click here	Click here
TLC2272A	Click here	Click here	Click here	Click here	Click here
TLC2272M	Click here	Click here	Click here	Click here	Click here
TLC2272AM	Click here	Click here	Click here	Click here	Click here
TLC2274	Click here	Click here	Click here	Click here	Click here
TLC2274A	Click here	Click here	Click here	Click here	Click here
TLC2274M	Click here	Click here	Click here	Click here	Click here
TLC2274AM	Click here	Click here	Click here	Click here	Click here

11.2 Community Resources

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ Online Community *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At [e2e.ti.com](#), you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

11.3 Trademarks

E2E is a trademark of Texas Instruments.
 MicroSim Parts, PSpice are trademarks of MicroSim.
 All other trademarks are the property of their respective owners.

11.4 Electrostatic Discharge Caution



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

11.5 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish ⁽⁶⁾	MSL Peak Temp ⁽³⁾	Op Temp (°C)	Device Marking ^(4/5)	Samples
TLC2272ACD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AC	Samples
TLC2272ACDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AC	Samples
TLC2272ACDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AC	Samples
TLC2272ACDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AC	Samples
TLC2272ACP	ACTIVE	PDIP	P	8	50	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type		TLC2272AC	Samples
TLC2272ACPW	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		P2272A	Samples
TLC2272ACPWHR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		P2272A	Samples
TLC2272AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AI	Samples
TLC2272AIDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AI	Samples
TLC2272AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AI	Samples
TLC2272AIDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AI	Samples
TLC2272AIP	ACTIVE	PDIP	P	8	50	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type		TLC2272AI	Samples
TLC2272AMMD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-55 to 125	2272AM	Samples
TLC2272AMDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AM	Samples
TLC2272AMDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-55 to 125	2272AM	Samples
TLC2272AMDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272AM	Samples
TLC2272AQD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C2272A	Samples

PACKAGE OPTION ADDENDUM

6-Feb-2020

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish ⁽⁶⁾	MSL Peak Temp ⁽³⁾	Op Temp (°C)	Device Marking ^(4/5)	Samples
TLC2272AQDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		C2272A	Samples
TLC2272AQDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C2272A	Samples
TLC2272AQDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		C2272A	Samples
TLC2272CD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	2272C	Samples
TLC2272CDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	2272C	Samples
TLC2272CDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	2272C	Samples
TLC2272CDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	2272C	Samples
TLC2272CP	ACTIVE	PDIP	P	8	50	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type	0 to 70	TLC2272CP	Samples
TLC2272CPSR	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	P2272	Samples
TLC2272CPW	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	P2272	Samples
TLC2272CPWR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	P2272	Samples
TLC2272ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272I	Samples
TLC2272IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272I	Samples
TLC2272IP	ACTIVE	PDIP	P	8	50	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type		TLC2272IP	Samples
TLC2272IPW	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		Y2272	Samples
TLC2272IPWR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		Y2272	Samples
TLC2272IPWRG4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		Y2272	Samples
TLC2272MD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-55 to 125	2272M	Samples

PACKAGE OPTION ADDENDUM

6-Feb-2020

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish ⁽⁶⁾	MSL Peak Temp ⁽³⁾	Op Temp (°C)	Device Marking ^(4/5)	Samples
TLC2272MDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272M	Samples
TLC2272MDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-55 to 125	2272M	Samples
TLC2272MDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2272M	Samples
TLC2272QDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		C2272Q	Samples
TLC2272QDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C2272Q	Samples
TLC2272QPWRG4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		T2272Q	Samples
TLC2274ACD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	2274AC	Samples
TLC2274ACDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	2274AC	Samples
TLC2274ACDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	2274AC	Samples
TLC2274ACDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	2274AC	Samples
TLC2274ACN	ACTIVE	PDIP	N	14	25	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type	0 to 70	TLC2274ACN	Samples
TLC2274ACPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	P2274A	Samples
TLC2274ACPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	P2274A	Samples
TLC2274ACPWGR4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	0 to 70	P2274A	Samples
TLC2274AID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2274AI	Samples
TLC2274AIDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2274AI	Samples
TLC2274AIN	ACTIVE	PDIP	N	14	25	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type	-40 to 125	TLC2274AIN	Samples
TLC2274AIPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Y2274A	Samples

PACKAGE OPTION ADDENDUM

6-Feb-2020

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish ⁽⁶⁾	MSL Peak Temp ⁽³⁾	Op Temp (°C)	Device Marking ^(4/5)	Samples
TLC2274AIPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Y2274A	Samples
TLC2274AIPWRG4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Y2274A	Samples
TLC2274AMD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-55 to 125	2274AM	Samples
TLC2274AMDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2274AM	Samples
TLC2274AMDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		2274AM	Samples
TLC2274AOD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLC2274A	Samples
TLC2274AQDRG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		PJ2274A	Samples
TLC2274AQDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLC2274A	Samples
TLC2274AQDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		PJ2274A	Samples
TLC2274CD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274C	Samples
TLC2274CDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274C	Samples
TLC2274CDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274C	Samples
TLC2274CN	ACTIVE	PDIP	N	14	25	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type		TLC2274CN	Samples
TLC2274CNE4	ACTIVE	PDIP	N	14	25	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type		TLC2274CN	Samples
TLC2274CNSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274	Samples
TLC2274CPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		P2274	Samples
TLC2274CPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		P2274	Samples
TLC2274ID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274I	Samples

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish ⁽⁶⁾	MSL Peak Temp ⁽³⁾	Op Temp (°C)	Device Marking ^(4/5)	Samples
TLC2274IDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274I	Samples
TLC2274IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274I	Samples
TLC2274IDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274I	Samples
TLC2274IN	ACTIVE	PDIP	N	14	25	Green (RoHS & no Sb/Br)	NIPDAU	N / A for Pkg Type		TLC2274IN	Samples
TLC2274IPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		Y2274	Samples
TLC2274IPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		Y2274	Samples
TLC2274IPWRG4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		Y2274	Samples
TLC2274MD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC2274M	Samples
TLC2274MDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		PJ2274M	Samples
TLC2274MDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC2274M	Samples
TLC2274MDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		PJ2274M	Samples
TLC2274MNMN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	NIPDAU	N / A for Pkg Type	-55 to 125	TLC2274MNMN	Samples
TLC2274QD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLC2274	Samples
TLC2274QDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274	Samples
TLC2274QDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-1-260C-UNLIM		TLC2274	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS**: TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet US709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

- (3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.
- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLC2272, TLC2272A, TLC2272AM, TLC2272M, TLC2274, TLC2274A, TLC2274AM, TLC2274M :

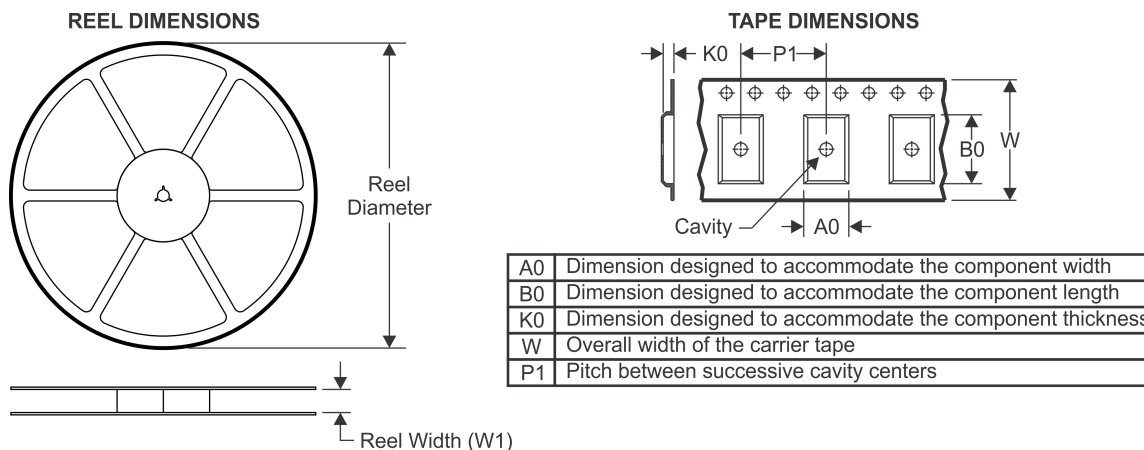
- Catalog: [TLC2272A](#), [TLC2272](#), [TLC2274A](#), [TLC2274](#)
- Automotive: [TLC2272-Q1](#), [TLC2272A-Q1](#), [TLC2272A-Q1](#), [TLC2272-Q1](#), [TLC2274-Q1](#), [TLC2274A-Q1](#), [TLC2274A-Q1](#), [TLC2274-Q1](#)
- Enhanced Product: [TLC2272A-EP](#), [TLC2272A-EP](#), [TLC2274-EP](#), [TLC2274A-EP](#), [TLC2274A-EP](#), [TLC2274-EP](#)
- Military: [TLC2272M](#), [TLC2272AM](#), [TLC2274M](#), [TLC2274AM](#)

NOTE: Qualified Version Definitions:

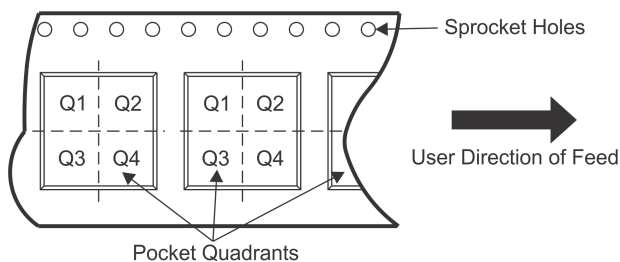
- Catalog - TI's standard catalog product

-
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
 - Enhanced Product - Supports Defense, Aerospace and Medical Applications
 - Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

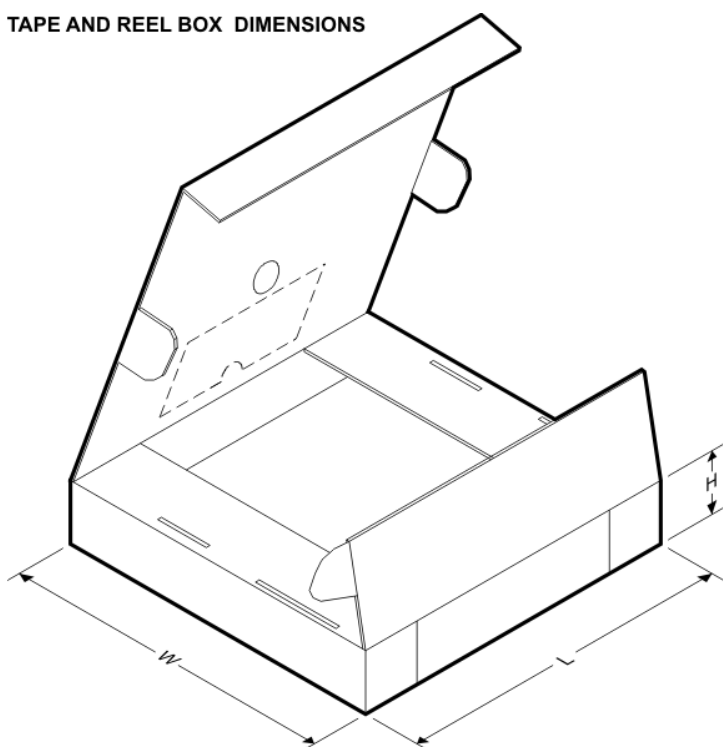


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC2272ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272ACPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLC2272AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272AMDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272AMDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272AQDR	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLC2272IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLC2272MDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272QDR	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TLC2272QPWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLC2274ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC2274ACPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLC2274AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC2274AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLC2274AQDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC2274CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC2274CNSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
TLC2274CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLC2274IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC2274IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLC2274MDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC2274MDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC2274QDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC2272ACDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC2272ACPWR	TSSOP	PW	8	2000	367.0	367.0	35.0
TLC2272AIDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC2272AMDR	SOIC	D	8	2500	350.0	350.0	43.0
TLC2272AMDRG4	SOIC	D	8	2500	350.0	350.0	43.0
TLC2272AQDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC2272CDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC2272CPWR	TSSOP	PW	8	2000	367.0	367.0	35.0
TLC2272IDR	SOIC	D	8	2500	340.5	338.1	20.6

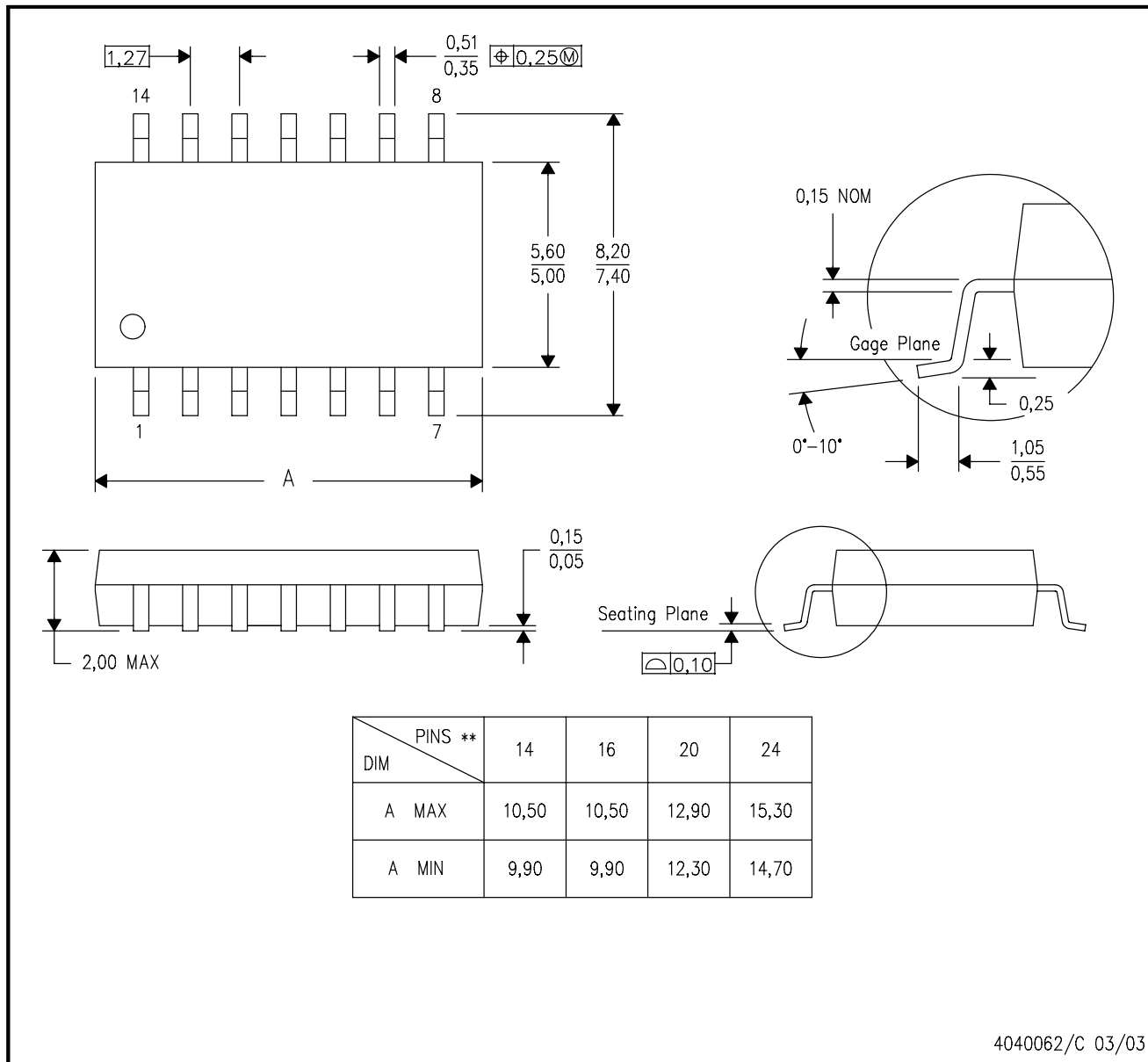
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC2272IPWR	TSSOP	PW	8	2000	367.0	367.0	35.0
TLC2272MDR	SOIC	D	8	2500	350.0	350.0	43.0
TLC2272QDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC2272QPWRG4	TSSOP	PW	8	2000	367.0	367.0	35.0
TLC2274ACDR	SOIC	D	14	2500	333.2	345.9	28.6
TLC2274ACPWR	TSSOP	PW	14	2000	367.0	367.0	35.0
TLC2274AIDR	SOIC	D	14	2500	333.2	345.9	28.6
TLC2274AIPWR	TSSOP	PW	14	2000	367.0	367.0	35.0
TLC2274AQDR	SOIC	D	14	2500	350.0	350.0	43.0
TLC2274CDR	SOIC	D	14	2500	333.2	345.9	28.6
TLC2274CNSR	SO	NS	14	2000	367.0	367.0	38.0
TLC2274CPWR	TSSOP	PW	14	2000	367.0	367.0	35.0
TLC2274IDR	SOIC	D	14	2500	333.2	345.9	28.6
TLC2274IPWR	TSSOP	PW	14	2000	367.0	367.0	35.0
TLC2274MDR	SOIC	D	14	2500	350.0	350.0	43.0
TLC2274MDRG4	SOIC	D	14	2500	350.0	350.0	43.0
TLC2274QDRG4	SOIC	D	14	2500	350.0	350.0	43.0

MECHANICAL DATA

NS (R-PDSO-G)**

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN

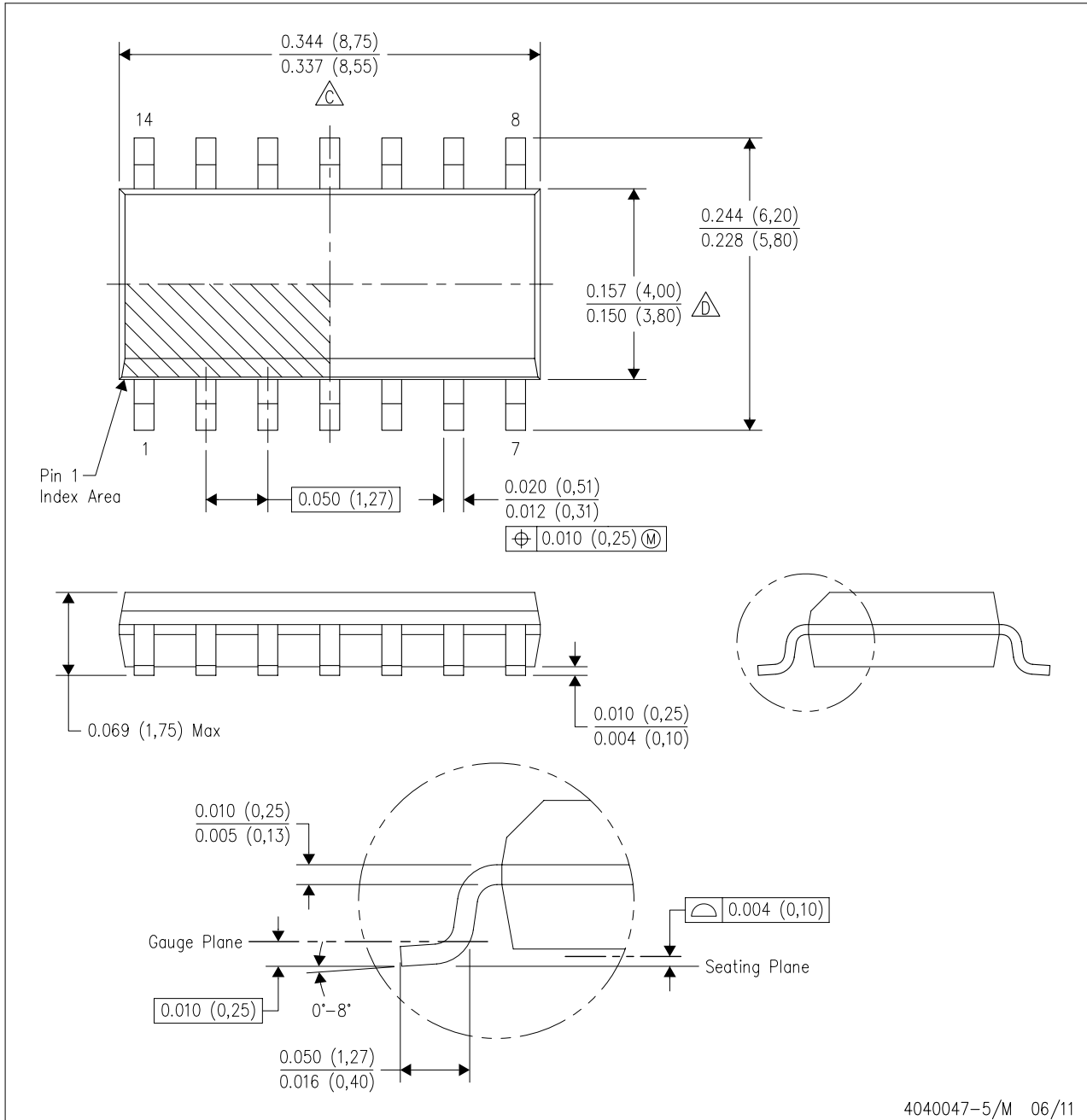


- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

MECHANICAL DATA

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE

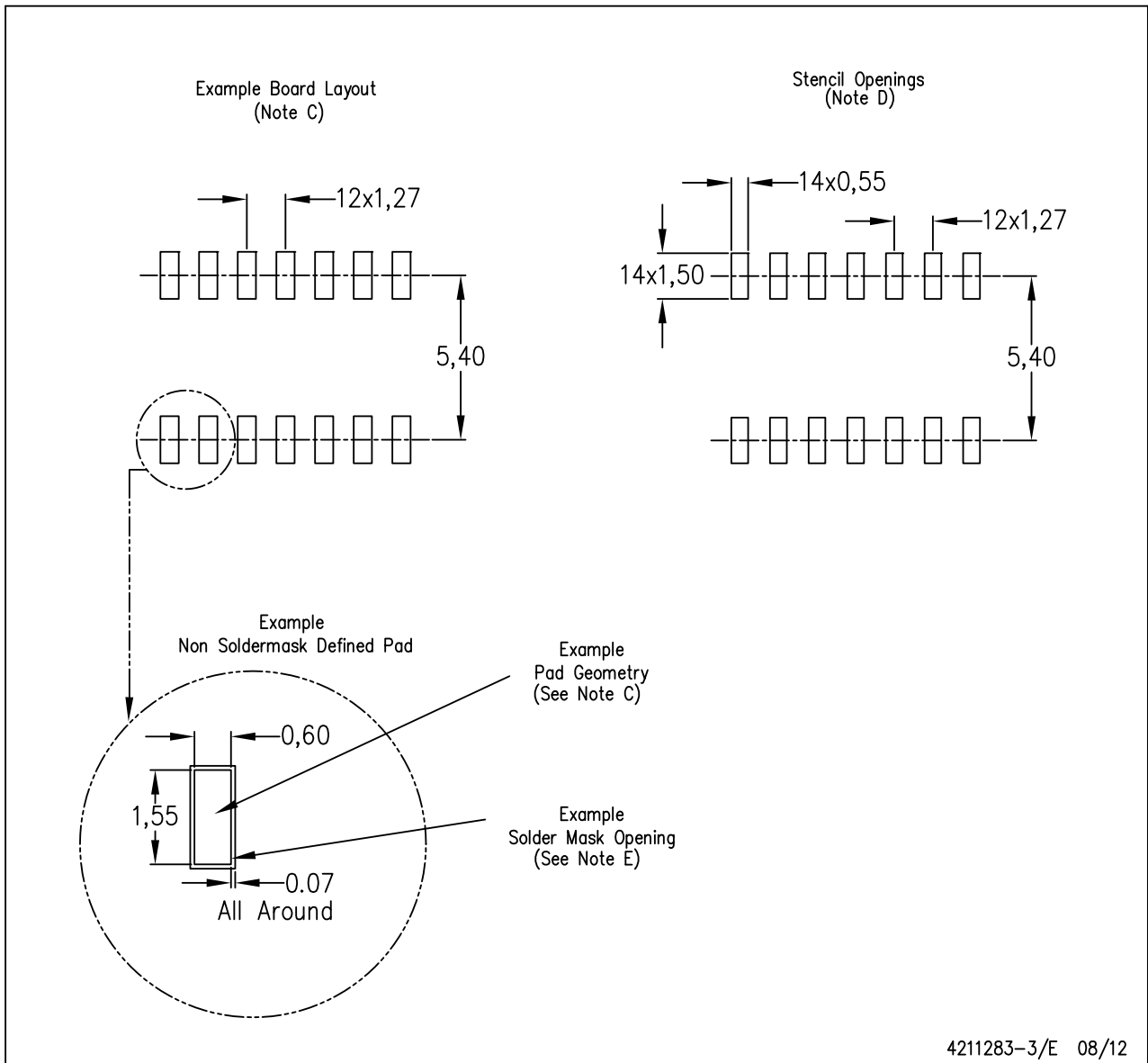


- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - Reference JEDEC MS-012 variation AB.

LAND PATTERN DATA

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE

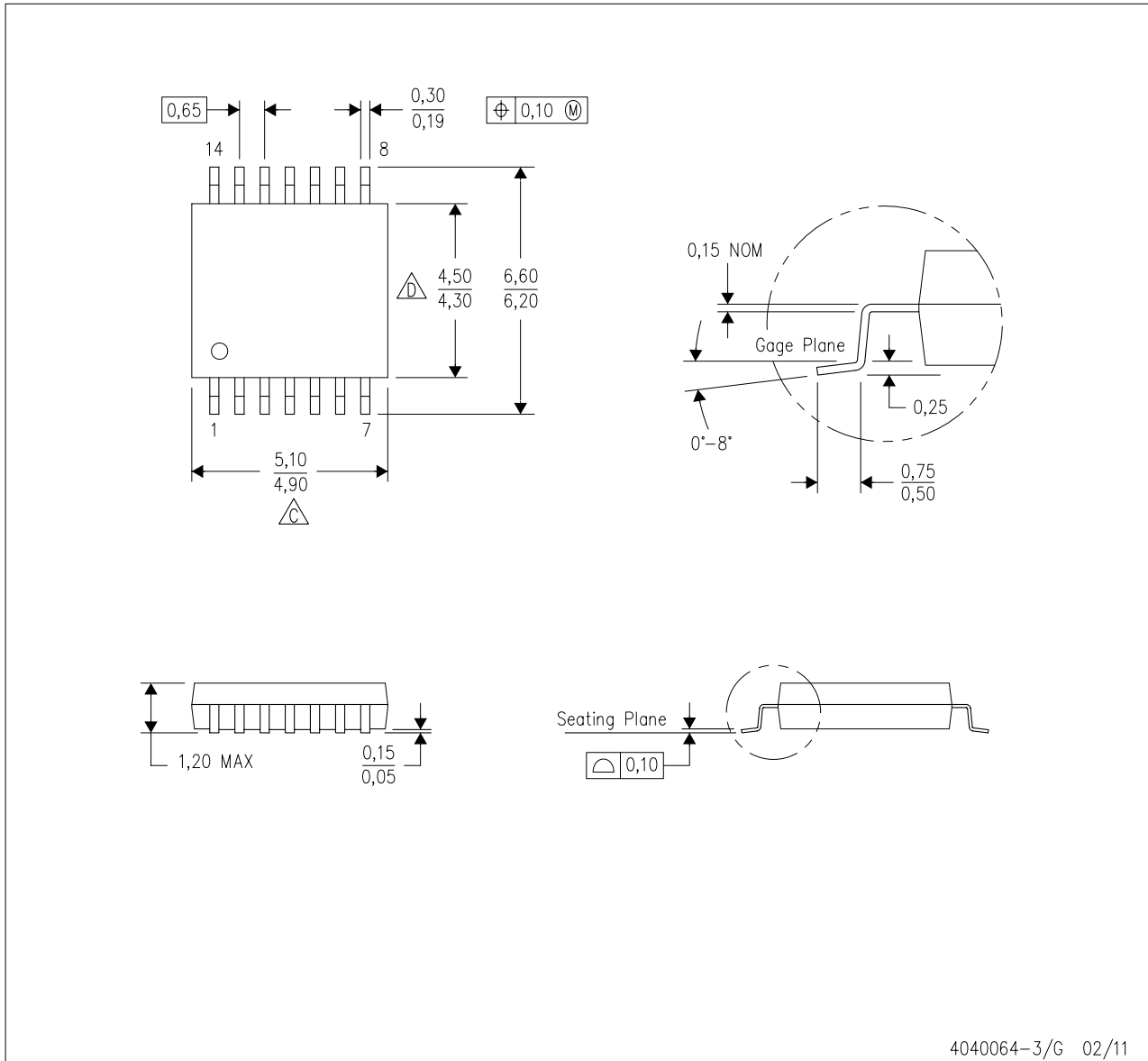




- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

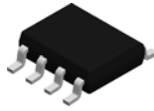
MECHANICAL DATA

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



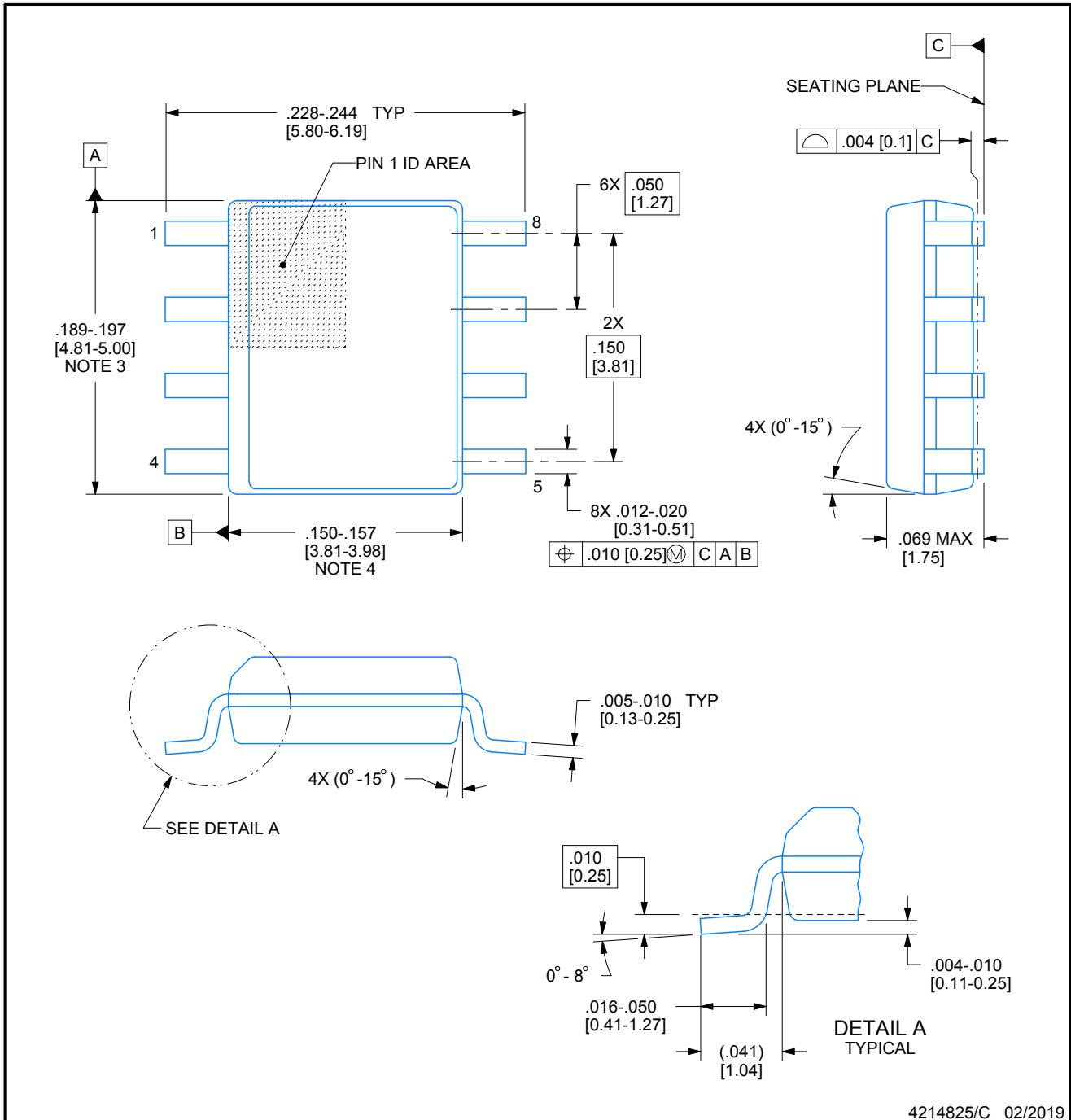
- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 -  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 -  Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153



D0008A

PACKAGE OUTLINE
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

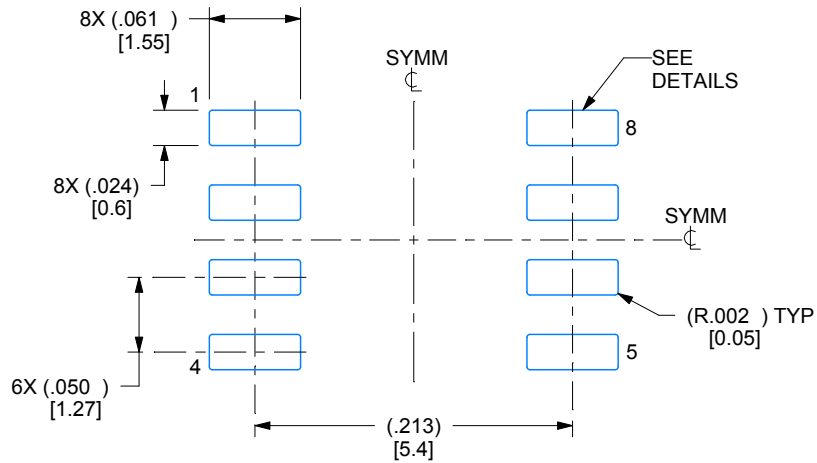
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

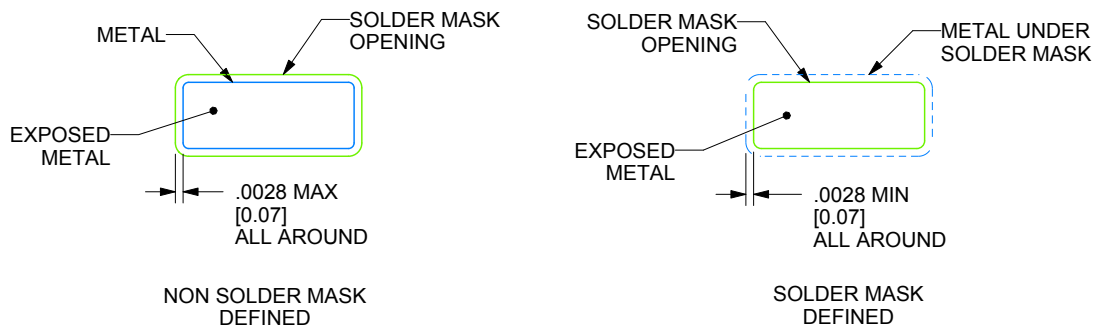
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

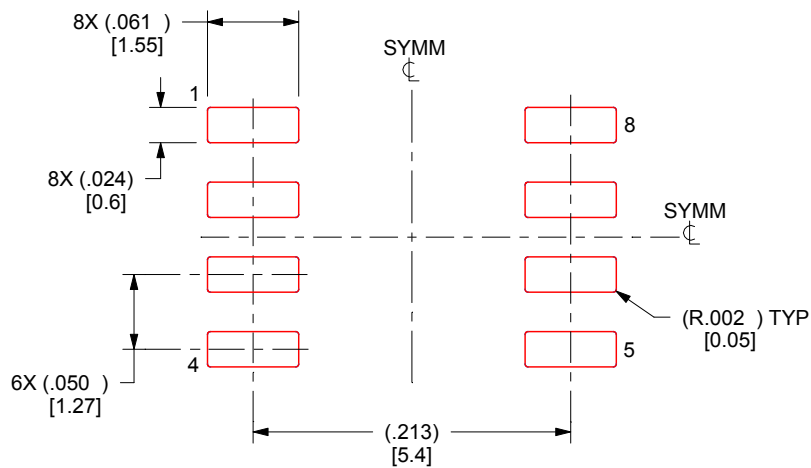
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

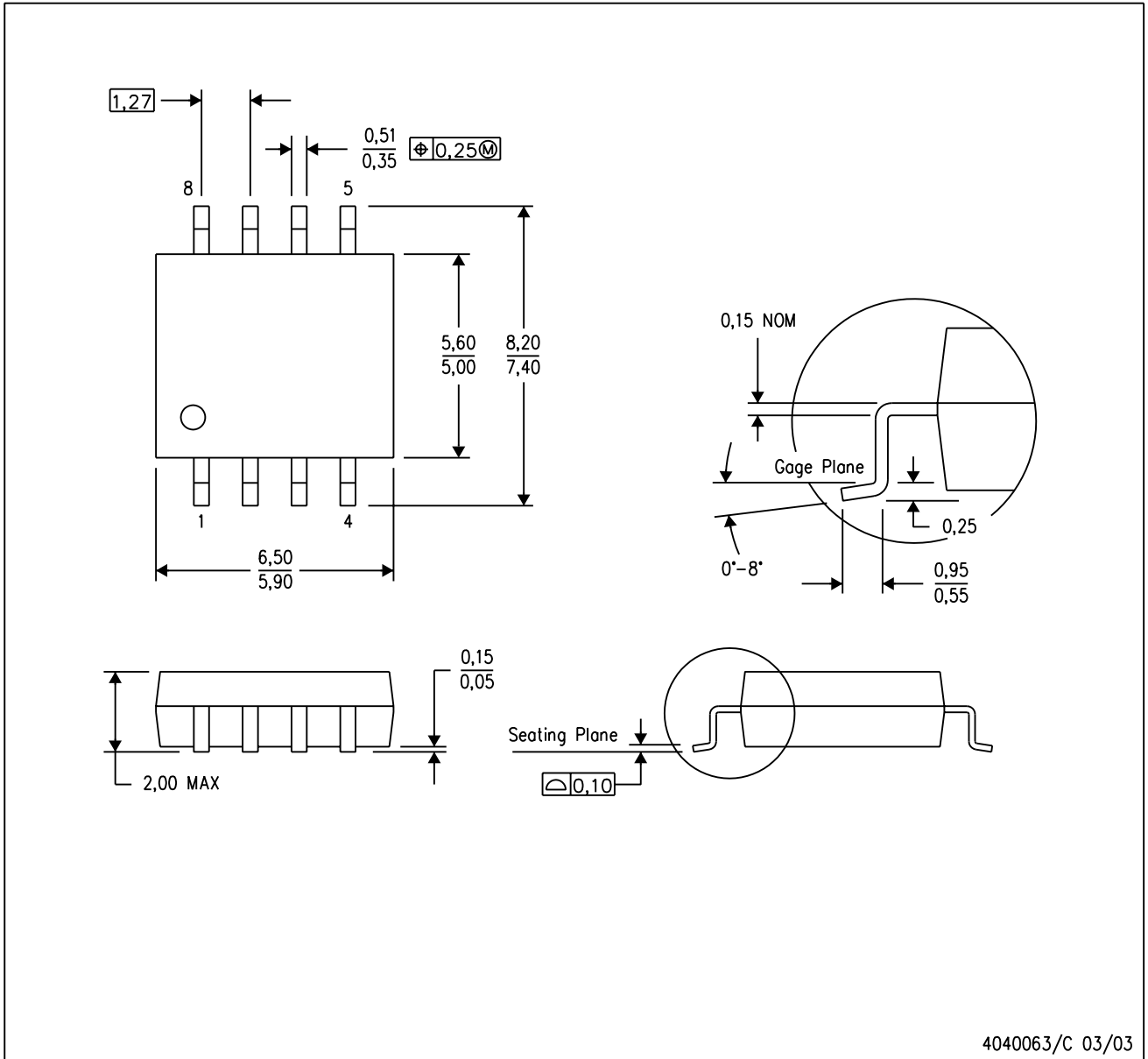
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

PS (R-PDSO-G8)

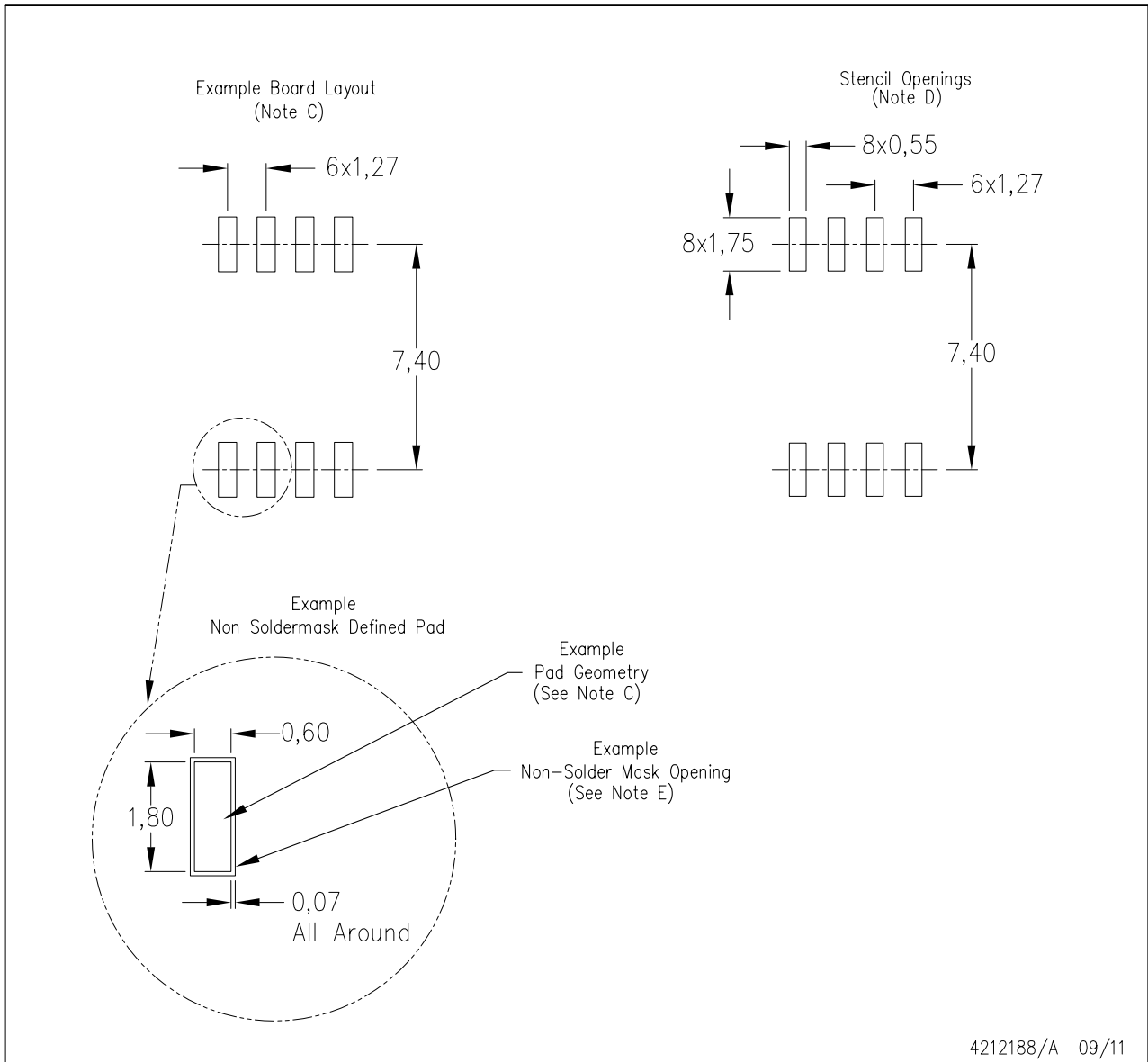
PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R-PDSO-G8)

PLASTIC SMALL OUTLINE

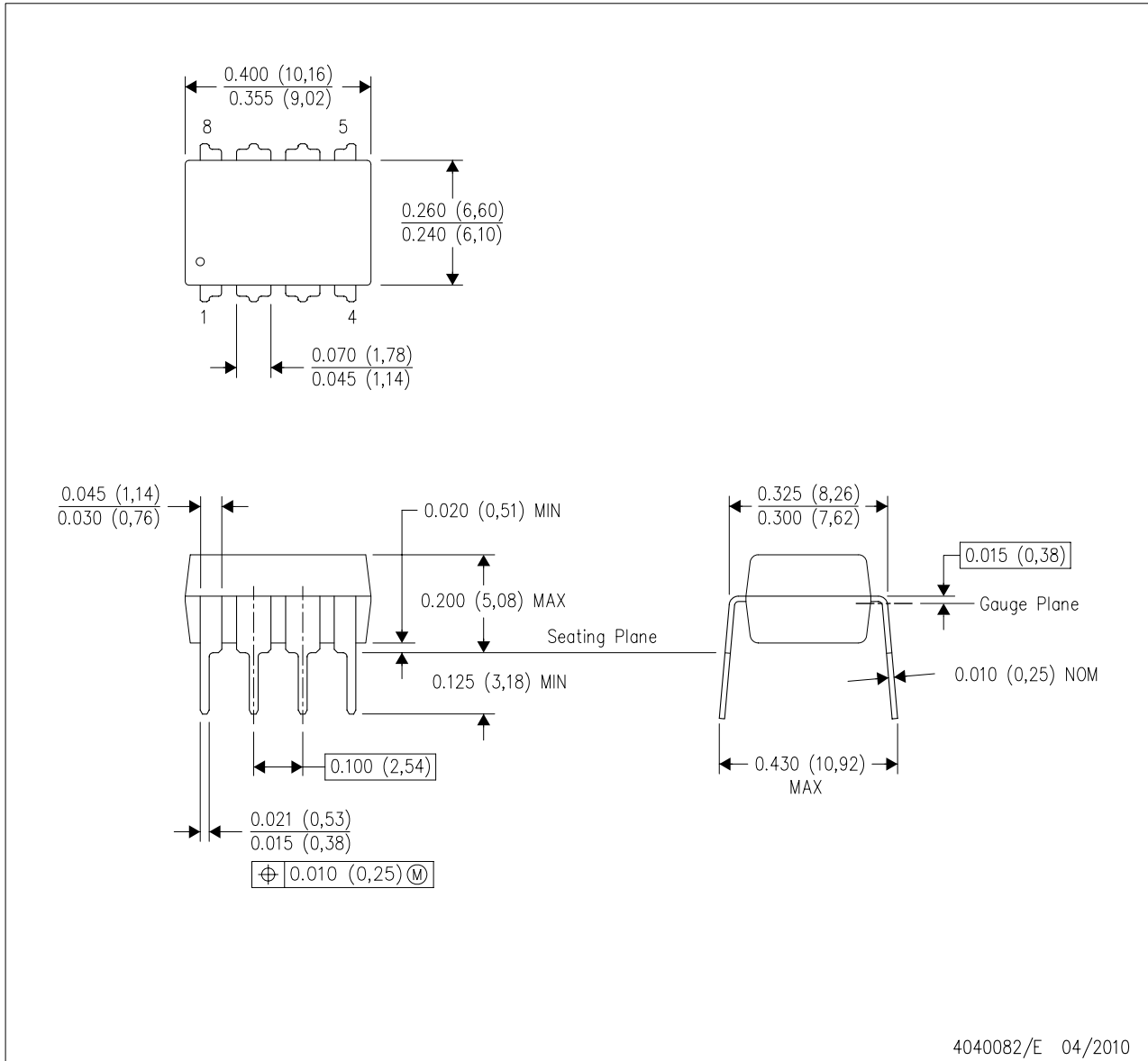


- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

MECHANICAL DATA

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



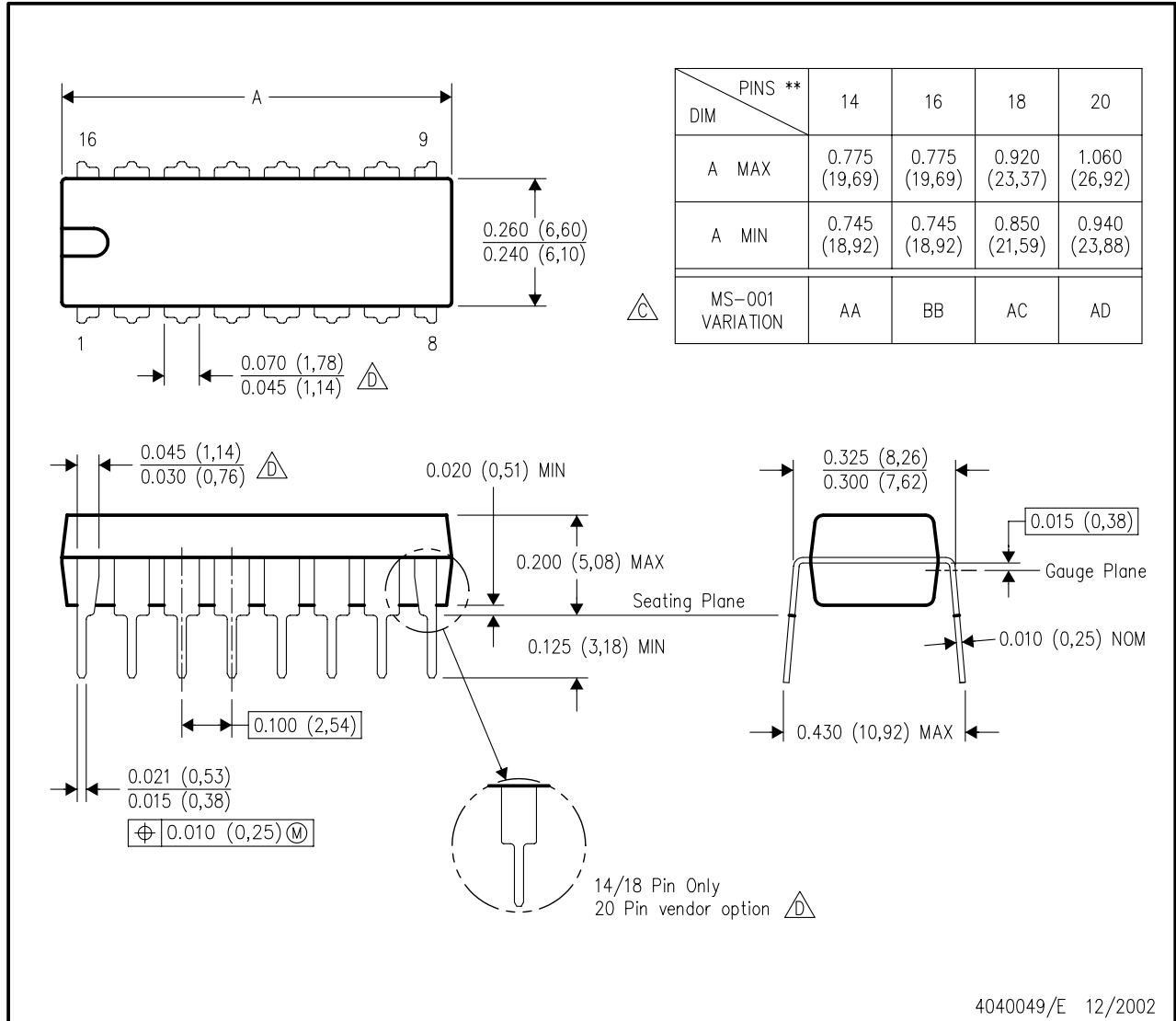
- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - Falls within JEDEC MS-001 variation BA.

MECHANICAL DATA

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



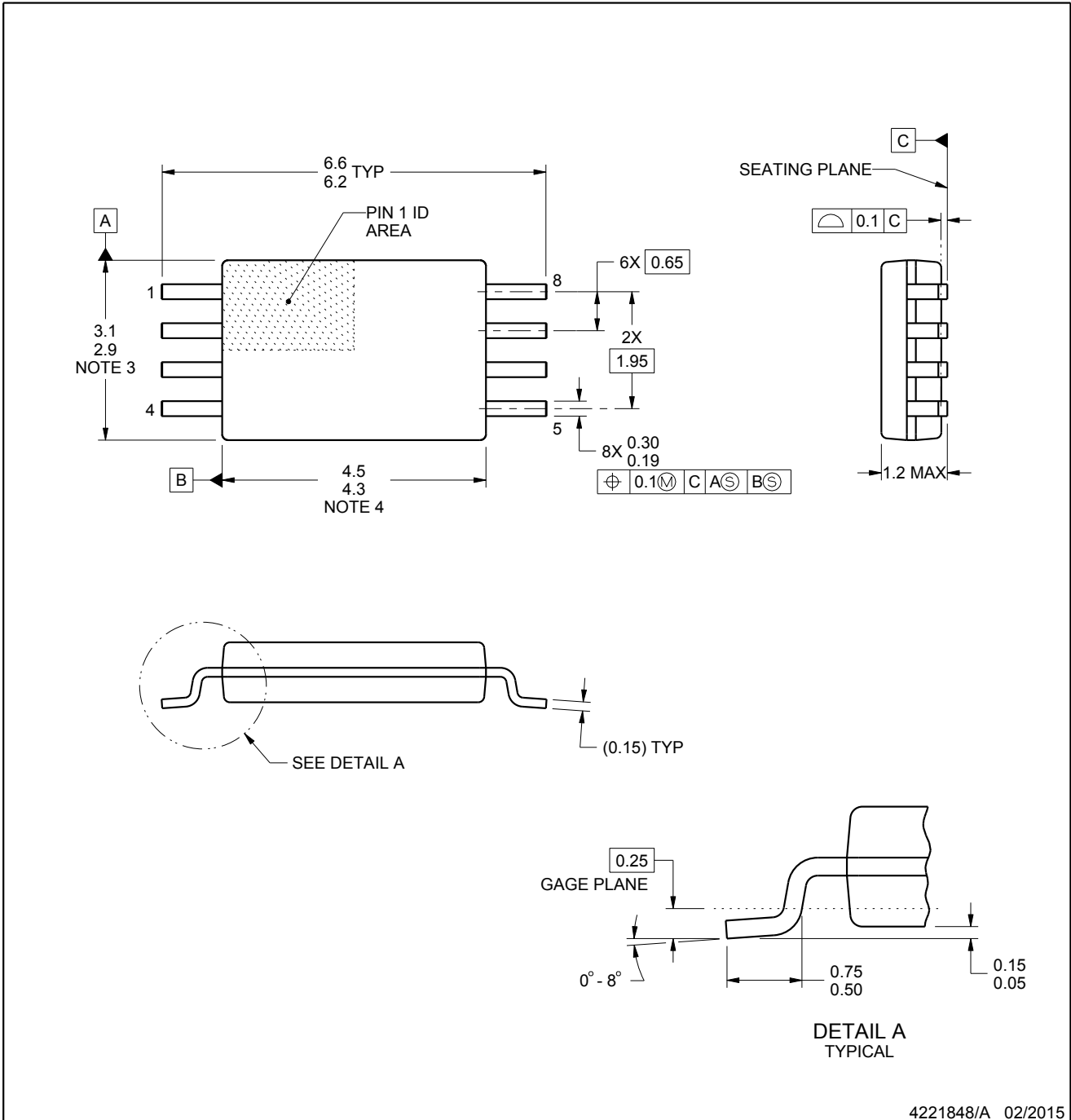
- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

PW0008A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

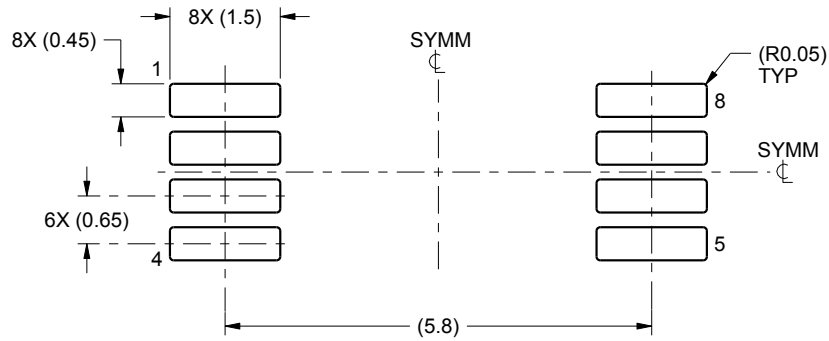
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

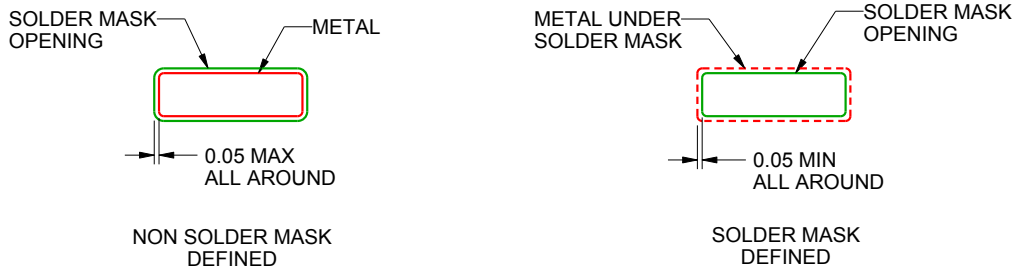
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

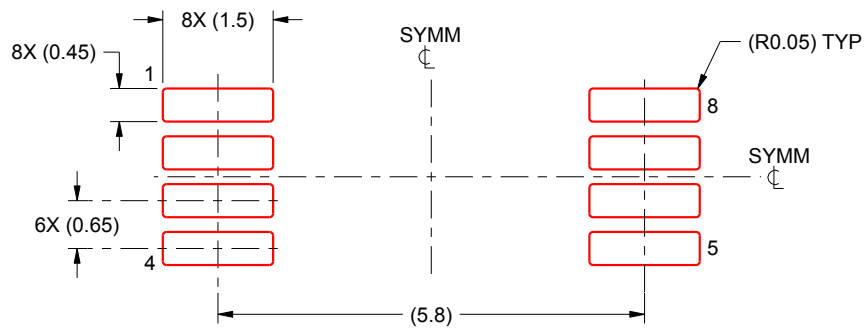
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATASHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, or other requirements. These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to TI's Terms of Sale (www.ti.com/legal/termsofsale.html) or other applicable terms available either on ti.com or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2020, Texas Instruments Incorporated