

Εθνικό Μετσόβιο Πολυτεχνείο Σχολή Εφαρμοσμένων Μαθηματικών και Φυσικών Επιστημών Τομέας Φυσικής

Αναλογικοί Ταξινομητές Χαμηλής Κατανάλωσης Ισχύος

Διπλωματική Εργασία

του

Βασίλειου Μουζάχη

Επιβλέπων: Τσουκαλάς Δημήτριος Καθηγητής Ε.Μ.Π.

Αθήνα, Σεπτέμβριος 2022



Εθνικό Μετσόβιο Πολυτεχνείο Σχολή Εφαρμοσμένων Μαθηματικών και Φυσικών Επιστημών Τομέας Φυσικής

Αναλογικοί Ταξινομητές Χαμηλής Κατανάλωσης Ισχύος

Διπλωματική Εργασία

του

Βασίλειου Μουζάχη

Επιβλέπων: Τσουχαλάς Δημήτριος Καθηγητής Ε.Μ.Π.

Τσουκαλάς Δημήτριος Καθηγητής Ε.Μ.Π.

Παύλος Π. Σωτηριάδης Καθηγητής Ε.Μ.Π.

Νεκτάριος Κοζύρης Καθηγητής Ε.Μ.Π.

Αθήνα, Σεπτέμβριος 2022

Διπλωματούχος Σχολής Εφαρμοσμένων Μαθηματικών και Φυσικών Επιστημών, Ε.Μ.Π.

Copyright © Βασίλειος Μουζάχης, 2022. Με επιφύλαξη παντός διχαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα. Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Ο σχοπός αυτής της διπλωματικής είναι η ανάπτυξη αναλογικών ταξινομητών χαμηλής κατανάλωσης και τάσης τροφοδωσίας 0.6V βασισμένων στους αλγορίθμους Naive Gaussian Bayes και Nearest Class with Multiple Centroids Classifier. Οι αρχιτεκτονικές ενός Bayesian ταξινομιτή με Gaussian συναρτήσεις πυχνότητας πιθανότητας και μία ενός Nearest Class with Multiple Centroids Classifier όπως και τα δομικά τους μέρη αναλύονται σε βάθος. Οι υλοποιήσεις αυτές παρουσιάζουν χαμηλή κατανάλωση ισχύος και τα τρανζίστορ όλα λειτουργουν στην περιοχή subthreshold. Αυτές οι καθαρά αναλογικές αρχιτεκτονικές είναι προσαρμόσιμες σε μεγάλο εύρος εφαρμογών. Ο τρόπος εκπαίδευσης, λειτουργίας και προσαρμογής τους περιγράφεται αναλυτικά. Στην διπλωματική θα παρουσιαστούν 2 διαφορετικές αρχιτεκτονικές Bump κυκλωμάτων και 2 αρχιτεκτονικες WTA κυκλωμάτων. Για την επιβεβαίωση των αρχιτεκτονικών χρησιμοποιήθηκαν δύο πραγματικά σετ δεδομένων και έγιναν οι απαραίτητες προσομοιώσεις για την ευαισθησία των κυκλωμάτων.

Λέξεις Κλειδιά: NCMCC,K-means, Bayesian Classifier, analog hardware architecture, on-chip classification, Ultra-low power design, Bump circuit, Gaussian function circuit, subthreshold region, Winner-Take-All circuit.

Ευχαριστίες

Η ολοκλήρωση της παρούσας Διπλωματικής Εργασίας σηματοδοτεί και την ολοκλήρωση των προπτυχιακών μου σπουδών. Στο σημείο αυτό θα ήθελα να ευχαριστήσω την οικογένειά μου, τους φίλους μου και τους ανθρώπους που στάθηκαν δίπλα μου σε αυτό το κομμάτι της ζωής μου.

Θα ήθελα να ευχαριστήσω τους επιβλέποντες καθηγητές μου, κ. Δημήτριο Τσουκαλά και κ. Παύλο Πέτρο Σωτηριάδη για την πολύτιμη καθοδήγησή τους, τις συμβουλές τους καθώς και το πραγματικό ενδιαφέρον που επέδειξαν για μένα ως φοιτητή και για το αντικείμενο της Διπλωματικής μου Εργασίας. Μου δόθηκε έτσι η πολύτιμη ευκαιρία να ασχοληθώ με ένα ιδιαίτερα ενδιαφέρον ερευνητικό θέμα σε ένα πολύ υποστηρικτικό περιβάλλον.

Επίσης θα ήθελα να ευχαριστήσω ιδιαίτερα τους συνεργάτες και φίλους, υποψήφιους διδάκτορες Βασίλειο Αλιμήση και Γεώργιο Γέννη για την ανεκτίμητη βοήθεια και καθοδήγηση που μου πρόσφεραν σε καθημερινή βάση. Η υλοποίηση της διπλωματικής εργασίας και η δημοσίευση που προέκυψε από αυτήν, σε μεγάλο μέρος οφείλεται σε αυτούς. Μαζί τους συγκροτήθηκε μια ξεχωριστή ομάδα με άριστη συνεργασία η οποία συνέβαλε καθοριστικά στην ολοκλήρωση της εργασίας αυτής.

Τέλος θα ήθελα να ευχαριστήσω ιδιαίτερα την οικογένεια μου και τους φίλους μου, που στις δυσκολίες που εμφανίστηκαν κατά την διάρκεια εκπόνησης της εργασίας, στάθηκαν πραγματικά δίπλα μου και με στήριξαν ώστε να μπορέσω να συνεχίσω. Μάλιστα συνεχίζουν ακόμα να υποστηρίζουν κάθε απόφαση που παίρνω με την εμπιστοσύνη τους και την πίστη τους στις ικανότητες μου.

Μουζάχης Βασίλειος, Σεπτέμβριος 2022

Περιεχόμενα

	ερίληψη		5
	υχαριστίες		7
	υρετήριο Εικόνων		11
1]	σαγωγή		13
]	Analog Computing		13
1	Μηχανική Μάθηση με Αναλογικά Κυκλώματα		14
]	Hardware Machine Learning Αρχιτεκτονικές	 •	15
2]	ιχανική Μάθηση		17
4	Ανάλυση Συστάδων	 •	17
2	Naive Bayesian Classifier		20
2	Nearest Centroid methods	 •	23
3]	σικά κυκλώματα		27
	Bump κυκλώματα	 •	27
	3.1.1 Cascode Bump		33
	Winner-take-all		37
	3.2.1 Cascaded Winner-take-all		39
	Περιορισμοί των χυχλωμάτων		42
ę	Αναλογικός Μπεϋζιανός Ταξινομητής		42
ę	Αναλογικός Ταξινομητής Βασισμένος στο NCMCC		43
ę	Εξαγωγή Παραμέτρων		44
	3.6.1 Εκπαίδευση		44

4	Εφα	χρμογές και Προσομοιώσεις	45
	4.1	Ανίχνευση Καρδιοπαθείας	45
		4.1.1 Επίδοση του Αναλογιχού Ταξινομητή	45
	4.2	Εκτίμηση Κατάστασης Αναισθησίας από Εγκεφαλογράφημα	46
		4.2.1 Γενική Αναισθησία	46
		4.2.2 Αποτελέσματα προσομοιώσεων και επίδοση	49
5	Συį	ιπεράσματα και Μελλοντική Δ ουλειά	53

Ευρετήριο Ειχόνων

2.1	Ενα παράδειγμα δισδιάστατων δεδομένων που έχουν ταξινομηθεί με ιεραργικό τρόπο	18
2.2	Ενα παράδειγμα δισδιάστατων δεδομένων που έχουν ταξινομηθεί με ομαδοτοίηση με βάση τα νάμτρα	10
2.3	με ομαδοποίηση με ράση τα χεντρά	20
2.4	Ένα παράδειγμα για το πως φαίνονται τα δεδομένα σε δύο δι- αστάσεις ταξινομημένα με ένα Naive Gaussian bayes ταξινομητή. Όπως φαίνεται, ο αλγόριθμος έχει θεωρήσει τις κλάσεις γκαου-	20
	σιανές και φαίνονται σαν δίσκοι στις δύο διαστάσεις.	23
3.1	Το χύχλωμα του current correlator	28
3.2	Το χύχλωμα του συμμετριχού current correlator	31
3.3	Το χύχλωμα του απλού διαφοριχού ζεύγους, με δύο φορτία M_{p_1} και M_{p_2} ως αναφορά.	32
3.4	Delbruck's Simple Bump. Η τάση Vm και το ρεύμα πόλωσης Ibias ελέγ- χουν την μέση τιμή και το ύψος της Γκαουσιανής	0.4
	εξόδου lout	34
3.5	Η έξοδος του bump (συγκεκριμένα του cascode), όπως μεταβάλ-	35
36	Hécologi tou Cascoda Bump yug $L_{1} = 16m A y g V = V = 0V$	35
0.0 9.7	If equivalent the second seco	00
0.1	(4 πάνω: Παραμετρικές προσομοίωσεις, ως προς το V_r (μεταρολή μέσης τιμής), του ρεύματος εξόδου του <i>Cascode Bump</i> , για $V_c = 300$ mV και (αριστερά) $I_{bias} = 16nA$ (δεξιά) $I_{bias} = 1nA$. 4 κάτω: Παραμετρικές προσομοιώσεις, ως προς το V_c (μεταβολή διασποράς), του ρεύματος εξόδου του <i>Cascode Bump</i> , για $V_r =$	
	$0V$ και (αριστερά) $I_{bias} = 16nA$ (δεξιά) $I_{bias} = 1nA$.	36

$E\Upsilon PETHPIO \; EIKON\Omega N$

3.8	Η πρώτη τοπολογία bump με διαφορική διαφορά. Αυτό το κύκλ-	37
3.9	Το cascode bump κύκλωμα. Επιτρέπει ρύθμιση παραμέτρων κα- θώς έχει την διαφορική διαφορά αλλά φέρει και ένα συμμετρικό current correlator που έχει ως αποτέλεσμα ακόμα πιο συμμετρικές	01
	εξόδους	38
3.10	Οι winner takes all νευρώνες. Το δεξιά είναι υλοποιημένο από	
0.11	pmos τρανζίστορ και το αριστερά από nmos τρανζίστορ	39
3.11	Η διασύνδεση πολλών εισόδων στο wta. Όπως φαίνεται, οι	10
9 10	νευρώνες είναι συνδεδεμένοι στο ίδιο ρευμα πολωσής.	40
3.12	H οιασυνοεσή των wta σε μορφή block \dots \dots \dots \dots	40
3.13	Η συνοεσή συστηματών ψτα με χασχοοιχο τροπο. Φαινεται οτι	11
3.14	τα ππος ψτα συνδεονται στα pmos και το αντιθετό Μία τροποποιημένη μορφή ψτα κυκλώματος με την προσθήκη του φορτίου Mn1. Αυτή η τροποποίηση έχει ως αποτέλεσμα την μείωση της γραμμικής περιοχής περισσότερο απότι το απλό wta. Μάλιστα η κασκοδική σύνδεση αυτής της τοπολογίας φέρει ακόμα καλύτερα αποτελέσματα	41
4 1		
4.1	Ένα διαγραμμα που δειχνει την διαχυμανση της αχριβειας του	46
4.2	Η εικόνα δείχνει ένα συνολικό block diagram του αναλογικού ταξινομητή. Για N=11 διαστάσεις θα είναι 11 κοσκοδικά bump	10
	τα οποία έχουν έξοδο σε 3 κασκοδικά WTA.	47
4.3	Σε block μορφή ο αναλογικός classifier του συστήματος της	
	κατηγοριοποίησης του βάθους αναισθησίας	49
4.4	Η cascode διασύνδεση των wta με gradient μείωση εξόδου	49
4.5	Layout του NCMCC ταξινομητή, για την κατηγοριοποίηση της	
	κατάστασης αναισθησίας	49
4.6	Ιστόγραμμα με τα αποτελέσματα των προσομοιώσεων. Φαίνεται	
	ότι το αναλογικό κύκλωμα έχει μέση ακρίβεια στην περιοχή του	-
4 17	84%- $85%$ xai to software oto $80%$.	50
4.1	Τα αποτελεσματά του monte carlo. Το χυχλωμα φαινεται να εχει	
	PVT $Production PVT$ PVT $Production PVT$ PVT	
	τ γ τ. παρόλα αυτά υλαρχούν πόλο λιγες περιπτωσεις που το χύχλωμα δεν απέδωσε με τον αναμενόμενο τοόπο	51
4.8	Η επίδοση του ταξινουητή σε ένα άγγωστο dataset μίας ολόγλησης	01
1.0	επέμβασης ανά 10 δευτερόλεπτα.	51

12

Chapter 1

Εισαγωγή

1.1 Analog Computing

Το ΙοΤ έχει σαν στόχο να επιτρέπει την αυτόνομη ανταλλαγή χρήσιμων πληροφοριών μεταξύ διαφορετικών συσκευών του πραγματικού κόσμου [1]. Οι ΙοΤ συσκευές αυξάνονται εκθετικά, με πολυάριθμες εφαρμογές στην υγειονομική περίθαλψη, τον αυτοματισμό, τις φορητές συσκευές και πολλές άλλες [2]. Παράλληλα όμως, αυξάνονται και οι απαιτήσεις αυτών των συστημάτων τόσο σε υπολογιστική ισχύ όσο και σε μειωμένη επιφάνεια [3]. Για αυτό τον λόγο, ειδικά υπολογιστικά συστήματα, επιταχυντές, όπως GPUs, Field-Programmable Gate Arrays (FPGAs) ή Digital ASICs είδη αντικαθιστούν τα παραδοσιακά υπολογιστικά συστήματα [4–8].

Ένας μεγάλος τομέας του ΙοΤ είναι τα smart sensor συστήματα για φορητές συσκευές, οι οποίες εξάγουν πληροφορία από το περιβάλλον συνεχώς. Ωστόσο, η ανάγκη απρόσκοπτης λειτουργίας με μπαταρία λιθίου ή χρήσης συλλέκτη ενέργειας θέτει περιορισμούς; η εξ ολοκλήρου ψηφιακή επεξεργασία σήματος και η ψηφιακή εξαγωγή συμπερασμάτων απαιτούν μεγάλα ποσά ενέργειας. Έτσι, οι παραδοσιακοί ψηφιακοί επεξεργαστές αγωνίζονται να παράσχουν την απαιτούμενη απόδοση δεδομένων των περιορισμών ισχύος και περιοχής [9]. Για να αυξηθεί η αυτονομία των φορητών συσκευών η συνολική κατανάλωση ενέργειας πρέπει να μειωθεί. Ένας πολλά υποσχόμενος υποψήφιος για την άμβλυνση αυτού του περιορισμού είναι η χρήση αναλογικών υπολογιστικών μονάδων. Τα αναλογικά κυκλώματα, γενικά, προσφέρουν υψηλές υπολογιστικές ικανότητες με πολύ μειωμένες ενεργειακές απαιτήσεις. Μερικά παραδείγματα πλήρως αναλογικών κυκλωμάτων [10, 11]. Η κατανάλωση των αναλογικών κυκλωμάτων μπορεί να μειωθεί περαιτέρω με την λειτουργία τους στην sub-threshold περιοχή [12]. Σε αυτή την περίπτωση, η μείωση της τάσης τροφοδοσίας σε πολύ χαμηλά επίπεδα (και λιγότερο από 1V) οδηγεί στην δυνατότητα πόλωσης των τρανζίστορ με ρεύματα της τάξεως των nano-Ampere. Αυτός ο συνδυασμός μειώνει σημαντικά την κατανάλωση των κυκλωμάτων που λειτουργούν στην sub-threshold περιοχή. Τα ρεύματα των τρανζίστορ σε αυτήν την περιοχή είναι εκθετικά ως προς τις τάσεις που εφαρμόζονται στο τρανζίστορ και δίνονται από τις σχέσεις:

$$I_{pmos} = I_{o_p} e^{\kappa_p (V_w - V_G)/V_T} \left(e^{(V_S - V_w)/V_T} - e^{(V_D - V_w)/V_T} \right), \tag{1.1}$$

$$I_{nmos} = I_{o_n} e^{\kappa_n (V_G - V_w)/V_T} \left(e^{(V_w - V_S)/V_T} - e^{(V_w - V_D)/V_T} \right).$$
(1.2)

Εδώ, κ_p και κ_n είναι οι συντελεστές κλίσης για τα τρανζίστορ PMOS και NMOS, αντίστοιχα, τα V_G , V_S , V_D και V_w είναι η τάση πύλης, η τάση πηγής, η τάση υποδοχής και η τάση σώματος, αντίστοιχα, V_T είναι η θερμική τάση και I_{o_p} και I_{o_n} είναι τα χαρακτηριστικά ρεύματα (προεκθετικό ρεύμα) για τρανζίστορ PMOS και NMOS, αντίστοιχα [13]. Αυτή η σχέση δίνει την δυνατότητα κατασκευής διαφορετικών διατάξεων, σε σχέση με τα κυκλώματα που λειτουργούν σε above threshold περιοχές, όπως κυκλώματα βασισμένα στο Translinear Principle [14, 15] και άλλα [12, 16].

Μηχανική Μάθηση με Αναλογικά Κυκλώματα

Ο σχεδιασμός μηχανών που θα μπορούσαν να αναπτύξουν τη δική τους νοημοσύνη ήταν ένα από τα μεγαλύτερα όνειρα της ανθρωπότητας και μια από τις μεγαλύτερες επιστημονικές και τεχνολογικές προκλήσεις του περασμένου αιώνα. Ως ML ορίζεται η μελέτη αλγορίθμων και στατιστικών μοντέλων που χρησιμοποιούνται για την επιτυχή εκτέλεση εργασιών χωρίς να έχουν προγραμματιστεί ρητά να το κάνουν [17, 18]. Η προσέγγιση της μηχανικής μάθησης επιτρέπει στα προγράμματα υπολογιστών να δημιουργούν νέα γνώση χωρίς ένα συγκεκριμένο σύνολο εντολών, αλλά χρησιμοποιώντας ένα σύνολο δειγμάτων δεδομένων και εξάγοντας χρήσιμα μοτίβα από αυτό. Αυτή η γενίκευση γνώσης πραγματοποιείται χωρίς ανθρώπινη παρέμβαση και έχει ως αποτέλεσμα την αποτελεσματική πρόβλεψη ή ταξινόμηση νέων πληροφοριών από το σύστημα μηχανικής μάθησης. Το ML χρησιμοποιείται ως θεμελιώδες εργαλείο σε πληθώρα εφαρμογών στον σύγχρονο κόσμο, που χυμαίνονται από βιοϊατρικές εφαρμογές [19] έως αναγνώριση ομιλίας [20], αυτόνομη οδήγηση [21] και χρηματιστηριακές συναλλαγές [22]. Πολλές από αυτές τις εφαρμογές είναι για ΙοΤ συστήματα. Οι αλγόριθμοι μηχανικής μάθησης παραδοσιακά υλοποιούνται εξ ολοκλήρου σε λογισμικό. Ωστόσο, ο όγκος των δεδομένων που απαιτούνται από τις ΙοΤ εφαρμογές που χρησιμοποιούν ML συστήματα αυξάνεται σταθερά τα τελευταία χρόνια. Καθώς οι εργασίες ML περιλαμβάνουν τεράστιο όγκο υπολογισμών, οι αλγόριθμοι ML γίνονται όλο και πιο απαιτητικοί στη μνήμη και στους υπολογιστικούς πόρους [23,24]. Συνεπώς, εδώ η ανάγκη για επιταχυντές είναι ακόμα μεγαλύτερη και τα οφέλη των αναλογικών υλοποιήσεων είναι σχεδόν απαραίτητα. Πολλές από τις εφαρμογές ML που περιγράφονται παραπάνω απαιτούν υπολογισμό σε πραγματικό χρόνο. Η χαμηλού κόστους επεξεργασία πληροφοριών στο τσιπ χωρίς την ανάγκη μεταφοράς δεδομένων ενισχύει σημαντικά την ανάπτυξη έξυπνων και αυτόνομων ΙοΤ συστημάτων χαμηλής καθυστέρησης και μεγάλης διάρκειας μπαταρίας [25,26].

1.3 Hardware Machine Learning Αρχιτεκτονικές

Όλο και πιο δημοφιλείς γίνονται αρχιτεκτονικές που βασίζονται σε Field-Programmable Gate Arrays (FPGA) σε ότι αφορά δίκτυα Deep learning και επιταχυντές hardware. [27] Επιπλέον υπάρχουν προσεγγίσεις που αφορούν mixed signal αρχιτεκτονικές και αποκλειστικά αναλογικές προσεγγίσεις σε ολοκληρωμένα κυκλώματα (IC).

Οι πλήρως αναλογικές αρχιτεκτονικές φέρουν το μεγάλο πλεονεκτήματα ότι έχουν πολύ μικρότερη κατανάλωση σε σχέση με τις ψηφιακές, πολύ μικρότερη κλίμακα και φέρουν δυνατότητες πολλών παράλληλων υπολογισμών . Ο τρόπος που λειτουργούν γενικά είναι ότι προσομοιώνουν τις μαθηματικές εξισώσεις που βρίσκονται πίσω από τα μοντέλα μέσα από τις φυσικές ιδιότητες των τρανζίστορ [28–30].

Τα τελευταία χρόνια μάλιστα έχει γίνει εκτενής έρευνα πάνω στην αναλογική υλοποίηση συστημάτων μηχανικής μάθησης. Συγκεκριμένα πάνω στην υλοποίηση Artificial Neural Networks [31–33]. Παραδοσιακές αρχιτεκτονικές αναλογικών VLSI έχουν χρησιμοποιηθεί για την υλοποίηση νευρώνων και συνάψεων. Επιπλέον αλγόριθμοι εκπαίδευσης όπως είναι οι back propagation [34, 35] και weight perturbation [36–39] έχουν και αυτοί υλοποιηθεί σε hardware. Παρόλα αυτά, η επίδοση τους είναι σημαντικά χαμηλότερη από τις software υπολοιήσεις.

Μία πολλά υποσχόμενη προσέγγιση στην υλοποίηση on hardware Neural Networks είναι η υλοποίηση neuromorphic συστημάτων [40, 41]. Αυτά

αποτελούνται από αναλογικά spike based κυκλώματα που προσομοιώνουν νευρώνες και συνάψεις που μιμούνται την λειτουργία του ανθρώπινου εγκεφάλου με ψηφιαχά πρωτόχολλα επιχοινωνίας Address Event Representation (AER) [42-45]. Neuromorphic αρχιτεκτονικές χρησιμοποιούν Spike-Timing-Dependent-Plasticity Rules (STDP) και έτσι πραγματοποιούν Spiking Neural Networks(SNNs) κατευθείαν σε hardware. [46] Neuromorphic συστήματα συχνά αξιοποιούν διατάξεις από memristor που είναι μη γραμμικές μη πτητικές μνήμες. Τα memristor προγραμματίζονται με αναλογικό τρόπο και μπορούν να αποθηκεύουν τις παραμέτρους των δικτύων. [47-50] Μεγάλης κλίμακας αναλογικά neuromorphic τσιπ έχουν ήδη πραγματοποιηθεί [51–53]. Πέρα από αρχιτεκτονικές που πραγματοποιούν νευρωνικά δίκτυα γενικού σκοπού, έχουν υλοποιηθεί επίσης αναλογικές τοπολογίες πιο ειδικού σκοπού για αναγνώριση αντικειμένων [54,55] και αναλογικές αρχιτεκτονικές K-means clustering [56,57], Radial Basis Function(RBF), νευρωνικά δίκτυα [58], RBF classifiers [59], Support Vector Machine αλγορίθμους [60–64] και Support Vector Regression για προσεγγιστικούς υπολογισμούς [65].

Chapter 2

Μηχανική Μάθηση

Σε αυτό το κεφάλαιο αναλύονται οι διαδικασίες ταξινόμισης δεδομένων σε συστάδες (clusters). Συγκεκριμένα περιγράφονται σύντομα οι τεχνικές ομαδοποίησης αλλά και αλγόριθμοι με τους οποίους επιτυγχάνεται ταξινόμηση.

2.1 Ανάλυση Συστάδων

Η ανάλυση συστάδων (cluster analysis) αφορά εν γένη την κατηγοριοποίηση δεδομένων με τέτοιο τρόπο ώστε να διαμορφώνουν συστάδες (clusters). Τα δεδομένα κάθε συστάδας παρουσιάζουν μία ομοιότητα μεταξύ τους σε σχέση με τα δεδομένα άλλης συστάδας. [66]

Υπάρχουν διάφοροι αλγόριθμοι που υλοποιούν τέτοιες διαδικασίες. Οι αλγόριθμοι αυτοί κατηγοριοποιούνται σε αλγοριθμους ιεραρχικής ομαδοποίησης (hierarchical clustering) αλγόριθμοι ομαδοποίησης με βάση τα κέντρα (centroid based clustering) αλγόριθμοι με ομαδοποίησης με βάση κατανομές (distribution based algorithms) και άλλους τύπους αλγορίθμων.

Αλγοριθμοι ιεραρχικής ομαδοποίησης

Αλγόριθμοι ιεραρχικής ομαδοποίησης γενικά αφορούν αλγορίθμους κοντινότερου γείτονα. Συγκεκριμένα σε αυτούς του τύπους αλγορίθμου τα δεδομένα κατηγοριοποιούνται βάση την σχέση που φέρουν μεταξύ τους, ως προς μία ή περισσότερες μετρικές του χώρου που ανήκουν. Πιο συνηθισμένες είναι οι περιπτώσεις της ευκλείδειας μετρικής ή της μετρικής Manhattan. Παραδείγματα τέτοιων αλγορίθμων είναι η μέθοδος κοντινότερου γείτονα, η μέθοδος πλήρους σύνδεσης (complete link), μέσης σύνδεσης (average link) η μέθοδος McQuitty και άλλες μέθοδοι [67].



Figure 2.1: Ενα παράδειγμα δισδιάστατων δεδομένων που έχουν ταξινομηθεί με ιεραρχικό τρόπο

Αλγόριθμοι ομαδοποίησης με βάση τα χέντρα

Αλγόριθμοι ομαδοποίησης με βάση τα κέντρα, γενικά αφορούν αλγόριθμους κοντινότερου κέντρου. Σε αυτούς τους αλγόριθμους ουσιαστικά, κάθε συστάδα αντιπροσωπεύεται από ένα διάνυσμα που αντιστοιχίζεται στο "κέντρο" της συστάδας. Συνεπώς K συστάδες αντιπροσωπεύονται από K διανύσματα. Το διάνυσμα του κέντρου μπορεί να αντιπροσωπεύει κάποια μέση τιμή ως προς κάποια μετρική του χώρου που διαμορφώνουν τα δεδομένα. Αυτή μπορεί να είναι η μέση τιμή των δεδομένων της συστάδας ως προς την μετρική Manhattan ή την ευκλείδεια μετρική ή κάποια άλλη μετρική. Ο αλγόριθμος που διαμορφώνει τα κέντρα κάθε συστάδας, είναι μία διαδικασία κατά την οποία η θέση του διανύσματος κέντρου βελτιστοποιείται στον χώρο των δεδομένων σε κάθε βήμα με βάση τα δεδομένα της συστάδας. Στην πιο γενική και απλή περίπτωση

2.1. ΑΝΑΛΥΣΗ ΣΥΣΤΑΔΩΝ

ενός τέτοιου αλγορίθμου, η διαδικασία ολοκληρώνεται όταν μετά από κάποιο βήμα δεν μεταβληθεί παραπάνω η θέση του διανύσματος κέντρου στον χώρο. Παραδείγματα τέτοιων αλγορίθμων είναι ο αλγόριθμος k-means, k-medoids, CLARA, CLARANS, K-harmonic-means, fuzzy c-means και άλλοι. Οι αλγόριθμοι αυτοί γενικά διαφέρουν ως προς την απόδοσή τους στη διαφορετική μορφή των δεδομένων. Για παράδειγμα ο αλγόριθμος k-harmonic means έχει μεγαλύτερη ευαισθησία στον θόρυβο, απ΄ ότι ο αλγόριθμος CLARANS. [68]



Figure 2.2: Ενα παράδειγμα δισδιάστατων δεδομένων που έχουν ταξινομηθεί με ομαδοποίηση με βάση τα κέντρα

Αλγόριθμοι ομαδοποίησης με βάση τις κατανομές

Οι αλγόριθμοι ομαδοποίησης με βάση τις κατανομές, αξιοποιούν τα μοντέλα κατανομής που ακολουθούν τα δεδομένα. Σε αυτή την περίπτωση, τα δεδομένα στο χώρο ομαδοποιούνται και κάθε συστάδα αντιπροσωπεύεται από μία κατανομή. Κατα την διαδικασία της βελτιστοποίησης, ο αλγόριθμος προσπαθεί να "καλύψει" τα δεδομένα με κάποια κατανομή όσο το δυνατόν πιο καλά. Η ομαδοποίηση των δεδομένων γίνεται με βάση την ομοιότητα των κατανομών στις οποίες ανήκει κάθε δεδομένο του χώρου. Παραδείγματα τέτοιων αλγορίθμων είναι τα Gaussian Mixture Models (GMM), ο Naive Gaussian Bayes, ο DBCLASD και πολλοί άλλοι [69, 70]. Στα μοντέλα GMM που είναι πολύ σημαντικά, ουσιαστικά οι κατανομές των δεδομένων κάθε συστάδας, προσεγγίζονται από υπέρθεση μεμονωμένων πολυδιάστατων (με βάση την διάσταση των δεδομένων) γκαουσιανών μοντέλων στο χώρο.



Figure 2.3: Ενα παράδειγμα δισδιάστατων δεδομένων που έχουν ταξινομηθεί με ομαδοποίηση με βάση κατανομές

2.2 Naive Bayesian Classifier

Ένας bayesian ταξινομητής, προσδίδει μία χλάση σε ενα διάνυσμα των δεδομένων προς ταξινόμηση με βάση το ποια χλάση είναι πιο πιθανό να ανήχει. Για να εξάγει την χλάση που ανήχει το χάθε διάνυσμα χρησιμοποιεί την πιθανότητα, το εν λόγο διάνυσμα να ανήχει σε χάθε μία από τις χλάσεις $P(\boldsymbol{X}|C) =$ $\prod_{i=0}^{n} P(X_i|C)$ όπου $\boldsymbol{X} = (X_1, X_2, ..., X_n)$ είναι διάνυσμα του χώρου και το C αντιπροσωπεύει μία χλάση. O bayesian ταξινομητής συγχεχριμένα μας δίνει την πιθανότητα εμφάνισης μιας χλάσης δεδομένου ενός διανύσματος \boldsymbol{X} . Άρα την δεσμευμένη πιθανότητα $P(C|\boldsymbol{X})$. [71]

2.2. NAIVE BAYESIAN CLASSIFIER

Bayes theorem

Σε αυτό το σημείο είναι χρήσιμο να γίνει μία αναφορά στο θεώρημα του bayes καθώς με αυτό υπολογίζεται η δεσμευμένη πιθανότητα $P(C|\mathbf{X})$. Το θεώρημα του bayes μπορεί να συνοψιστεί στην εξίσωση:

$$p(A|B) = \frac{p(A)p(B|A)}{p(B)}$$
 (2.1)

Πρακτικά αυτή η εξίσωση, δίνει την δυνατότητα υπολογισμού της πιθανότητας να πραγματοποιηθεί κάποιο γεγονός δεδομένης της γνώσης των συνθηκών που αυτό έχει συμβεί. Συγκεκριμένα, η πιθανότητα του γεγονότος Α δεδομένου του Β δίνεται από την πιθανότητα του Α επί την πιθανότητα του γεγονότος Β δεδομένου του Α δια την πιθανότητα του γεγονότος Β. [72,73]

Συνεπώς ο bayesian ταξινομητής ουσιαστικά αξιοποιεί το δεξί μέλος της 2.1. Έτσι, σε ένα δείγμα διανυσμάτων X προς ταξινόμηση σε i κλάσεις οι οποίες αντιπροσωπεύονται από τα C_j όπου $j \in [1, i]$ ενδεχόμενα αντίστοιχα, το θεώρημα bayes παίρνει την εξής μορφή:

$$p(C_j|\mathbf{X}) = \frac{p(\mathbf{X}|C_j)p(C_j)}{p(\mathbf{X})}$$
(2.2)

Όπου $P(C_j)$ είναι η πιθνότητα εμφάνισης κάθε κλάσης και το $p(\boldsymbol{X}|C_j)$ εκφράζει την συνάρτηση class-conditional probability distribution (CPD). Πιο συγκεκριμένα η CPD είναι μια συνάρτηση πυκνότητας πιθανότητας για τα δεδομένα κάθε κλάσης, και ο παραπάνω όρος μας δίνει την πιθανότητα του ενδεχομένου, το διάνυσμα \boldsymbol{X} να προέρχεται από την κλάση C_j .

Σε μία απλή περίπτωση, όπου η εμφάνιση κάθε διανύσματος του χώρου, αποτελεί ισοπίθανο ενδεχόμενο, προκύπτει $P(\mathbf{X}) = k = const.$ Οπότε σε αυτή την περίπτωση θα ισχύει:

$$p(C_j|\mathbf{X}) = \frac{p(\mathbf{X}|C_j)P(C_j)}{k}$$
(2.3)

Ο ταξινομητής αυτός τώρα για την περίπτωση ενός ενδεχομένου του δειγματιχού χώρου X = xυπολογίζει την maximum a posteriori probability (MAP) όπου

$$h(x) = \arg\max_{j}\left(\frac{p(\boldsymbol{X} = x|C_{j})P(C_{j})}{k}\right)$$
(2.4)

και το $h(x) \in [1, i]$. Αυτός ο ταξινομητής αποτελεί τον Naive Bayes ταξινομητή, την πιο απλή και γενική μορφή ενός bayesian ταξινομητή.

Naive Gaussian Classifier

Όπως είναι εμφανές από την εξίσωση 2.4, η μεγαλύτερη πρόχληση που αντιμετωπίζει ένας bayesian ταξινομητής είναι ο υπολογισμός της CPD χαθώς αυτή εξαρτάται αποχλειστιχά από την φύση των δεδομένων. Για παράδειγμα, τα δεδομένα στην περίπτωση ενός φυσιχού συστήματος μπορεί να αχολουθούν μία χατανομή poisson. Ένας ταξινομητής που διαβάζει τα δεδομένα της μέτρησης μιονίων χοσμιχής προέλευσης από έναν ανιχνευτή, προχειμένου να ταξινομήσει τις πραγματιχές μετρήσεις σε σχέση με τον θόρυβο του υποβάθρου, θα χρησιμοποιούσε μία χατανομή poisson γιατί γνωρίζουμε ότι η εμφάνηση μιονίων αχολουθεί τέτοια χατανομή. [74]

Μία πολύ απλή και γενική υπόθεση που μπορεί να γίνει είναι η χρήση μιας gaussian κατανομής ως CPD καθώς είναι αρκετά συνηθισμένο τα δεδομένα να ακολουθούν τέτοια κατανομή. Συνεπώς μία τέτοια προσέγγιση είναι αρκετά καλή τις περισσότερες φορές.

Για ενδεχόμενο X = x του δειγματικού χώρου θα ισχύει:

$$P(\mathbf{X} = x | C_j) = \prod_{n=1}^{N} \frac{1}{\sqrt{(2\pi) \cdot \sigma_{c_j,n}^2}} e^{-\frac{1}{2} \cdot \frac{(x_n - \mu_{c_j,n})^2}{\sigma_{c_j,n}^2}},$$
(2.5)

Η εξίσωση του ταξινομητή θα πάρει την μορφή:

$$h(x) = \arg(x_j) \left(\frac{\prod_{n=1}^{N} \frac{1}{\sqrt{(2\pi) \cdot \sigma_{c_j,n}^2}} e^{-\frac{1}{2} \cdot \frac{(x_n - \mu_{c_j,n})^2}{\sigma_{c_j,n}^2}} P(C_j)}{k} \right)$$
(2.6)

όπου $h(x) \in [1, i]$. [75]



Figure 2.4: Ένα παράδειγμα για το πως φαίνονται τα δεδομένα σε δύο διαστάσεις ταξινομημένα με ένα Naive Gaussian bayes ταξινομητή. Όπως φαίνεται, ο αλγόριθμος έχει θεωρήσει τις κλάσεις γκαουσιανές και φαίνονται σαν δίσκοι στις δύο διαστάσεις.

2.3 Nearest Centroid methods

Σε αυτό το μέρος θα αναλυθούν αλγόριθμοι ταξινόμησης centroid based. Θα αναλυθούν οι αλγόριθμοι Nearest Centroid που είναι ένας αλγόριθμος supervised, ο αλγόριθμος k-means που είναι ένας αλγόριθμος usupervised και ο Nearest Class with Multiple Centroids Classifier (NCMCC) που είναι ένας συνδυασμός των δύο.

Nearest Centroid

Το μοντέλο του nearest centroid classifier (ή Rocchio classifier) είναι ένας απλός αλγόριθμος που ταξινομεί τα δεδομένα με βάση το centroid που βρίσκεται πιο κοντά τους. Το centroid προσδιορίζεται από την μέση τιμή της κάθε κλάσης. Ο αλγόριθμος αυτός βρίσκει αρκετές εφαρμογές σε ανάλυση φυσικής γλώσσας [76] και σε ιατρικά προβλήματα όπως η κατηγοριοποίηση όγκων [77]

Η διαδικασία εκπαίδευσης αυτού του μοντέλου είναι απλή διαδικασία. Τα

κέντρα υπολογίζονται από την μέση τιμή

$$m_{lj} = \frac{1}{n} \sum_{i \in C_l} a_{ij}$$

για ένα συνολο δεδομένων $(a_1, y_1), (a_2, y_2), ..., (a_n, y_n)$ όπου y_i ο δείχτης χάθε χλάσης και C_i κάθε χλάση. Η κατηγοριοποίηση γίνεται με την εξίσωση

$$y_i = argmin_{l \in Y} ||m_l - a_i||$$

K-means

Το μοντέλο του K-means είναι η unsepervised έχδοση του Nearest Cetroid. Ένα σύνολο δεδομένων χατηγοριοποιείται σε K χλάσεις που αντιπροσοπεύονται από τα αντίστοιχα centroids. Συγχεχριμένα η διαδιχασία εχπαίδευσης του αλγορίθμου ξεχινάει με τον τυχαίο προσδιορισμό K centroids στον χώρο των δεδομένων $(a_1, a_2, ..., a_n)$. Στη συνέχεια για χάθε δεδομένο προσδιορίζεται μία ετιχέτα χλάσης με την εξίσωση

$$y_i = argmin_{l \in Y} ||m_l - a_i||$$

Στο επόμενο βήμα του αλγορίθμου, γίνεται επαναπροσδιορισμός των κέντρων κάθε κλάσης από τα δεδομένα που έχουν κατηγοριοποιηθεί στο προηγούμενο βήμα. Η διαδικασία της κατηγοριοποίησης σταματάει όταν σε ένα βήμα δεν αλλάξουν ετικέτα τα δεδομένα κάποιας κλάσης. Ο αλγόριθμος k-means ονομάζεται αλλιώς vector quantizer και χρησιμοποιείται για την συμπίεση δεδομένων όπως για παράδειγμα για το μέγεθος μίας εικόνας. [78] Επιπλέον βρίσκει εφαρμογές σε διάφορες επιστήμες όπως στη φυσική και την χημεία [79].

NCMCC

Ο αλγόριθμος NCMCC ουσιαστικά αποτελεί ένα συνδυασμό των παραπάνω μεθόδων. Ουσιαστικά η κάθε κλάση με αυτή την μέθοδο αντιπροσωπεύεται με παραπάνω από ένα κέντρα. Δηλαδή κάθε κλάση αντιπροσωπεύεται από υποκλάσεις. Αυτό έχει ως αποτέλεσμα την κατηγοριοποίηση των δεδομένων με μεγαλύτερη ακρίβεια απότι η απλή περίπτωση του Nearest Mean.

Ο τρόπος που ο αλγόριθμος βρίσκει τις υποκλάσεις κάθε κλάσης είναι με την χρήση κάποια unsupervised μεθόδου και πιο συνηθισμένα με την χρήση του k-means. Ο αλγόριθμος αυτός μπορεί να βρίσκει τις υποδομές που πιθανώς

2.3. NEAREST CENTROID METHODS

να έχουν τα δεδομένα και να μην μπορεί να τις λάβει υπόψιν ο αλγόριθμος κατηγοριοποίησης. Στην συνέχεια ο αλγόριθμος κατηγοριοποίησης μπορεί να είναι οποιαδήποτε centroid driven μέθοδος όπως το nearest mean ή ακόμα και κάποια kernel μέθοδος όπως είναι το naive gaussian bayes.

Στην διαδικασία της εκπαίδευσης μετά την εύρεση των υποκλάσεων, η supervised μέθοδος κατηγοριοποίησης, τρέχει τόσες φορές όσες είναι συνολικά όλες οι υποκλάσεις. Κάθε φορά η υποκλάση αντιτίθεται στα δεδομένα των αντίπαλων υποκλάσεων. Έτσι κατα την διαδικασία της κατηγοριοποίησης, υπολογίζεται η μέση απόσταση από τα κέντρα όλων των υποκλάσεων για κάθε κλάση με το διάνυσμα προς κατηγοριοποίηση. Προκύπτουν τόσες αποστάσεις όσες είναι οι κλάσεις του προβλήματος. Στη συνέχεια συγκρίνονται αυτές οι αποστάσεις μέσω του τελεστή argmin ώστε να προκύψει η κλάση που ανήκει το δεδομένο.

Chapter 3

Βασικά κυκλώματα

Εδώ θα αναλυθούν τα χυχλώματα που χρησιμοποιήθηχαν για την υλοποήση αναλογικών ταξινομητών. Επιγραμματικά αυτά τα χυχλώματα είναι το bump, το winner take all και οι κασκοδικές διατάξεις των χυχλωμάτων αυτών. Τα χυχλώματα αυτά υλοποιήθηχαν από mosfet transistor σε λειτουργία subthreshold (Vdd = 0.3V, Vss = -0.3V). Οι εξισώσεις των I_{DS} των τρανζίστορ σε subthreshold είναι:

$$I_{pmos} = I_{o_p} e^{\kappa_p (V_w - V_G)/V_T} \left(e^{(V_S - V_w)/V_T} - e^{(V_D - V_w)/V_T} \right),$$
(3.1)

$$I_{nmos} = I_{o_n} e^{\kappa_n (V_G - V_w)/V_T} \left(e^{(V_w - V_S)/V_T} - e^{(V_w - V_D)/V_T} \right).$$
(3.2)

[13] Οι διατάξεις σχεδιάστηκαν με τεχνολογία TSMC 90nm CMOS χρησιμοποιώντας το Cadence IC design suite.

3.1 Bump χυχλώματα

Τα χυχλώματα bump αποτελούν τον πυρήνα όλων των αναλογικών ταξινομητών που υλοποιήθηκαν, καθώς ουσιαστικά προσομοιώνουν την CDP σε μια gaussian διαδικασία και την μετρική σε μία centroid based διαδικασία. Έχουν την δυνατότητα να παράγουν μια καμπανοειδή συνάρτηση στην έξοδό τους η οποία προσεγγίζει μία gaussian συνάρτηση. Το κύκλωμα bump υλοποιήθηκε πρώτη φορά από τον Delbruck το 1991. [16]

Όπως φαίνεται από την εικόνα 3.4, το bump αποτελείται από δύο μέρη. Το πρώτο μέρος είναι μία αρχιτεκτονική που ονομάζεται current correlator και "πατάει" σε ένα διαφορικό ζεύγος. Ο current correlator δέχεται σαν είσοδο δύο ρεύματα I₁ και I₂ και στην έξοδο του δίνει την συσχέτιση που έχουν αυτά τα δύο ρεύματα. Τα δύο τρανζίστορ σε σειρά λειτουργούν σαν αναλογικό λογικό AND. Όταν οι τάσεις στα gate των δύο τρανζίστορ είναι είναι μεγάλες, το ρεύμα έξοδου είναι μεγάλο. Όταν οι τάσεις αυτές είναι μικρές, τότε η έξοδος είναι μηδενική. Στις υπόλοιπες περιπτώσεις, το ρεύμα εξόδου είναι μία μορφή γινομένου των ρευμάτων εισόδου.

Current Corelator



Figure 3.1: Το χύχλωμα του current correlator

Για την ανάλυση της εξόδου του current correlator, τα τρανζίστορ θεωρούνται να δουλεύουν στην περιοχή subthreshold. Για ένα τρανζίστορ pmos θα ισχύει:

Σε λειτουργία τριόδου και:

$$I_{DS} = m_p I_0 e^{k_p (V_W - V_G)/V_T} \left[e^{(V_S - V_W)/V_T} - e^{(V_D - V_W)/V_T} \right]$$
(3.3)

Σε λειτουργία χορεσμού:

$$I_{DS} = m_p I_0 e^{k_p (V_W - V_G)/V_T} \left[e^{(V_S - V_W)/V_T} \right]$$
(3.4)

Όπου οι τάσεις V_S , V_D , V_G , V_W είναι οι τάσεις στο source, το drain, το gate και το bulk του τρανζίστορ. Ο συντελεστής $m_p = \frac{W}{L}$ είναι οι διαστάσεις του τρανσίστορ. Τα τρανζίστορ M_1 , M_2 , M_3 του σχήματος 3.1 λειτουργούν σε κόρο και το M_4 σε τρίοδο. Για την απλή περίπτωση του correlator όπου όλα τα τρανζίστορ έχουν ίδιες διαστάσεις, μπορώ να αγνοήσω τον συντελεστή m_p . Τα ρεύματα εισόδου I_1 και I_2 θα είναι τα I_{DS} για τα τρανζίστορ 1 και 2.

$$I_1 = I_{M_{p1}} = I_0 e^{k_p (V_{DD} - V_{D_{M_{p1}}})/V_T}$$
(3.5)

$$I_2 = I_{M_{p2}} = I_0 e^{k_p (V_{DD} - V_{D_{M_{p2}}})/V_T}$$
(3.6)

Το ρεύμα εξόδου I_{out} θα είναι τα I_{DS} για τα τρανζίστο
ρ3 και 4. Συνεπώς:

$$I_{M_{p3}} = I_{out} = I_0 e^{k_p (V_{DD} - V_{G_{M_{p3}}})/V_T} \left[e^{(V_{S_{M_{p3}}} - V_{DD})/V_T} \right] = I_0 e^{k_p (V_{DD} - V_{D_{M_{p1}}})/V_T} \left[e^{(V_{D_{M_{p4}}} - V_{DD})/V_T} \right] \Leftrightarrow$$

$$(3.7)$$

με την χρήση της εξίσωσης 3.5

$$I_{out} = I_1 \left[e^{(V_{D_{M_{p4}}} - V_{DD})/V_T} \right]$$
(3.8)

$$I_{M_{p4}} = I_{out} = m_p I_0 e^{k_p (V_{DD} - V_{G_{M_{p4}}})/V_T} \left[e^{(V_{DD} - V_{DD})/V_T} - e^{(V_{D_{M_{p4}}} - V_{DD})/V_T} \right] = e^{k_p (V_{DD} - V_{G_{M_{p4}}})/V_T} \left[1 - e^{(V_{D_{M_{p4}}} - V_{DD})/V_T} \right] = e^{k_p (V_{DD} - V_{D_{M_{p2}}})/V_T} \left[1 - e^{(V_{D_{M_{p4}}} - V_{DD})/V_T} \right]$$

$$(3.9)$$

με την χρήση της εξίσωσης 3.6

$$I_{out} = I_2 \left[1 - e^{(V_{D_{M_{p4}}} - V_{DD})/V_T} \right] \Leftrightarrow e^{(V_{D_{M_{p4}}} - V_{DD})/V_T} = 1 - \frac{I_{out}}{I_2} \quad (3.10)$$

Με την χρήση των εξισώσεων 3.8 και 3.10

$$I_{out} = I_1 \left[1 - \frac{I_{out}}{I_2} \right] \Leftrightarrow I_{out} = \frac{I_1 I_2}{I_1 + I_2}$$
(3.11)

Η τελική εξίσωση αποτελεί την εξίσωση του απλού current correlator. Στην περίπτωση που τα εξωτερικά τρανζίστορ (M_{p1}, M_{p2}) , έχουν άλλες διαστάσεις από τα εσωτερικά (M_{p3}, M_{p4}) , τότε γίνεται μία διόρθωση στην εξίσωση καθώς λαμβάνεται υπόψη η παράμετρος m_p των διαστάσεων. Η διόρθωση γίνεται με τον όρο S, το λεγόμενο strength του correlator.

$$S = \frac{(W/L)_{inner}}{(W/L)_{outer}}$$
(3.12)

και η εξίσωση θα γίνει:

$$I_{out} = S \frac{I_1 I_2}{I_1 + I_2} \tag{3.13}$$

Στην περίπτωση ενός μη συμμετριχού correlator, όπου τα εσωτεριχά transistor έχουν άλλες διαστάσεις μεταξύ τους, υπάρχει μία αχόμα διόρθωση:

$$l \equiv \frac{(W/L)_{M_{p4}}}{(W/L)_{M_{p3}}} \tag{3.14}$$

$$I_{out} = Sl \frac{I_1 I_2}{I_1 + l I_2}$$
(3.15)

Στην περίπτωση του διπλού (συμμετρικού) current correlator 3.2, η ανάλυση δεν αλλάζει καθόλου. Το I_{out} είναι το άθροισμα των ρευμάτων $I_{M_{p5}}$ και $I_{M_{p6}}$ στον κόμβο εξόδου του κυκλώματος.Ισχύει ότι:

$$I_{M_{p5}} = I_{M_{p6}} = Sl \frac{I_1 I_2}{I_1 + l I_2}$$
(3.16)

Οπότε τελικά προκύπτει:



Figure 3.2: Το χύχλωμα του συμμετριχού current correlator

$$I_{out} = 2Sl \frac{I_1 I_2}{I_1 + lI_2}$$
(3.17)

Differential Pair

Στην πιο απλή περίπτωση του bump, ο current correlator δέχεται τα ρεύματα εξόδου ενός απλού διαφορικού ζεύγους. Το διαφορικό ζεύγος 3.3 αποτελείται από τα δύο τρανζίστορ M_{n1} και M_{n2} που βρίσκονται σε subthreshold περιοχή λειτουργίας, σε saturation mode με την τάση bulk να είναι συνδεδεμένη στο χαμηλό δυναμικό V_{SS} . Αγνοώντας προς το παρόν τις παραμέτρους διάστασης οι εξισώσεις των ρευμάτων των δυο τρανζίστορ θα είναι:

$$I_{M_{n1}} = I_0 e^{k_n (V_{in} - V_{SS})/V_T} \left[e^{(V_{SS} - V_S)/V_T} \right]$$
(3.18)



Figure 3.3: Το κύκλωμα του απλού διαφορικού ζεύγους, με δύο φορτί
α M_{p_1} και M_{p_2} ως αναφορά.

$$I_{M_{n2}} = I_0 e^{k_n (V_r - V_{SS})/V_T} \left[e^{(V_{SS} - V_S)/V_T} \right]$$
(3.19)

Όπως φαίνεται το διαφορικό ζεύγος τροφοδοτείται από ένα καθρέφτη ρεύματος, συνεπώς στον κόμβο S ισχύει ότι

$$I_{bias} = I_{M_{n1}} + I_{M_{n2}} \tag{3.20}$$

αγνοώντας και πάλι τις διαστάσεις του καθρέφτη. Οπότε:

$$\frac{I_{M_{n1}}}{I_{M_{n2}}} = e^{k_n (V_{in} - V_r)/V_T}$$
(3.21)

3.1. ΒυΜΡ ΚΥΚΛΩΜΑΤΑ

Για απλοποίηση $x = k_n (V_{in} - V_r) / V_T$. Με την χρήση των σχέσεων 3.20 3.21:

$$I_{M_{n1}} = e^x I_{M_{n2}} (3.22)$$

και

$$I_{M_{n2}} = e^{-x} I_{M_{n1}} \tag{3.23}$$

Οι εξισώσεις 3.22 και 3.23 σε συνδυσμό με την 3.20 θα γίνουν:

$$I_{M_{n1}} = \frac{I_{bias}}{1 + e^{-x}} \tag{3.24}$$

και

$$I_{M_{n2}} = \frac{I_{bias}}{1 + e^x}$$
(3.25)

Simple bump

Η εξίσωση εξόδου του απλού bump κυκλώματος, 3.4 είναι ο συνδυασμός των εξισώσεων του διαφορικού ζεύγους και του current correlator. Τα ρεύματα I_{DS} των τρανζίστορ $I_{M_{n1}}$ και $I_{M_{n1}}$ αποτελούν την είσοδο I_1 και I_2 του current correlator. Μετά από αντικατάσταση των 3.24 και 3.25 στην 3.11, η εξίσωση του simple bump θα είναι:

$$I_{out} = \frac{I_{bias}}{2 + e^{k_n (V_{in} - V_r)/V_T} + e^{-k_n (V_{in} - V_r)/V_T}}$$
(3.26)

Στην τελική εξίσωση, η τάση V_{in} έχει τον ρόλο της μεταβλητής εισόδου στην συνάρτηση που προσδιορίζει την εξόδο του bump, η τάση V_r έχει τον ρόλο την διαμέσου της καμπανοειδούς συνάρτησης εξόδου του bump, και το I_{bias} προσδιορίζει την κλίμακα (το ύψος) της συνάρτησης καθώς για $V_{in} = V_r$ η έξοδος του κυκλώματος $I_{out} = \frac{I_{bias}}{4}$ είναι μέγιστη 3.5.

3.1.1 Cascode Bump

Το χύχλωμα Cascode Bump αποτελεί μία τροποποίηση του Simple Bump με σχοπό να παράγει υψηλής ποιότητας χαμπανοειδείς εξόδους, που προσεγγίζουν gaussian συναρτήσεις.Επιπλέον επιτρέπει την ρύθμιση του πλάτους της



Figure 3.4: Delbruck's Simple Bump. Η τάση Vm και το ρεύμα πόλωσης Ibias ελέγχουν την μέση τιμή και το ύψος της Γκαουσιανής εξόδου Iout.

gaussian εξόδου και την δημιουργία πολυδιάστατων συστημάτων με πολύ μικρό βαθμό παραμόρφωσης στην έξοδο.

Η μία τροποποίηση που έγινε είναι η χρήση διαφορικής διαφοράς.3.8 Αυτό επιτρέπει την ρύθμιση του πλάτους της εξόδου και δίνει περισσότερες δυνατότητες για την χρήση του bump. Η δεύτερη τροποποίηση είναι η χρήση συμμετρικού current correlator 3.9. Ουσιαστικά Το κύκλωμα αυτό είναι σαν δύο simple bump ενωμένα μεταξύ τους. Ο λόγος για την χρήση του συμμετρικού current correlator είναι η εξασφάλιση ότι η έξοδος του bump θα είναι απόλυτα συμμετρική γιατί πρακτική είναι σαν την έξοδο από δυο bump ταυτόχρονα.

Ακόμα μια τροποποίηση είναι η χρήση κασκοδικού καθρέφτη σε σχέση με τον απλό μονό. Αυτή η τροποποίηση δεν αφορά άμεσα την έξοδο του κυκλώματος. Παρόλα αυτά εξασφαλίζει ότι τα χαμηλά ρεύματα πόλωσης I_{bias} , καθρεφτίζονται χωρίς παραμόρφωση.

-



Figure 3.5: Η έξοδος του bump (συγκεκριμένα του cascode), όπως μεταβάλλεται στην μεταβολή του I_{bias} .



Figure 3.6: Η έξοδος του Cascode Bump, για $I_{bias} = 16nA$ και $V_r = V_c = 0V$.

Block	$\mathbf{W/L}$ $(\mu m/\mu m)$	Current Correlator	$\mathbf{W/L}$ $(\mu m/\mu m)$
$ \begin{array}{r} M_{n1}, M_{n4} \\ M_{n2}, M_{n3} \\ M_{n5} - M_{n8} \\ M_{n9}, M_{n10} \end{array} $	$2.8/0.4 \\ 0.4/0.4 \\ 0.4/1.6 \\ 1.6/1.6$	M_{p1}, M_{p2} $M_{p3}-M_{p6}$	1.6/1.6 0.4/1.6 -

Table 3.1: MOS Transistors' Dimensions (Fig. ??).



Figure 3.7: (4 πάνω: Παραμετρικές προσομοιώσεις, ως προς το V_r (μεταβολή μέσης τιμής), του ρεύματος εξόδου του *Cascode Bump*, για $V_c = 300$ mV και (αριστερά) $I_{bias} = 16nA$ (δεξιά) $I_{bias} = 1nA$.

4 κάτω: Παραμετρικές προσομοιώσεις, ως προς το V_c (μεταβολή διασποράς), του ρεύματος εξόδου του Cascode Bump, για $V_r = 0V$ και (αριστερά) $I_{bias} = 16nA$ (δεξιά) $I_{bias} = 1nA$.



Figure 3.8: Η πρώτη τοπολογία bump με διαφορική διαφορά. Αυτό το κύκλωμα επιτρέπει παραπάνω ρύθμιση παραμέτρων απότι το απλό Bump

3.2 Winner-take-all

Το χύχλωμα Winner-Takes-All (WTA) 3.10 είναι ένα αναλογικό χύχλωμα το οποίο σχεδιάστηκε το 1989 από τον Lazzaro. [13,80] Υλοποιεί τον τελεστή argmax σε μία είσοδο $(I_{in_1}, I_{in_2}, I_{in_3}, ..., I_{in_n})$. Ουσιαστικά δηλαδή, για την είσοδο αυτού του διανύσματος, δίνει σαν έξοδο, ποια διάσταση του διανύσματος έχει την μεγαλύτερη τιμή.

Στην κατασκευή του είναι πολύ απλό κύκλωμα. Κάθε νευρώνας αποτελείται από ένα ζεύγος τρανζίστορ τα οποία λειτουργούν σε περιοχή subthreshold. Το ένα τρανζίστορ από τα δύο αποτελεί την είσοδο του νευρώνα και το άλλο την έξοδο. Σε περίπτωση που η είσοδος έχει Ν διαστάσεις, θα συνδεθούν μεταξύ τους Ν νευρώνες στον ίδιο κόμβο V_c.

Η αρχή λειτουργίας του χυχλώματος αυτού είναι επίσης αρχετά απλή. Για μια περίπτωση δύο νευρώνων, έχουμε δύο ρεύματα εισόδου I_{in_1}, I_{in_2} και δύο ρεύματα εξόδου I_{out_1}, I_{out_2} . Η έξοδος του συστήματος θα έχει τρεις πιθανές περιπτώσεις σε σχέση με τα ρεύματα εισόδου.



Figure 3.9: Το cascode bump κύκλωμα. Επιτρέπει ρύθμιση παραμέτρων καθώς έχει την διαφορική διαφορά αλλά φέρει και ένα συμμετρικό current correlator που έχει ως αποτέλεσμα ακόμα πιο συμμετρικές εξόδους.

Τα δύο ρεύματα είναι πανομοιότυπα

Σε αυτή την περίπτωση, αφού τα τρανζίστορ M_1 και M_2 διαρρέονται από το ίδιο ρεύμα και είναι και τα δύο με το V_S στη γείωση, θα έχουν τις ίδιες τάσεις V_G και V_D . Άρα σαν αποτέλεσμα, τα τρανζίστορ M_3 , M_4 θα έχουν και αυτά ίδιες τάσεις V_G και V_S . Επειδή λειτουργούν σε περιοχή κόρου, θα πρέπει να διαρρέονται από το ίδιο ρεύμα, $\frac{I_bias}{2}$.

Το ένα ρεύμα να είναι πολύ μεγαλύτερο από το άλλο

Για αυτή την ανάλυση, υπάρχουν δύο ρεύματα, I_{in_1}, I_{in_2} όπου το πρώτο είναι μεγαλύτερο. Σε αυτή την περίπτωση, η τάση drain M_1 δηλαδή (V_{D_1}) θα είναι μεγαλύτερη από την αντίστοιχη τάση του $M_2(V_{D_2})$. Τα δύο τρανζίστορ θα έχουν ίδια τάση V_G και ίδια τάση V_S . Συνεπώς αν το M_2 είναι σε ωμική



Figure 3.10: Οι winner takes all νευρώνες. Το δεξιά είναι υλοποιημένο από pmos τρανζίστορ και το αριστερά από nmos τρανζίστορ.

περιοχή, το M_4 θα είναι σε αποχοπή. Τελιχά το M_4 δεν θα έχει έξοδο χαι το M_3 θα έχει ρεύμα εξόδου I_{bias}

Τα δύο ρεύματα είναι συγκρίσιμα

Αυτή είναι μία μεταβατική κατάσταση ανάμεσα στις δυο προηγούμενες περιπτώσεις. Δεδομένου ότι τα M_1 και M_2 είναι σε κορεσμό και διαρρέονται από το ίδιο I_in , θα έχουν και ίδια έξοδο τα M_3 και M_4 $\frac{I_bias}{2}$. Αν το I_1 δεχτεί μία μικρή αύξηση, λόγο φαινομένου Early, θα αυξηθεί και η τάση V_D του. Συνεπώς θα αυξηθεί και η τάση V_S του M_3 . Οπότε πρέπει να αυξηθεί το ρεύμα του M_3 και να μειωθεί το ρεύμα του M_4 . Αυτό το φαινόμενο γίνεται σταδιακά μέχρι να καταλήξει το I_1 ναι είναι πολύ μεγαλυτερο από το I_2 και να ισχύει η προηγούμενη περίπτωση.

3.2.1 Cascaded Winner-take-all

Τα χυχλώματα WTA είναι πολύ χρήσιμα για τους ταξινομητές χαι τοποθετούνται στην έξοδο των bump ώστε να δείξουν ποια χλάση είναι η επιχρατέστερη για χάποιο διάνυσμα προς ταξινόμηση. Στην περίπτωση αυτή, είναι απαραίτητος



Figure 3.11: Η διασύνδεση πολλών εισόδων στο wta. Όπως φαίνεται, οι νευρώνες είναι συνδεδεμένοι στο ίδιο ρεύμα πόλωσης.



Figure 3.12: Η διασύνδεση των wta σε μορφή block

ο δεύτερος τρόπος λειτουργίας του WTA. Παρόλαυτα πολλές φορές τα ρεύματα εξόδου των bump έχουν πολύ μικρές διαφορές μεταξύ τους. Αυτό έχει ως αποτέλεσμα η έξοδος των WTA να μην έχει ξεκάθαρη "νικήτρια" κλάση. Σε αυτή την περίπτωση, μία καλή τακτική είναι η χρήση κασκοδικών διατάξεων, που ενισχύουν την απόσταση μεταξύ των ρευμάτων και στην τελική έξοδο προκύπτει το αναμενόμενο αποτέλεσμα. Σε μία τέτοια περίπτωση γίνεται η χρήση τόσο NMOS διατάξεων όσο και PMOS. Η σύνδεση των κασκοδικών WTA 3.13 γίνεται εναλλάξ με NMOS και PMOS διατάξεις.



Figure 3.13: Η σύνδεση συστημάτων wta με κασκοδικό τρόπο. Φαίνεται ότι τα nmos wta συνδεόνται στα pmos και το αντίθετο.



Figure 3.14: Μία τροποποιημένη μορφή wta χυχλώματος με την προσθήχη του φορτίου Mn1. Αυτή η τροποποίηση έχει ως αποτέλεσμα την μείωση της γραμμιχής περιοσήτερο απότι το απλό wta. Μάλιστα η κασκοδιχή σύνδεση αυτής της τοπολογίας φέρει αχόμα χαλύτερα αποτελέσματα.

3.3 Περιορισμοί των χυχλωμάτων

Τα χυχλώματα που παρουσιάστηχαν έχουν χάποιους περιορισμούς όταν επρόχει- το να χρησιμοποιηθούν σε μεγάλα συστήματα. Ο μεγαλύτερος περιορισμός των Bump χυχλωμάτων είναι η επέχταση τους σε περισσότερες διαστάσεις. Τα χα- λύτερα αποτελέσματα τα πετυχαίνει το Cascode Bump, φτάνοντας μέχρι τις 16 διαστάσεις με πολύ μιχρές παραμορφώσεις. Οι περιορισμοί που θέτουν τα WTA χυχλώματα, αφορούν χυρίως τον αριθμό των εισόδων τους. Το Lazzaro WTA στις 4 εισόδους αρχίζει να εμφανίζει πολλαπλούς νιχητές, ενώ το Cascaded WTA συνεχίζει να έχει πολύ χαλής ποιότητας εξόδου. Το Cascaded WTA μπορεί σίγουρα να αυξήσει αρχετά παραπάνω τον αριθμό των εξόδων.

3.4 Αναλογικός Μπεϋζιανός Ταξινομητής

Ο αναλογικός bayes classifier, προσομοιώνει σε hardware το μοντέλο του naive gaussian bayes classifier. Ο τρόπος που το πραγματοποιεί αυτό είναι με την χρήση κασκοδικών διάταξεων bump κυκλωμάτων που καταληγουν σε διατάξεις wta. Μια κασκοδική διάταξη bump κυκλωμάτων αφορά την μία κλάση και το κύκλωμα wta προσομοιώνει τον τελεστή argmax.

Ένα παράδειγμα που φαίνεται στην εικόνα [προσθήκη εικόνας iris classifier] περιγράφει έναν 4-d classifier για το γνωστό classification πρόβλημα iris. Το σύστημα αυτό φέρει 3 block που το καθένα έχει μέσα 4 κασκοδικά bump κυκλώματα. Με αυτό τον τρόπο υλοποιείται η 4-διάστατη gaussian. Το ρεύμα εξόδου κάθε block αντιστοιχεί στην τιμή της 4-διάστατης gaussian κατανομής κάθε κλάσης. Στην συνέχεια τα ρεύματα εξόδου του κάθε block περνάνε από ένα wta κύκλωμα που ουσιαστικά στην εξοδό του δίνει την κλάση στην οποία ανήκει το διάνυσμα εισόδου. Το διάνυσμα εισόδου μπαίνει με μορφή τάσεων στο σύστημα και η έξοδος είναι ένα ρεύμα στον κόμβο εξόδου στο wta.

Ο παραπάνω ταξινομητής, θεωρητικά μπορεί να πραγματοποιηθεί σε οποιονδήποτε αριθμό διαστάσεων και κλάσεων απαιτεί το πρόβλημα. Η αύξηση του αριθμού των κλάσεων γίνεται απλά με την προσθήκη παραπάνω block. Η αύξηση του αριθμού των διαστάσεων γίνεται με την αύξηση του αριθμού των κασκοδικών bump. Ενώ θεωρητικά, η φύση του κυκλώματος δεν φέρει περιορισμό για οποιονδήποτε αριθμό διαστάσεων και κλάσεων, στην πραγματικότητα μπορεί να δουλεύει μέχρι 16 διαστάσεις για πάνω από 4 κλάσεις χωρίς μείωση στην ακρίβεια.

3.5 Αναλογικός Ταξινομητής Βασισμένος στο NCMCC

Σε αυτή την ενότητα εξηγείται πως το μοντέλο των αναλογικών ταξινομητών, λειτουργεί σαν ένας Nearest Class with Multiple Centroids Classifier (NCMCC). Για να γίνει πιο συγκεκριμένη η κατανοητή η ανάλυση, έστω μία γενική περίπτωση για ένα classification πρόβλημα N_{class} κλάσσεων και N - d διαστάσεων. Δοθέντως των περιορισμών του αναλογικού μοντέλου, ο αριθμός των διαστάσεων και των κλάσεων του προβλήματος μπορεί να είναι οποιοσδήποτε.

Η διαφορά που έχει η αρχιτε
χτονική αυτή από έναν απλό Nearest Mean analog classifier, είναι ότι η κάθε κλάση, αποτελείται από παραπάνω από ένα κέντρα. Ουσιαστικά, κάθε κλάση αντιπροσωπε
ύεται από κάποιον αριθμό $M^i_{subclass}$ όπου
 $i \in [1, N_{class}]$ υποκλάσεων. Αυτός ο αριθμός υποκλάσσεων, προσδιορίζει πόσα μπλοκ κασκοδικών bump περι
έχει κάθε κλάση. Για παράδειγμα ένα πρόβλημα
 $N_{class} = 3$ και $M^i_{subclass} = 4$ όπου $i \in [1,3]$ αποτελείται από 3
 κλάσεις και κάθε κλάση αντιπροσωπεύεται από 4 ξεχωριστές κλάσεις. Συνεπώς αυτός ο classifier αποτελείται από 12 block.

Σε αυτή την αρχιτεκτονική, το κύκλωμα bump ουσιστικά υπολογίζει την μετρική του χώρου. Συγκεκριμένα δέχεται σαν είσοδο ένα διάνυσμα **X** και υπολογίζει πόσο μικρή απόκλιση έχει από την μέση τιμή κάθε υποκλάσης.Συνεπώς μπορεί να λειτουργεί σαν μετρική ομοιώτητας. Δεδομένου ότι τις περισσότερες φορές τα δεδομένα ακολουθούν κανονική κατανομή, αυτή η προσέγγιση είναι αρκετά καλή με ένα κύκλωμα bump.

Η έξοδος του συστήματος των bump είναι ένα διάνυσμα $C = N_{class} \times M_{subclass}^{N_{class}}$ διαστάσεων που περιέχει σε μορφή ρευμάτων τα similarity scores με κάθε υποκλάση. Αυτό το διάνυσμα περνάει σαν είσοδος σε ένα κασκοδικό σύστημα WTA. Το WTA υπολογίζει τον τελεστή argmax για όλες τις υποκλάσεις σε σχέση με την κύρια κλάση στην οποία ανήκουν. Έτσι το διάνυσμα C εισόδων ελλατώνεται σε N_{class} μορφής one-hot-vector, δηλαδή είναι σαν ψηφιακή έξοδος όπου κάθε διάσταση του έχει τιμή $I_{bias}^W TA$ σαν λογικό 1 ή 0 σαν λογικό 0. Για παράδειγμα στην περίπτωση $N_{class} = 3$ και $M_{subclass}^i = 4$ όπου $i \in [1,3]$ το WTA δέχεται σαν είσοδο ένα 12-d διάνυσμα και σαν έξοδο βγάζει ένα 3-d διάνυσμα σε ψηφιακή μορφή.

3.6 Εξαγωγή Παραμέτρων

Σε αυτή την ενότητα εξηγείται η διαδικασία κάτω από την οποία εξάγονται οι παράμετροι του αναλογικού συστήματος μέσω της εκπάιδευσης του μοντέλου.

3.6.1 Εκπαίδευση

Για την λειτουργία του συστήματος χρειάζεται ο προσδιορισμός ενός μεγάλου αριθμού παραμέτρων. Αυτοί οι παράμετροι είναι ο αριθμός $M^i_{subclass}$ για τον προσδιορισμό του αριθμού των bump κλάστερ και οι παράμετροι λειτουργίας του κάθε bump, δηλαδή οι τάσεις V_r και V_c για την μέση τιμή και το πλάτος της εξόδου και το I_{bias} . Αυτές οι παράμετροι προσδιορίζονται κατά την εκπαίδευση του μοντέλου. Η διαδικασία της εκπαίδευσης, δεν γίνεται με κάποιο on-board τρόπο καθώς το σύστημα δεν φέρει τέτοια δυνατότητα, αλλά γίνονται με εκπαίδευση ενός software μοντέλου.

Για τον προσδιορισμό της παραμέτρου $M^i_{subclass}$ είτε γίνεται η χρήση κάποιου αλγορίθμου unsuppervised learning στα δεδομένα εκπαίδευσης κάθε κλάσης όπως ο αλγόριθμος k-means είτε προσδιορίζεται από κάποια γνώση για την φύση των δεδομένων. Στη συνέχεια κάθε υποκλάση εκπαιδεύεται με ένα μοντέλο nearest mean ως προς όλες τις υπόλοιπες κλάσεις. Έτσι προσδιορίζεται το V_r από τα κέντρα κάθε υποκλάσης και από την τυπική απόκληση των δεδομένων κάθε κλάσης προσδιορίζεται το V_c . Το V_r δέχεται γραμμικό μετασχηματισμό κλίμακας ώστε να βρίσκεται στη περιοχή λειτουργίας του bump. Ο μετασχηματισμός γίνεται σε μία περιοχή μεταξύ -0.3V και 0.3V. Η παράμετρος V_c από την άλλη δεν μπορεί να δεχτεί μετασηματισμό κλίαμακας καθώς η σχέση μεταξύ της τάσης V_c και της τυπικής απόκλισης είναι μη γραμμική.

Chapter 4

Εφαρμογές και Προσομοιώσεις

Σε αυτό το κεφάλαιο θα αναλυθούν τα αποτελέσματα των παραπάνω αρχιτεκτονικών σε διαφορετικές πραγματικές εφαρμογές. Για την εξαγωγή των αποτελεσμάτων έχει σχεδιαστεί το layout του κάθε ταξινομητή. Η υλοποίηση των layout βασίζεται στην τεχνική κοινού κέντρου (common-centroid technique) και χρησιμοποιούνται επιπλέον εικονικά τρανζίστορ για την αποφυγή των missmatches και κατασκευαστικών αστοχιών.

4.1 Ανίχνευση Καρδιοπαθειας

Αυτή η εφαρμογή είναι είναι ένα proof of concept μοντέλο για την λειτουργία του analog naive gaussian bayes ταξινομητή. Το μοντέλο αυτό αφορά ένα dataset 918 ασθενών, 410 υγειών και 508 με καρδιοπάθεια, στην περιοχή των 28 με 77 ετών. Η αρχιτεκτονική που χρησιμοποιήθηκε ήταν ένας απλός binary Naive Gaussian Classifier (NGC) ο οποίος διαχωρίζει άτομα με ασθένεια από τα υγιή.

4.1.1 Επίδοση του Αναλογικού Ταξινομητή

Το συγκεκριμένο dataset αποκτήθηκε από το Kaggle και προέρχεται από πραγματικές μετρήσεις. Συγκεκριμένα φέρει 11 διαστάσεις μετά από το feature extraction που αφορούν διάφορα στατικά και δυναμικά χαρακτηριστικά των ασθενών όπως η ηλικία, το φύλο σαν σταθερά αλλά και η πίεση και διάφορα στοιχεία ανάλυσης καρδιογραφημάτων στα δυναμικά. Το σύστημα φαίνεται να έχει καλή επίδοση με έναν NGC οπότε ήταν καλός ταξινομητής για αυτή την υλοποίηση.

Το χύχλωμα 4.2 αποτελείται από δύο κασκοδικές διατάξεις bump. Τα bump σε κάθε χλάση είναι 11 λόγω των διαστάσεων του προβλήματος. Στην συνέχεια η έξοδος του bump βγαίνει σε 3 κασκοδικά wta.



Figure 4.1: Ένα διάγραμμα που δείχνει την διαχύμανση της αχρίβειας του ταξινομητή για 20 διαφορετικά run.

Table 4.1 :	Αποτελέσματα	αχρίβειας (για 20	επαναλήψεις).

Μέθοδος	Καλύτερο	Χειρότερο	Μέση τιμή	Τυπική απόκ- λιση
Λογισμικό Αναλογικά	$96\% \\ 96\%$	$\frac{89\%}{81\%}$	$92.55\%\ 89.58\%$	$1.91\%\ 3.34\%$

4.2 Εκτίμηση Κατάστασης Αναισθησίας από Εγκεφαλογράφημα

4.2.1 Γενική Αναισθησία

Η γενική αναισθησία αναφέρεται σε μια ιατρική αγωγή που καταστέλει ολόκληρο το σώμα ενός ασθενούς, κάνοντάς τον αναίσθητο και έτοιμο για



Figure 4.2: Η εικόνα δείχνει ένα συνολικό block diagram του αναλογικού ταξινομητή. Για N=11 διαστάσεις θα είναι 11 κοσκοδικά bump τα οποία έχουν έξοδο σε 3 κασκοδικά WTA.

επεμβάσεις σε εσωτερικά όργανα ή άλλες χρονικά απαιτητικές επεμβάσεις [81]. Αυτή η θεραπεία επιτυγχάνεται με κάποιου είδους εξειδικευμένα φάρμακα που χορηγούνται είτε ενδοφλεβίως ή μέσω εισπνεόμενου αερίου [81].

Γενικά η κατάσταση της αναισθησίας μπορεί να κατηγοριοποιηθεί σε 5 γενικά επίπεδα "Βάθους". Ξύπνιος, ελαφριά έως μέτρια καταστολή, επιφανειακή αναισθησία, επαρκής αναισθησία και βαθιά αναισθησία [82]. Κατά τη διάρκεια των επεμβάσεων είναι σημαντικό να παρακολουθούνται οι μεταβάσεις μεταξύ καταστάσεων που ο ασθενής έχει τις αισθήσεις του ή όχι [83]. Τα Depth of Anesthesia (DoA) monitors διασφαλίζουν ότι η υπερβολική χρήση φαρμάκων αναισθησίας ή ο ασθενής να αποκτήσει τις αισθήσεις του κατά την διάρκεια της επέμβασης ,που είναι αρκετά συνηθισμένα φαινόμενα,μπορεί να αποτραπούν [81]. Επιπλέον, μπορούν να βοηθήσουν στην παροχή εξατομικευμένων δόσεων αναισθητικών ανά ασθενή. Αυτό είναι πολύ σημαντικό, καθώς για διαφορετικούς ασθενείς μπορεί να απαιτούνται αρκετά διαφορετικές δόσεις για το ίδιο αποτέλεσμα.

Διάφορες Υπολοιήσεις

Στη βιβλιογραφία, υπάρχουν διάφορες υλοποιήσεις συστημάτων DoA monitoring. Αυτές οι υλοποιήσεις βασίζονται σε λογισμικό και ποικίλλουν ανάλογα με τα χαρακτηριστικά και την αρχιτεκτονική του ταξινομητή που χρησιμοποιείται. Ισχυρά μοντέλα ML, όπως recurrent ή convolutional Neural Networks [84, 85], που χρησιμοποιούν διάφορα χαρακτηριστικά (στο πεδίο του χρόνου, των συχνοτήτων και τοπολογικά) χρησιμοποιούνται για την εκτίμηση της κατάστασης αναισθησίας [86]. Επίσης έχουν προταθεί απλούστεροι ταξινομητές ML. Ειδικότερα, ένα Hidden Markov Model χρησιμοποιείται, [87], για binary ταξινόμηση κατάστασης DoA. Σε άλλη δουλειά έχει υλοποιηθεί ένα αναλογικό front end για την καταγραφή του σήματος EEG και ένα Raspberry Pi 3 που "τρέχει" ένα εξειδικευμένο μοντέλο ML [88].

Αυτή η δουλειά

Η αναλογική υλοποίηση του NCMCC αναλύεται σε αυτό το κεφάλαιο. Αυτή η αρχιτεκτονική είναι για μια συγκεκριμένη εφαρμογή, αλλά μπορεί εύκολα να γενιχευτεί για διαφορετικό αριθμό κλάσεων, κέντρων ή διαστάσεων εισόδου. Στη προχειμένη περίπτωση για το πραγματοποίηση της συνάρτησης ομοιότητας στην εξ., μια gaussian συνάρτηση (σε σχήμα καμπάνας) αντικαθιστά, την τυπική συνάρτηση συνημιτόνου που χρησιμοποιείται στο λογισμικό [89]. Το πλησιέστερο κέντρο προσδιορίζεται χρησιμοποιώντας ένα κύκλωμα τελεστή argmax, δηλαδή ένα Κύχλωμα Winner- Take-All [80]. Όλα τα τρανζίστορ στη συγκεκριμένη υλοποίηση λειτουργούν στην περιοχή του υποκατωφλίου, με τροφοδοσία $V_{DD} = -V_{DD} = 0.3 V. \Sigma$ τη βιβλιογραφία, το βάθος παραχολούθησης της αναισθησίας αντιμετωπίζεται ως πρόβλημα ταξινόμησης 5 τάξεων [81,90].Παρόλα αυτά, στην πράξη, τα στάδια 1 και 2 αναφέρονται σε κατάσταση ξύπνιου ή ελαφριά καταστολή ενώ τα στάδια 3 έως 5 σε επαρκές επίπεδο αναισθησίας όπου μια χειρουργική επέμβαση μπορεί να πραγματοποιηθεί. Αυτό επιτρέπει την μετατροπή των 5 κλάσεων σε 2 γενικές. Επομένως, η αρχιτεκτονική του ταξινομητή, που φαίνεται στο 4.4 έχει σχεδιαστεί για 2 κλάσεις, και 12 διαστάσεις. Ο αριθμός των κεντροειδών μέσα κάθε κλάση είναι μια υπερπαράμετρος και συνήθως επιλέγεται με βάση την ανάλυση δεδομένων [91]. Στην περίπτωσή μας, με βάση τη μείωση του αριθμού των κλάσεων που προτάθηκαν προηγουμένως οι κατηγορίες 1 και 2 του NCMCC αποτελούνται από 2 και 3 κεντροειδή, αντίστοιχα, που αντιστοιχούν στις υποκατηγορίες που περιλαμβάνει κάθε κλάση.

Για την υλοποίηση του τελεστή argmax το Lazzaro κύκλωμα WTA θα χρησιμοποιηθεί ως βασικό δομικό στοιχείο [80]. Σε ένα απλό Lazzaro WTA η αρχιτεκτονική αποτελείται από πολλαπλά block νευρώνων, που φαίνονται στο 4.4, πολωμένα με κοινό ρεύμα, ένα παράδειγμα 5 νευρώνων. Όλες οι διαστάσεις των τρανζίστορ εντός ενός νευρώνα είναι ίσες με $\frac{W}{L} = \frac{0.4 \mu m}{1.6 \mu m}$. Η απόσταση από τα κεντροειδή με την χρήση WTA 5 εισόδων. Για την αποφυγή της γραμμικής περιοχής, γίνεται χρήση 2 κασκοδικών WTA και μετά γίνεται μείωση των 5 εξόδων σε δυο για τον προσδιορισμό των 2 κλάσεων από τις 5 υποκλάσεις.

4.2. ΕΚΤΙΜΗΣΗ ΚΑΤΑΣΤΑΣΗΣ ΑΝΑΙΣΘΗΣΙΑΣ ΑΠΟ ΕΓΚΕΦΑΛΟΓΡΑΦΗΜΑ49



Figure 4.3: Σε block μορφή ο αναλογικός classifier του συστήματος της κατηγοριοποίησης του βάθους αναισθησίας.



Figure 4.4: Η cascode διασύνδεση των wta με gradient μείωση εξόδου.



Figure 4.5: Layout του NCMCC ταξινομητή, για την κατηγοριοποίηση της κατάστασης αναισθησίας

4.2.2 Αποτελέσματα προσομοιώσεων και επίδοση

Στο μοντέλο έγινε χρήση ενός πραγματικού συνόλου δεδομένων παρακολούθησης DoA. Συγκεκριμένα, τα δεδομένα προέρχονται από την βάση δεδομένων VitalDB του Εθνικού Πανεπιστημιακού Νοσοκομείου της Σεούλ [90]. Από αυτό το σύνολο δεδομένων, 12 διαστάσεις στον χώρο των συχνοτήτων χρησιμοποιήθηκαν για την εκπαίδευση και την επικύρωση του ταξινομητή. Παρακάτω υπάρχουν κάποια αποτελέσματα προσομοιώσεων.

Method	Best	Worst	Mean	Std.
Software	89%	83.9%	86.4%	1.4%
Proposed	89.5%	81.8%	84.9%	2.2%

Table 4.2: Αποτελέσματα αχρίβειας για 20 επαναλήψεις



Figure 4.6: Ιστόγραμμα με τα αποτελέσματα των προσομοιώσεων. Φαίνεται ότι το αναλογικό κύκλωμα έχει μέση ακρίβεια στην περιοχή του 84%-85% και το software στο 86%.

Το κύκλωμα επιπλέον δοκιμάστηκε σε μεταβολλές PVT για να ελεγχθεί ως προς το robustness του σε διάφορες συνθήκες. Για αυτό τον λόγο πραγματοποίθηκε μία προσομοίωση monte carlo με 200 iterations σε διαφορετικές συνθήκες.



Figure 4.7: Τα αποτελέσματα του monte carlo. Το κύκλωμα φαίνεται να έχει αρκετά σταθερή επίδοση σε σχέση με τις εξωτερικές μεταβολές PVT. Παρόλα αυτά υπάρχουν πολύ λίγες περιπτώσεις που το κύκλωμα δεν απέδωσε με τον αναμενόμενο τρόπο.



Figure 4.8: Η επίδοση του ταξινομητή σε ένα άγνωστο dataset μίας ολόχληρης επέμβασης ανά 10 δευτερόλεπτα.

Chapter 5

Συμπεράσματα και Μελλοντική Δουλειά

Σε αυτή την δουλειά παρουσιάστηκε ένας πλήρως αναλογικός ταξινομητής που προσομοιώνει έναν αλγόριθμο NCMCC. Η αρχιτεκτονική αναλύθηκε σε επίπεδο συστήματος και τα δομικά του μέρη αναλύθηκαν και αυτά επαρκώς. Οι αρχιτεκτονική αυτή αποτελείται από μία κύρια διάταξη Bump και μία αρχιετκτονική WTA. Η προτεινόμενη αρχιτεκτονική κάνει ταξινόμηση με πλήρως αναλογικό τρόπο και εκπαιδεύεται μέσω λογισμικού. Η λειτουργία του ταξινομητή αποδεικνύεται μέσω μίας σειράς προσομοιώσεων για την σύγκριση των επιδόσεων του αναλογικού κυκλώματος σε σχέση με το λογισμικό.

Ο σχοπός για μία μελλοντική δουλεία είναι η υλοποίηση μίας αρχιτεκτονικής που δεν βασίζεται καθόλου σε λογισμικό. Συγκεκριμένα να είναι ένα ολοκληρωμένο κύκλωμα που έχει την δυνατότητα εκπαίδευσης και ταξινόμησης. Επιπλέον στόχοι είναι η επίλυση του περιορισμού διαστάσεων που μπορεί να διαχειριστεί το κύκλωμα bump.

Ακόμα ένας μελλοντικός στόχος είναι η υλοποίηση πιο γενικευμένων αρχιτεκτονικών που δεν έχουν υλοποιηθεί ακόμα. Μία τέτοια αρχιτεκτονική για παράδειγμα είναι τα δέντρα απόφασης και τα δάση των δέντρων απόφασης είτε για μηχανική μάθηση είτε για μία άρχιτεκτονική βαθείας μάθησης. 54 CHAPTER 5. ΣΥΜΠΕΡΑΣΜΑΤΑ ΚΑΙ ΜΕΛΛΟΝΤΙΚΗ ΔΟΥΛΕΙΑ

Bibliography

- A. Shehab, A. Ismail, L. Osman, M. Elhoseny, and I. M. El-Henawy, "Quantified self using iot wearable devices," in *International conference* on advanced intelligent systems and informatics, pp. 820–831, Springer, 2017.
- [2] H. Jayakumar, A. Raha, Y. Kim, S. Sutar, W. S. Lee, and V. Raghunathan, "Energy-efficient system design for iot devices," in 2016 21st Asia and South Pacific design automation conference (ASP-DAC), pp. 298–301, IEEE, 2016.
- [3] M. Capra, B. Bussolino, A. Marchisio, M. Shafique, G. Masera, and M. Martina, "An updated survey of efficient hardware architectures for accelerating deep convolutional neural networks," *Future Internet*, vol. 12, no. 7, p. 113, 2020.
- [4] A. X. M. Chang and E. Culurciello, "Hardware accelerators for recurrent neural networks on fpga," in 2017 IEEE International symposium on circuits and systems (ISCAS), pp. 1–4, IEEE, 2017.
- [5] A. Sabne, P. Sakdhnagool, and R. Eigenmann, "Scaling large-data computations on multi-gpu accelerators," in *Proceedings of the 27th international ACM conference on International conference on supercomputing*, pp. 443–454, 2013.
- [6] K. Iwai, N. Nishikawa, and T. Kurokawa, "Acceleration of aes encryption on cuda gpu," *International Journal of Networking and Computing*, vol. 2, no. 1, pp. 131–145, 2012.
- [7] U. Rueckert, "Digital neural network accelerators," in NANO-CHIPS 2030, pp. 181–202, Springer, 2020.

- [8] P. Mohan, W. Wang, B. Jungk, R. Niederhagen, J. Szefer, and K. Mai, "Asic accelerator in 28 nm for the post-quantum digital signature scheme xmss," in 2020 IEEE 38th International Conference on Computer Design (ICCD), pp. 656–662, IEEE, 2020.
- [9] M. A. Talib, S. Majzoub, Q. Nasir, and D. Jamal, "A systematic literature review on hardware implementation of artificial intelligence algorithms," *The Journal of Supercomputing*, vol. 77, no. 2, pp. 1897–1938, 2021.
- [10] J. Lu, S. Young, I. Arel, and J. Holleman, "A 1 tops/w analog deep machine-learning engine with floating-gate storage in 0.13 μm cmos," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 1, pp. 270–281, 2014.
- [11] S. Moon, K. Shin, and D. Jeon, "Enhancing reliability of analog neural network processors," *IEEE Transactions on Very Large Scale Integration* (VLSI) Systems, vol. 27, no. 6, pp. 1455–1459, 2019.
- [12] A. Wang, B. H. Calhoun, and A. P. Chandrakasan, Sub-threshold design for ultra low-power systems, vol. 95. Springer, 2006.
- [13] S.-C. Liu, J. Kramer, G. Indiveri, T. Delbrück, and R. Douglas, Analog VLSI: circuits and principles. MIT press, 2002.
- [14] B. Gilbert, "Translinear circuits: A proposed classification," *Electronics letters*, vol. 1, no. 11, pp. 14–16, 1975.
- [15] J. Mulder, W. A. Serdijn, A. C. van der Woerd, and A. van Roermund, Dynamic translinear and log-domain circuits: analysis and synthesis. Springer Science & Business Media, 1998.
- [16] T. Delbrueck and C. Mead, "Bump circuits," in Proceedings of International Joint Conference on Neural Networks, vol. 1, pp. 475–479, 1993.
- [17] C. M. Bishop and N. M. Nasrabadi, Pattern recognition and machine learning, vol. 4. Springer, 2006.
- [18] S. Haykin, "Neural networks and learning machines. haykin, simon. 3/e," 2010.

- [19] M. Alber, A. Buganza Tepole, W. R. Cannon, S. De, S. Dura-Bernal, K. Garikipati, G. Karniadakis, W. W. Lytton, P. Perdikaris, L. Petzold, *et al.*, "Integrating machine learning and multiscale modeling—perspectives, challenges, and opportunities in the biological, biomedical, and behavioral sciences," *NPJ digital medicine*, vol. 2, no. 1, pp. 1–11, 2019.
- [20] A. B. Nassif, I. Shahin, I. Attili, M. Azzeh, and K. Shaalan, "Speech recognition using deep neural networks: A systematic review," *IEEE* access, vol. 7, pp. 19143–19165, 2019.
- [21] H. Fujiyoshi, T. Hirakawa, and T. Yamashita, "Deep learning-based image recognition for autonomous driving," *IATSS research*, vol. 43, no. 4, pp. 244–252, 2019.
- [22] S. P. Chatzis, V. Siakoulis, A. Petropoulos, E. Stavroulakis, and N. Vlachogiannakis, "Forecasting stock market crisis events using deep and statistical machine learning techniques," *Expert systems with applications*, vol. 112, pp. 353–371, 2018.
- [23] E. Strubell, A. Ganesh, and A. McCallum, "Energy and policy considerations for deep learning in nlp," arXiv preprint arXiv:1906.02243, 2019.
- [24] P. Chi, S. Li, C. Xu, T. Zhang, J. Zhao, Y. Liu, Y. Wang, and Y. Xie, "Prime: A novel processing-in-memory architecture for neural network computation in reram-based main memory," ACM SIGARCH Computer Architecture News, vol. 44, no. 3, pp. 27–39, 2016.
- [25] I. Akita, T. Okazawa, Y. Kurui, A. Fujimoto, and T. Asano, "A feedforward noise reduction technique in capacitive mems accelerometer analog front-end for ultra-low-power iot applications," *IEEE Journal of Solid-State Circuits*, vol. 55, no. 6, pp. 1599–1609, 2019.
- [26] E. Farella, M. Rusci, B. Milosevic, and A. L. Murphy, "Technologies for a thing-centric internet of things," in 2017 IEEE 5th International Conference on Future Internet of Things and Cloud (FiCloud), pp. 77– 84, IEEE, 2017.
- [27] A. Shawahna, S. M. Sait, and A. El-Maleh, "Fpga-based accelerators of deep learning networks for learning and classification: A review," *ieee* Access, vol. 7, pp. 7823–7859, 2018.

- [28] W. Haensch, T. Gokmen, and R. Puri, "The next generation of deep learning hardware: Analog computing," *Proceedings of the IEEE*, vol. 107, no. 1, pp. 108–122, 2018.
- [29] N. Guo, Y. Huang, T. Mai, S. Patil, C. Cao, M. Seok, S. Sethumadhavan, and Y. Tsividis, "Energy-efficient hybrid analog/digital approximate computation in continuous time," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 7, pp. 1514–1524, 2016.
- [30] M. Verhelst and A. Bahai, "Where analog meets digital: Analog? to? information conversion and beyond," *IEEE Solid-state circuits magazine*, vol. 7, no. 3, pp. 67–80, 2015.
- [31] M. Jabri, R. J. Coggins, and B. G. Flower, Adaptive analog VLSI neural systems. Springer Science & Business Media, 1996.
- [32] B. J. Sheu and J. Choi, *Neural information processing and VLSI*, vol. 304. Springer Science & Business Media, 2012.
- [33] M. Valle, "Analog vlsi implementation of artificial neural networks with supervised on-chip learning," Analog Integrated Circuits and Signal Processing, vol. 33, no. 3, pp. 263–287, 2002.
- [34] G. M. Bo, D. D. Caviglia, H. Chible, and M. Valle, "1 4 analog vls i on-ch ip learning neural network with learning rate adaptation," work, vol. 32, p. 19, 1999.
- [35] C. Lu, B.-X. Shi, and L. Chen, "An on-chip bp learning neural network with ideal neuron characteristics and learning rate adaptation," *Analog Integrated Circuits and Signal Processing*, vol. 31, no. 1, pp. 55–62, 2002.
- [36] G. Cauwenberghs, "An analog vlsi recurrent neural network learning a continuous-time trajectory," *IEEE Transactions on Neural Networks*, vol. 7, no. 2, pp. 346–361, 1996.
- [37] M. Valle and F. Diotalevi, "A dedicated very low power analog vlsi architecture for smart adaptive systems," *Applied soft computing*, vol. 4, no. 3, pp. 206–226, 2004.
- [38] G. Cauwenberghs, "Analog vlsi stochastic perturbative learning architectures," Analog Integrated Circuits and Signal Processing, vol. 13, no. 1, pp. 195–209, 1997.

- [39] A. J. Montalvo, R. S. Gyurcsik, and J. J. Paulos, "An analog visi neural network with on-chip perturbation learning," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 4, pp. 535–543, 1997.
- [40] S.-C. Liu, T. Delbruck, G. Indiveri, A. Whatley, and R. Douglas, Eventbased neuromorphic systems. John Wiley & Sons, 2014.
- [41] S. Soman, M. Suri, et al., "Recent trends in neuromorphic engineering," Big Data Analytics, vol. 1, no. 1, pp. 1–19, 2016.
- [42] G. Indiveri, B. Linares-Barranco, T. J. Hamilton, A. v. Schaik, R. Etienne-Cummings, T. Delbruck, S.-C. Liu, P. Dudek, P. Häfliger, S. Renaud, et al., "Neuromorphic silicon neuron circuits," Frontiers in neuroscience, vol. 5, p. 73, 2011.
- [43] S. A. Aamir, Y. Stradmann, P. Müller, C. Pehle, A. Hartel, A. Grübl, J. Schemmel, and K. Meier, "An accelerated lif neuronal network array for a large-scale mixed-signal neuromorphic architecture," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, no. 12, pp. 4299–4312, 2018.
- [44] E. Chicca, F. Stefanini, C. Bartolozzi, and G. Indiveri, "Neuromorphic electronic circuits for building autonomous cognitive systems," *Proceed*ings of the IEEE, vol. 102, no. 9, pp. 1367–1388, 2014.
- [45] S. Mitra, S. Fusi, and G. Indiveri, "Real-time classification of complex patterns using spike-based learning in neuromorphic vlsi," *IEEE transactions on biomedical circuits and systems*, vol. 3, no. 1, pp. 32–42, 2008.
- [46] N. Zheng and P. Mazumder, "Hardware implementations of spiking neural networks," 2020.
- [47] S. P. Adhikari, H. Kim, R. K. Budhathoki, C. Yang, and L. O. Chua, "A circuit-based learning architecture for multilayer neural networks with memristor bridge synapses," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 1, pp. 215–223, 2014.
- [48] V. Milo, G. Malavena, C. Monzio Compagnoni, and D. Ielmini, "Memristive and cmos devices for neuromorphic computing," *Materials*, vol. 13, no. 1, p. 166, 2020.

- [49] V. Saxena, X. Wu, and K. Zhu, "Energy-efficient cmos memristive synapses for mixed-signal neuromorphic system-on-a-chip," in 2018 IEEE international symposium on circuits and systems (ISCAS), pp. 1– 5, IEEE, 2018.
- [50] L. A. Camuñas-Mesa, B. Linares-Barranco, and T. Serrano-Gotarredona, "Neuromorphic spiking neural networks and their memristor-cmos hardware implementations," *Materials*, vol. 12, no. 17, p. 2745, 2019.
- [51] M. Davies, N. Srinivasa, T.-H. Lin, G. Chinya, Y. Cao, S. H. Choday, G. Dimou, P. Joshi, N. Imam, S. Jain, *et al.*, "Loihi: A neuromorphic manycore processor with on-chip learning," *Ieee Micro*, vol. 38, no. 1, pp. 82–99, 2018.
- [52] M. Davies, A. Wild, G. Orchard, Y. Sandamirskaya, G. A. F. Guerra, P. Joshi, P. Plank, and S. R. Risbud, "Advancing neuromorphic computing with loihi: A survey of results and outlook," *Proceedings of the IEEE*, vol. 109, no. 5, pp. 911–934, 2021.
- [53] N. Qiao, H. Mostafa, F. Corradi, M. Osswald, F. Stefanini, D. Sumislawska, and G. Indiveri, "A reconfigurable on-line learning spiking neuromorphic processor comprising 256 neurons and 128k synapses," *Frontiers in neuroscience*, vol. 9, p. 141, 2015.
- [54] J.-Y. Kim, M. Kim, S. Lee, J. Oh, K. Kim, and H.-J. Yoo, "A 201.4 gops 496 mw real-time multi-object recognition processor with bio-inspired neural perception engine," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 1, pp. 32–45, 2009.
- [55] J. Oh, G. Kim, B.-G. Nam, and H.-J. Yoo, "A 57 mw 12.5 μj/epoch embedded mixed-mode neuro-fuzzy processor for mobile real-time object recognition," *IEEE journal of solid-state circuits*, vol. 48, no. 11, pp. 2894–2907, 2013.
- [56] J. Lu, "An analog vlsi deep machine learning implementation," 2014.
- [57] R. Zhang and T. Shibata, "An analog on-line-learning k-means processor employing fully parallel self-converging circuitry," *Analog Integrated Circuits and Signal Processing*, vol. 75, no. 2, pp. 267–277, 2013.

- [58] K. Lee, J. Park, and H.-J. Yoo, "A low-power, mixed-mode neural network classifier for robust scene classification," *Journal of Semiconductor Technology and Science*, vol. 19, no. 1, pp. 129–136, 2019.
- [59] S.-Y. Peng, P. E. Hasler, and D. Anderson, "An analog programmable multi-dimensional radial basis function based classifier," in 2007 IFIP International Conference on Very Large Scale Integration, pp. 13–18, IEEE, 2007.
- [60] S.-Y. Peng, B. A. Minch, and P. Hasler, "Analog vlsi implementation of support vector machine learning and classification," in 2008 IEEE International Symposium on Circuits and Systems, pp. 860–863, IEEE, 2008.
- [61] K. Kang and T. Shibata, "An on-chip-trainable gaussian-kernel analog support vector machine," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 7, pp. 1513–1524, 2009.
- [62] R. Zhang and T. Shibata, "Fully parallel self-learning analog support vector machine employing compact gaussian generation circuits," *Japanese Journal of Applied Physics*, vol. 51, no. 4S, p. 04DE10, 2012.
- [63] R. Genov and G. Cauwenberghs, "Kerneltron: support vector" machine" in silicon," *IEEE Transactions on Neural Networks*, vol. 14, no. 5, pp. 1426–1434, 2003.
- [64] S. Chakrabartty and G. Cauwenberghs, "Sub-microwatt analog vlsi trainable pattern classifier," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 5, pp. 1169–1179, 2007.
- [65] R. Zhang, N. Uetake, T. Nakada, and Y. Nakashima, "Design of programmable analog calculation unit by implementing support vector regression for approximate computing," *IEEE Micro*, vol. 38, no. 6, pp. 73– 82, 2018.
- [66] "cluster analysis," 2022.
- [67] F. Murtagh and P. Contreras, "Algorithms for hierarchical clustering: an overview," Wiley Interdisciplinary Reviews: Data Mining and Knowledge Discovery, vol. 2, no. 1, pp. 86–97, 2012.

- [68] S. K. Uppada, "Centroid based clustering algorithms—a clarion study," International Journal of Computer Science and Information Technologies, vol. 5, no. 6, pp. 7309–7313, 2014.
- [69] X. Xu, M. Ester, H.-P. Kriegel, and J. Sander, "A distribution-based clustering algorithm for mining in large spatial databases," in *Proceed*ings 14th International Conference on Data Engineering, pp. 324–331, IEEE, 1998.
- [70] B. Jiang, J. Pei, Y. Tao, and X. Lin, "Clustering uncertain data based on probability distribution similarity," *IEEE Transactions on Knowledge* and Data Engineering, vol. 25, no. 4, pp. 751–763, 2011.
- [71] I. Rish et al., "An empirical study of the naive bayes classifier," in IJCAI 2001 workshop on empirical methods in artificial intelligence, vol. 3, pp. 41–46, 2001.
- [72] R. Swinburne, "Bayes' theorem," Revue Philosophique de la France Et de l, vol. 194, no. 2, 2004.
- [73] S. Ranganathan, K. Nakai, and C. Schonbach, Encyclopedia of Bioinformatics and Computational Biology: ABC of Bioinformatics. Elsevier, 2018.
- [74] V. Bakatanov, Y. F. Novosel'tsev, and R. Novosel'tseva, "Detection of muon groups with multiplicity nμ> 1500 at the baksan underground scintillation telescope," Astroparticle Physics, vol. 8, no. 1-2, pp. 59–66, 1997.
- [75] A. H. Jahromi and M. Taheri, "A non-parametric mixture of gaussian naive bayes classifiers based on local independent features," in 2017 Artificial intelligence and signal processing conference (AISP), pp. 209–212, IEEE, 2017.
- [76] D. D. Lewis, R. E. Schapire, J. P. Callan, and R. Papka, "Training algorithms for linear text classifiers," in *Proceedings of the 19th annual* international ACM SIGIR conference on Research and development in information retrieval, pp. 298–306, 1996.

- [77] Q. Shen, W.-m. Shi, and W. Kong, "New gene selection method for multiclass tumor classification by class centroid," *Journal of Biomedical Informatics*, vol. 42, no. 1, pp. 59–65, 2009.
- [78] K. Krishna, K. Ramakrishnan, and M. Thathachar, "Vector quantization using genetic k-means algorithm for image compression," in *Proceedings* of ICICS, 1997 International Conference on Information, Communications and Signal Processing. Theme: Trends in Information Systems Engineering and Wireless Multimedia Communications (Cat., vol. 3, pp. 1585–1587, IEEE, 1997.
- [79] S. Ghosh and S. K. Dubey, "Comparative analysis of k-means and fuzzy c-means algorithms," *International Journal of Advanced Computer Science and Applications*, vol. 4, no. 4, 2013.
- [80] J. Lazzaro, S. Ryckebusch, M. A. Mahowald, and C. A. Mead, "Winnertake-all networks of o (n) complexity," Advances in neural information processing systems, vol. 1, 1988.
- [81] M. T. Alkire, A. G. Hudetz, and G. Tononi, "Consciousness and anesthesia," *Science*, vol. 322, no. 5903, pp. 876–880, 2008.
- [82] H. Yousefi-Banaem, R. Goharani, M. Hajiesmaeili, A. Tafrishinejad, M. Zangi, M. Amirdosara, and M. Nashibi, "A review of bispectral index utility in neurocritical care patients," *Archives of Neuroscience*, vol. 7, no. 3, 2020.
- [83] J. Bruhn, P. S. Myles, R. Sneyd, and M. M. Struys, "Depth of anaesthesia monitoring: what's available, what's validated and what's next?," *BJA: British Journal of Anaesthesia*, vol. 97, no. 1, pp. 85–94, 2006.
- [84] R. Li, Q. Wu, J. Liu, Q. Wu, C. Li, and Q. Zhao, "Monitoring depth of anesthesia based on hybrid features and recurrent neural network," *Frontiers in neuroscience*, vol. 14, p. 26, 2020.
- [85] R. Madanu, F. Rahman, M. F. Abbod, S.-Z. Fan, and J.-S. Shieh, "Depth of anesthesia prediction via eeg signals using convolutional neural network and ensemble empirical mode decomposition," 2021.

- [86] H. U. Amin, W. Mumtaz, A. R. Subhani, M. N. M. Saad, and A. S. Malik, "Classification of eeg signals based on pattern recognition approach," *Frontiers in computational neuroscience*, vol. 11, p. 103, 2017.
- [87] J. Kim, H. Hyub, S. Z. Yoon, H.-J. Choi, K. M. Kim, and S.-H. Park, "Analysis of eeg to quantify depth of anesthesia using hidden markov model," in 2014 36th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, pp. 4575–4578, IEEE, 2014.
- [88] Y. Park, S.-H. Han, W. Byun, J.-H. Kim, H.-C. Lee, and S.-J. Kim, "A real-time depth of anesthesia monitoring system based on deep neural network with large edo tolerant eeg analog front-end," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 14, no. 4, pp. 825–837, 2020.
- [89] J.-B. Lei, J.-B. Yin, and H.-B. Shen, "Gfo: A data driven approach for optimizing the gaussian function based similarity metric in computational biology," *Neurocomputing*, vol. 99, pp. 307–315, 2013.
- [90] H.-C. Lee and C.-W. Jung, "Vital recorder—a free research tool for automatic recording of high-resolution time-synchronised physiological data from multiple anaesthesia devices," *Scientific reports*, vol. 8, no. 1, pp. 1–8, 2018.
- [91] J. W. Tukey et al., Exploratory data analysis, vol. 2. Reading, MA, 1977.