



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Προχωρημένες Τεχνικές Αντιστάθμισης Ενισχυτών

Διπλωματική Εργασία

του

Κονιαβίτη
Κωνσταντίνου

Επιβλέπων: Παύλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Αθήνα, Σεπτέμβριος 2024



Εθνικό Μετσόβιο Πολυτεχνείο
Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Προχωρημένες Τεχνικές Αντιστάθμισης Ενισχυτών

Διπλωματική Εργασία

του

**Κονιαβίτη
Κωνσταντίνου**

Επιβλέπων: Παύλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 16^η Σεπτεμβρίου
2024:

.....
Παύλος Π. Σωτηριάδης
Καθηγητής
Ε.Μ.Π.

.....
Ιωάννης Κομίνης
Καθηγητής
Ε.Μ.Π.

.....
Ιωάννης Παπανάνος
Καθηγητής
Ε.Μ.Π.

Αθήνα, Σεπτέμβριος 2024

.....
Κονιαβίτης Κωνσταντίνος

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών, Ε.Μ.Π.

Copyright © Κονιαβίτης Κωνσταντίνος 2024.

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Σε αυτή την εργασία, υλοποιήθηκε ένας τελεστικός ενισχυτής με εμφωλευμένους βρόχους g_m-C , χρησιμοποιώντας σειριακά στάδια ενίσχυσης, πυκνωτές αντιστάθμισης Miller και διαδρομές ενίσχυσης προώθησης. Ιδιαίτερη έμφαση δόθηκε στην εις βάθος ανάλυση του μαθηματικού υποβάθρου αυτής της τεχνικής αντιστάθμισης. Το υλοποιημένο κύκλωμα σχεδιάστηκε και προσομοιώθηκε μετά την κατασκευή του layout της διάταξης στην τεχνολογία CMOS TSMC 90 nm χρησιμοποιώντας το Cadence IC Suite. Σύμφωνα με τα αποτελέσματα της προσομοίωσης, η υλοποιημένη αρχιτεκτονική βελτιώνει την απόδοση ευστάθειας του κυκλώματος, επιτυγχάνοντας περιθώριο φάσης 89.45° μαζί με κέρδος DC 101.3 dB . Επιπλέον αυτή η εργασία παρουσιάζει έναν σταθεροποιημένο ρυθμιστή χαμηλής πτώσης τάσης (LDO) με λόγο απόρριψης θορύβου τροφοδοσίας DC 85 dB και περιθώριο φάσης 80° . Είναι κατάλληλος για εφαρμογές χαμηλής ισχύος, χαμηλής τάσης και υψηλής αποδοτικότητας χώρου, καθώς καταναλώνει λιγότερο από $100\mu\text{A}$. Η πτώση τάσης είναι μόνο 400 mV και η τάση τροφοδοσίας είναι μόλις 1 V . Επιπλέον, διεξάγεται πλήρης μαθηματική ανάλυση για την ευστάθεια και το θόρυβο πριν την επιβεβαίωση του κυκλώματος. Για την επιβεβαίωση της σωστής λειτουργίας της διαδικασίας υλοποίησης, πραγματοποιούνται προσομοιώσεις παραλλαγών τάσης και θερμοκρασίας. Ο προτεινόμενος ρυθμιστής σχεδιάστηκε και επιβεβαιώθηκε χρησιμοποιώντας το Cadence IC Suite στην τεχνολογία CMOS TSMC 90 nm.

Analog VLSI, Low Power design, Operational Amplifier, Nested Loops, Low-Dropout Regulator, analog integrated, low-power design, Multiloop stage

Abstract

In this work, a nested $g_m - C$ loops operational amplifier has been implemented, using cascade gain stages, Miller compensation capacitors and feedforward amplifying paths. Special care is given to thoroughly analyze the mathematical background of this compensation technique. The implemented circuit is designed and post-layout simulated in TSMC 90 nm CMOS technology node using the Cadence IC Suite. According to the simulation results the implemented architecture improves the stability performance of the circuit, achieving 89.45° phase margin along with 101.3 dB DC gain.

In addition, this work introduces a multiloop stabilized low-dropout regulator with DC power supply rejection ratio of 85 dB and phase margin of 80° . It is suitable for low power, low voltage and area efficient applications since it consumes less than $100 \mu\text{A}$. Dropout voltage is only 400 mV and the power supply rails are 1 V . Furthermore a full mathematical analysis is conducted for stability and noise before the circuit verification. To confirm the proper operation of the implementation process, voltage and temperature corner variation simulations are extracted. The proposed regulator is designed and verified utilizing the Cadence IC Suite in a TSMC 90nm CMOS process.

Analog VLSI, Low Power design, Operational Amplifier, Nested Loops, Low-Dropout Regulator, analog integrated, low-power design, Multiloop stage

Ευχαριστίες

Ολοκληρώνοντας την παρούσα εργασία, ολοκληρώθηκε ο κύκλος των προπτυχιακών σπουδών μου. Αρχικά, θα ήθελα να ευχαριστήσω την οικογένειά μου, τους φίλους μου και όλους όσους με στήριξαν στο διάστημα αυτών των πέντε ετών. Θερμές ευχαριστίες στον επιβλέποντα καθηγητή μου, κ. Παύλο Πέτρο Σωτηριάδη, για την εμπιστοσύνη και καθοδήγησή του στη συγγραφή της παρούσας διπλωματικής εργασίας. Ιδιαίτερες ευχαριστίες στον υποψήφιο διδάκτορα του Εργαστηρίου Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων, Βασίλειο Αλιμήση, για την καθοδήγηση, τη συνεισφορά του, την βοήθεια του και τον πολύτιμο χρόνο που διέθεσε για την εκπόνηση της παρούσας διπλωματικής εργασίας. Και τέλος θερμές ευχαριστίες στα υπόλοιπα μέλη του εργαστηρίου για την στήριξη και την εξαιρετική συνεργασία που είχαμε τον τελευταίο χρόνο.

Κονιαβίτης Κωνσταντίνος
Σεπτέμβριος 2024

Περιεχόμενα

Περίληψη	5
Abstract	7
Ευχαριστίες	9
Ευρετήριο Εικόνων	13
Κατάλογος Πινάκων	15
1 Εισαγωγή	17
1.1 Εισαγωγή στην Μονάδα Διαχείρισης Ενέργειας	17
2 Θεωρητικό Υπόβαθρο	19
2.1 Απόκριση Συχνότητας Γραμμικών Συστημάτων	19
2.1.1 Συστήματα Πρώτης Τάξης	20
2.2 Κριτήρια Ευστάθειας	22
2.3 Θεώρημα Miller	24
3 Ενισχυτής Πολλαπλών Βρόχων	29
3.1 Υπόβαθρο	29
3.2 Αρχιτεκτονική του Ενισχυτή	30
3.3 Ανάλυση Ευστάθειας του Βρόχου	33
3.4 Αποτελέσματα Προσομοίωσης	36
3.5 Σύγκριση και Συζήτηση	37
4 Σταθεροποίηση LDO με χρήση Πολλαπλών Βρόχων	41
4.1 Υπόβαθρο	41
4.2 Αρχιτεκτονική LDO	42
4.2.1 Τυπική Αρχιτεκτονική LDO	42

4.2.2	High Level Αρχιτεκτονική	43
4.2.3	Ενισχυτής Πολλαπλών Βρόχων	45
4.3	Μοντελοποίηση LDO και Ανάλυση	46
4.3.1	Ανάλυση Ευστάθειας	46
4.3.2	Ανάλυση Θορύβου	48
4.4	Αποτελέσματα Προσομοίωσης	50
4.5	Σύγκριση και Συζήτηση	53
5	Συμπεράσματα και Μελλοντική Δουλειά	55

Ευρετήριο Εικόνων

2.1	Διάγραμμα bode ενός πόλου.	21
2.2	Ιδανικό Σύστημα Αρνητικής Ανάδρασης[1].	22
2.3	Περιθώριο Φάσης [1].	23
2.4	Ισοδύναμο Κυκλώματα κατά Miller [1].	25
2.5	Ισοδυναμο Κύκλωμα Μικρού Σήματος	26
3.1	Αρχιτεκτονική του υλοποιημένου τελεστικού ενισχυτή, αξιοποιώντας τους φωλιασμένους βρόχους $g_m - C$ για την επίτευξη αυξημένης απόδοσης όσον αφορά τα ζητήματα σταθερότητας. [2].	31
3.2	Transistor level design of the implemented op-amp.	33
3.3	Το layout του τελεστικού ενισχυτή.	37
4.1	Τυπική Δομή LDO.	43
4.2	Αρχιτεκτονική του προτεινόμενου Ενισχυτή τριων σταδίων . . .	44
4.3	Κυκλωματική Υλοποίηση του Ενισχυτή τριων σταδίων.	46
4.4	Μοντέλο Μικρού Σήματος του Ενισχυτή Τριών Σταδίων. . . .	47
4.5	Απόκριση PSRR.	51
4.6	Απόκριση Θορύβου.	51
4.7	Layout of the proposed LDO architecture. The total area is equal to $0.034mm^2$. Common-centroid technique is used to address manufacturing considerations.	52

Κατάλογος Πινάκων

3.1	Διαστάσεις των MOS τρανζίστορ (Σχήμα 3.2).	32
3.2	Αποτελέσματα Προσομοίωσης Τελεστικού Ενισχυτή	36
3.3	Πίνακας Συγκρίσεων	38
4.1	Διαστάσεις Τρανζίστορ	45
4.2	Αποτελέσματα Προσομοίωσης LDO	52
4.3	Πίνακας Συγκρίσεων	53
4.4	Πίνακας Συγκρίσεων *the stability is affected by the size of the C_c capacitor	53

Κεφάλαιο 1

Εισαγωγή

1.1 Εισαγωγή στην Μονάδα Διαχείρισης Ενέργειας

Η ανάγκη για ενεργειακά αποδοτικές σχεδιάσεις είναι πολύ επιτακτική στις ενσωματωμένες συσκευές που λειτουργούν με μπαταρία. Η ανάπτυξη εφαρμογών και η διαχείριση των διαθέσιμων πόρων πρέπει να προσαρμοστούν σε αυτήν τη βασική απαίτηση. Περαιτέρω απαιτήσεις όπως η λειτουργία σε πραγματικό χρόνο, η απόδοση και η αξιοπιστία περιορίζουν τον κατάλληλο σχεδιασμό εφαρμογών σε μονάδες επεξεργασίας. Επομένως, πρέπει να εφαρμόζονται τεχνικές εξοικονόμησης ενέργειας για την ελαχιστοποίηση της κατανάλωσης ενέργειας κατά τη διάρκεια λειτουργίας, με βάση το φόρτο εργασίας και τις συνθήκες λειτουργίας τους.

Μια αναλογική συσκευή που μπορεί να χρησιμοποιηθεί για την ελαχιστοποίηση της κατανάλωσης ενέργειας είναι ένας Low-Dropout Regulator (LDO). Ένας ρυθμιστής LDO είναι ένας γραμμικός ρυθμιστής που μπορεί να λειτουργήσει με πολύ χαμηλή διαφορά δυναμικού μεταξύ της εισόδου και της εξόδου.

Ένας γραμμικός ρυθμιστής είναι ένας τύπος ολοκληρωμένου κυκλώματος τροφοδοσίας που μπορεί να εξάγει μια σταθερή τάση από μια είσοδο και χρησιμοποιείται σε μια ποικιλία ηλεκτρονικών συσκευών. Δεδομένου ότι ένας ρυθμιστής LDO μπορεί να λειτουργήσει με χαμηλή διαφορά δυναμικού μεταξύ της εισόδου και της εξόδου, η χρήση του βοηθά στον έλεγχο της συσσώρευσης θερμότητας και επιτρέπει την αποδοτική χρήση της ενέργειας.

Στην σχεδίαση ηλεκτρονικών συσκευών, ένας γραμμικός ρυθμιστής χρησιμοποιείται για να δημιουργήσει την απαραίτητη τάση η οποία είναι μια χαμηλότερη σταθερή τάση από την τάση εισόδου για τα επόμενα συστήματα κυρίως από την ενέργεια που παρέχεται από την μπαταρία. Οι μικροελεγκτές (MCUs), οι

αισθητήρες και άλλα εξαρτήματα γενικά απαιτούν μια σταθερή τάση για την κανονική λειτουργία τους, και εδώ είναι που παρεμβαίνει ο γραμμικός ρυθμιστής. Δεν είναι ασυνήθιστο εξωτερικοί παράγοντες ή ένα μόνο εξάρτημα σε μια ηλεκτρονική συσκευή να προκαλούν διακυμάνσεις στην τάση ή να δημιουργούν θόρυβο. Αυτοί είναι οι παράγοντες που εμποδίζουν την κανονική λειτουργία των μικροελεγκτών, των αισθητήρων ή άλλων εξαρτημάτων, και θα μπορούσαν να οδηγήσουν σε βλάβη τους στη χειρότερη περίπτωση. Ο γραμμικός ρυθμιστής μπορεί να εξάγει την απαιτούμενη σταθερή τάση χωρίς να επηρεάζεται από αλλαγές στην τάση εισόδου. Η χαμηλού θορύβου έξοδος τάσης ενός γραμμικού ρυθμιστή τον καθιστά ιδανικό για την παροχή τάσης σε μονάδες αισθητήρων ή άλλες συσκευές που είναι ευάλωτες στον θόρυβο.

Αυτοί οι γραμμικοί ρυθμιστές LDO προσφέρουν πολύ χαμηλή πτώση τάσης, γρήγορη απόκριση σε μεταβατικές καταστάσεις και εξαιρετική ρύθμιση γραμμής και φορτίου, χαρακτηριστικά που προσδίδουν αξία απόδοσης σε τελικές εφαρμογές σε Ενσύρματα/Ασύρματα και Ηχητικά Συστήματα, Τροφοδοσία FPGA/DSP/μC, καθώς και σε RF και όργανα μέτρησης. Η ευρεία επιλογή των γραμμικών ρυθμιστών LDO που προσφέρουμε παρέχει μεγάλη ποικιλία χαρακτηριστικών που καλύπτουν τις ανάγκες σας σε κάθε σχεδιασμό, είτε πρόκειται για χαμηλό θόρυβο, υψηλό PSRR, ή συμπαγή συσκευασία.

Κεφάλαιο 2

Θεωρητικό Υπόβαθρο

Σε αυτό το κεφάλαιο θα αναλυθεί η απόκριση συχνότητας των κυκλωμάτων. Σε κάθε σύστημα είναι απαραίτητη η ανάλυση στο πεδίο της συχνότητας προκειμένου να εξασφαλιστεί ότι θα είναι ευσταθές ούτως ώστε να μπορεί να επιτελεί χωρίς προβλήματα την επιθυμητή λειτουργία. Στα μη γραμμικά κυκλώματα όπως τα κυκλώματα υλοποιημένα με τρανζίστορ αυτή η τεχνική εφαρμόζεται σε αναλύσεις μικρού σήματος για μικρές γραμμικές αλλαγές γύρω από τα σημεία λειτουργίας τους. [1]

2.1 Απόκριση Συχνότητας Γραμμικών Συστημάτων

Θεωρούμε ένα γραμμικό χρονικά αναλλοίωτο σύστημα με είσοδο $U(s)$ και έξοδο $Y(s)$ στο πεδίο της μιγαδικής συχνότητας Laplace με συνάρτηση μεταφοράς $H(s)$. Τότε η έξοδος του συστήματος συνδέεται με την είσοδο με την εξής σχέση

$$Y(s) = H(s) * U(s) \quad (2.1)$$

Η συνάρτηση μεταφοράς είναι μια ρητή συνάρτηση από πολυώνυμο του s η οποία μπορεί να παραγοντοποιηθεί ως εξής

$$H(s) = K \frac{(s + \omega_{z1})(s + \omega_{z2}) \dots (s + \omega_{zm})}{(s + \omega_{p1})(s + \omega_{p2}) \dots (s + \omega_{pn})} \quad (2.2)$$

όπου ω_{zi} είναι οι ρίζες του αριθμητή της συνάρτησης μεταφοράς και ονομάζονται μηδενικά και ω_{pi} είναι οι ρίζες του παρονομαστή και ονομάζονται πόλοι.

Θέτοντας $s = j\omega$ όπου $j = \sqrt{-1}$ η συνάρτηση μεταφοράς μπορεί να γραφεί

$$H(j\omega) = |H(j\omega)|e^{j\phi} \quad (2.3)$$

όπου $|H(j\omega)|$ είναι το μέτρο της συνάρτησης μεταφοράς και ϕ η φάση. Συνήθως η απόκριση πλάτους ενός συστήματος εκφράζεται σε ντεσιμπέλ (db)

$$20\log_{10}(|H(j\omega)|)dB \quad (2.4)$$

Τα decibel είναι μια βολική μονάδα, καθώς η απόκριση πλάτους δύο γραμμικών συστημάτων σε σειρά είναι το άθροισμα των δύο αποκρίσεων πλάτους όταν εκφράζεται σε dB.

2.1.1 Συστήματα Πρώτης Τάξης

Ένα σύστημα πρώτης τάξης έχει συνάρτηση μεταφοράς ενός πόλου όπως για παράδειγμα

$$H(s) = \frac{A_o}{1 + \frac{s}{\omega_o}} \quad (2.5)$$

όπου A_o είναι το DC κέρδος της συνάρτησης και ω_o είναι η συχνότητα του πόλου. Είναι η πιο συνηθισμένη συνάρτηση μεταφοράς που συναντάται σε ηλεκτρονικά κυκλώματα. Προκύπτει φυσικά όταν συνδυάζονται μια αντίσταση και ένας πυκνωτής. Χρησιμοποιείται επίσης συχνά ως απλό μοντέλο πιο πολύπλοκων κυκλωμάτων, όπως οι τελεστικοί ενισχυτές [1].

Θέτοντας $s = j\omega$ προκύπτει η εξής σχέση

$$H(j\omega) = \frac{A_o}{\sqrt{\frac{\omega^2}{\omega_o^2} + 1}} e^{-j\tan^{-1}(\frac{\omega}{\omega_o})} \quad (2.6)$$

Άρα το μέτρο και η φάση της συνάρτησης μεταφοράς αντίστοιχα είναι

$$|H(j\omega)| = \frac{A_o}{\sqrt{\frac{\omega^2}{\omega_o^2} + 1}} \quad (2.7)$$

$$\phi(\omega) = -\tan^{-1}\left(\frac{\omega}{\omega_o}\right) \quad (2.8)$$

Για $\omega \rightarrow 0$ έχουμε ότι

$$|H(j0)| = A_o \quad (2.9)$$

$$\phi(0) = 0 \quad (2.10)$$

Αντίστοιχα για $\omega \rightarrow \omega_o$

$$|H(j\omega)| = \frac{A_o}{\sqrt{2}} \quad (2.11)$$

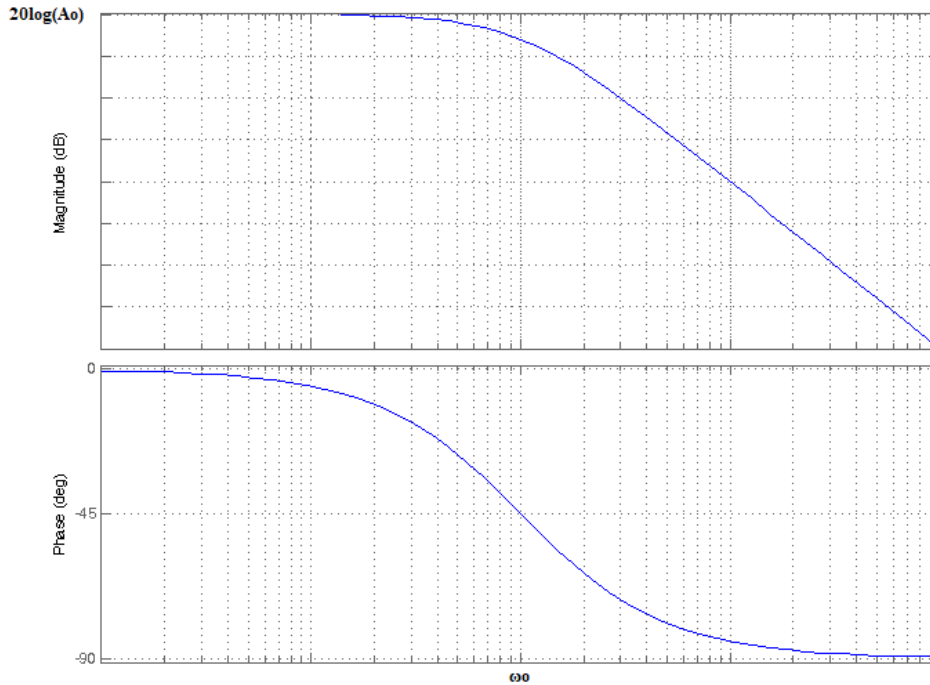
$$\phi(\omega) = -45^\circ \quad (2.12)$$

και τέλος για $\omega \rightarrow \infty$

$$|H(j\omega)| = 0 \quad (2.13)$$

$$\phi(\omega) = -90^\circ \quad (2.14)$$

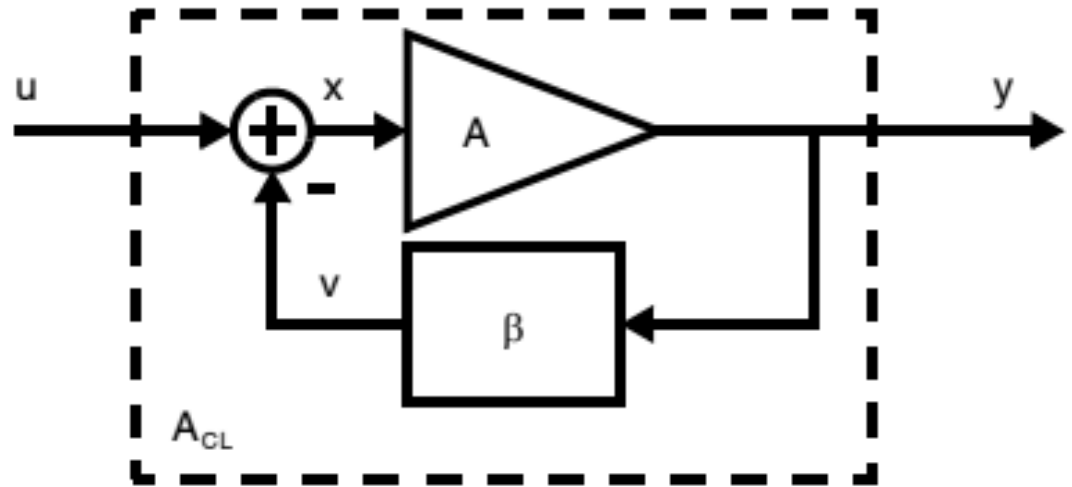
Συνοψίζοντας τα παραπάνω μπορούμε να συνθέσουμε το διάγραμμα bode μέτρου και φάσης του συστήματος όπως φαίνεται στο Σχήμα 2.1.



Σχήμα 2.1: Διάγραμμα bode ενός πόλου.

2.2 Κριτήρια Ευστάθειας

Το γραμμικό χρονικά αμετάβλητο σύστημα αρνητικής ανάδρασης που απεικονίζεται στο Σχήμα 2.2 περιλαμβάνει έναν ενισχυτή A , και κάποιο κύκλωμα ανάδρασης με κέρδος β .



Σχήμα 2.2: Ιδανικό Σύστημα Αρνητικής Ανάδρασης[1].

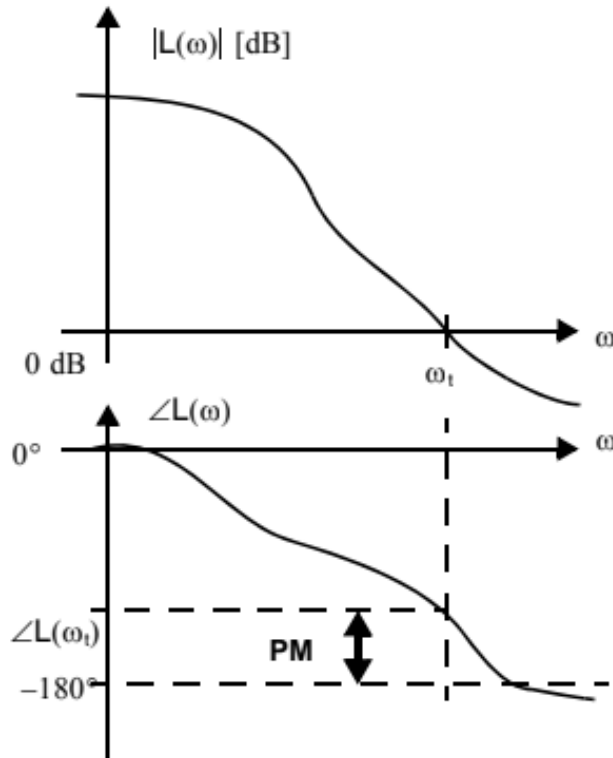
Η συνάρτηση μεταφοράς κλειστού βρόχου του παραπάνω συστήματος προκύπτει ότι είναι

$$A_{CL}(s) = \frac{A(s)}{1 + A(s)\beta(s)} \quad (2.15)$$

Όπου μπορούμε να ορίσουμε σαν κέρδος ανοιχτού βρόχου L την ποσότητα $L(s) = A(s)\beta(s)$. Για να είναι ευσταθές το σύστημα θα πρέπει να επιβεβαιωθεί πως όλοι οι πόλοι της συνάρτησης μεταφοράς κλειστού βρόχου της εξίσωσης 2.15 βρίσκονται στο αριστερό μιγαδικό ημιπίεδο. Ωστόσο, αυτή η μέθοδος δεν χρησιμοποιείται συχνά επειδή η εξαγωγή της $A(s)$ με ακρίβεια είναι δύσκολη. Ευτυχώς, η ευστάθεια μπορεί να ελεγχθεί με γνώση του πλάτους και της φάσης της απόκρισης συχνότητας του ανοιχτού βρόχου $L(\omega)$, τα οποία μπορούν να ληφθούν εύκολα μέσω προσομοίωσης κυκλωμάτων [1].

Στις περισσότερες περιπτώσεις κυκλωμάτων η απόκριση πλάτους είναι αρκετά μεγαλύτερη στις χαμηλές συχνότητες από ότι στις χαμηλές. Δηλαδή συμπεριφέρονται ως βαθυπερτά φίλτρα. Οι πόλοι οι οποίοι ευθύνονται για την μείωση του πλάτους στις υψηλές συχνότητες προσθέτουν και μια διαφορά φάσης 90°

στην απόκριση. Η διαγραμματική παράσταση Bode ανοιχτού βρόχου που σχεδιάστηκε στο Σχήμα 2.3 είναι χαρακτηριστική για όλα τα κυκλώματα ανάδρασης. Ιδιαίτερο ενδιαφέρον παρουσιάζει η συχνότητα στην οποία η απόκριση πλάτους ανοιχτού βρόχου είναι μονάδα.



Σχήμα 2.3: Περιθώριο Φάσης [1].

$$|L(j\omega)| = 1 \quad (2.16)$$

Η λύση της εξίσωσης 2.16 ονομάζεται συχνότητα μοναδιαίου κέρδους του συστήματος και συμβολίζεται ω_t . Για να είναι ευσταθές το σύστημα θα πρέπει

$$\angle L(j\omega) > -180^\circ \quad (2.17)$$

Συνοπτικά, ένας ενισχυτής με ανάδραση είναι σταθερός όσο ικανοποιείται η εξίσωση 2.17 με τον ορισμό της ω_t όπως προκύπτει από την εξίσωση 2.16. Αυτό το κριτήριο είναι γραμμένο εξ ολοκλήρου με όρους της απόκρισης πλάτους

και φάσης ανοιχτού βρόχου. Επομένως, μπορεί να ελεγχθεί απλά εξετάζοντας ένα διάγραμμα Bode του $L(j\omega)$.

Όπως υποδηλώνει το όνομα, το περιθώριο φάσης παρέχει ένα ποσοτικό μέτρο του πόσο κοντά είναι ένα σύστημα ανάδρασης στην αστάθεια. Ωστόσο, το περιθώριο φάσης παρέχει επίσης στον σχεδιαστή σημαντικές πληροφορίες για την απόκριση κλειστού βρόχου ενός ενισχυτή ανάδρασης.

Το περιθώριο φάσης ορίζεται για σταθερά συστήματα ανάδρασης ως η επιπλέον μετατόπιση φάσης που θα απαιτούνταν στη συχνότητα μονάδας κέρδους για να προκληθεί αστάθεια. Ο ορισμός απεικονίζεται γραφικά στο Σχήμα 2.3. Αναλυτικά, το περιθώριο φάσης είναι

$$\phi_{PM} = \angle L(j\omega) + 180^\circ \quad (2.18)$$

Είναι σύνηθες να καθορίζεται κάποιο ελάχιστο περιθώριο φάσης ως βασική προδιαγραφή στον σχεδιασμό ενός ενισχυτή ανάδρασης. Μια τυπική παρανόηση μεταξύ των μαθητών του αναλογικού σχεδιασμού είναι ότι αυτές οι προδιαγραφές αποσκοπούν στην προστασία από αστάθεια λόγω παραλλαγών στις τιμές των παραμέτρων του κυκλώματος. Ωστόσο, γενικά απαιτούμε πολύ μεγαλύτερα περιθώρια φάσης από αυτά που χρειάζονται απλά για να διασφαλιστεί ότι το σύστημα είναι σταθερό. Αντίθετα, απαιτούνται συνήθως μεγάλα περιθώρια φάσης μεταξύ 45° και 90° επειδή τα συστήματα με μικρότερα περιθώρια φάσης θα εμφανίσουν ανεπιθύμητη δυναμική συμπεριφορά [1].

2.3 Θεώρημα Miller

Η πιο συχνή μέθοδος για την ανάλυση ενισχυτών και προσδιορισμού της συχνότητας $-3dB$ είναι το θεώρημα Miller. Τα δύο κυκλώματα του Σχήματος 2.4 είναι ισοδύναμα αν επιλέξουμε κατάλληλα τις τιμές των σύνθετων αντιστάσεων Y_1 και Y_2 .

Συγκεκριμένα θα πρέπει

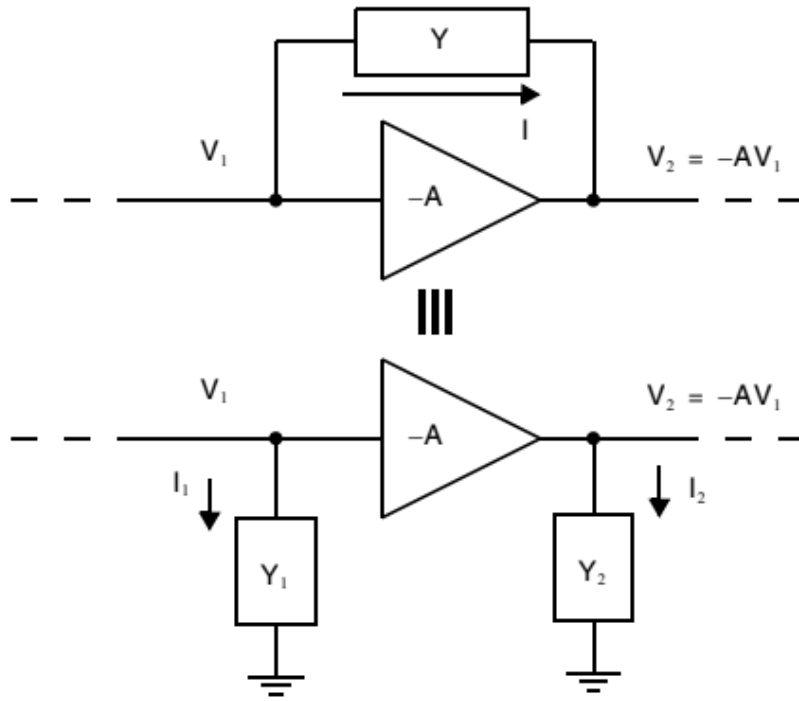
$$Y_1(s) = Y(s)(1 + A(s)) \quad (2.19)$$

$$Y_2(s) = Y(s)\left(1 + \frac{1}{A(s)}\right) \quad (2.20)$$

Σε περίπτωση που συνδεθεί ένας πυκνωτής C_c με σύνθετη αντίσταση $Y(s) = 1/sC$ τότε οι ισοδύναμοι πυκνωτές στην είσοδο και την έξοδο είναι αντίστοιχα

$$C_1 = C_c(1 + A) \quad (2.21)$$

$$C_2 = C_c(1 + \frac{1}{A}) \quad (2.22)$$



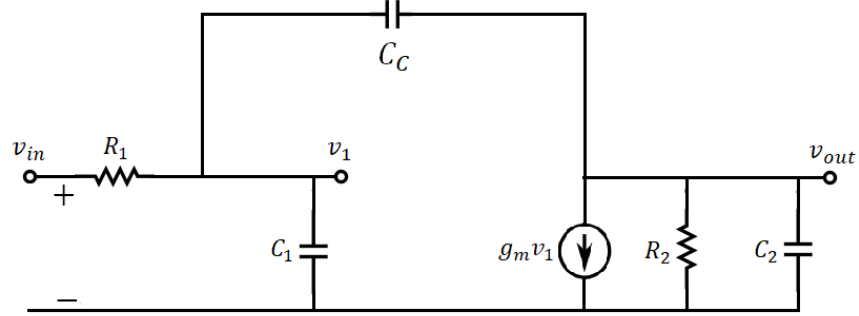
Σχήμα 2.4: Ισοδύναμα Κυκλώματα κατά Miller [1].

Είναι λοιπόν ξεκάθαρο ότι η ισοδύναμη σύνθετη αντίσταση εισόδου Z_{in} είναι

$$Z_{in} = \frac{1}{sC_c(1 + A)} \quad (2.23)$$

Αυτό σημαίνει ότι αν το κέρδος του ενισχυτή A είναι αρκετά μεγάλο η ισοδύναμη χωρητικότητα εισόδου είναι κατά $1 + A$ φορές μεγαλύτερη από την πραγματική χωρητικότητα του πυκνωτή C_c . Με αυτόν τον τρόπο μπορούμε να χρησιμοποιούμε μικρότερους σε χωρητικότητα πυκνωτές στο τσιπ και να εξοικονομούμε πολύτιμη επιφάνεια στο τσιπ.

Η δύναμη του θεωρήματος Miller είναι ότι απλοποιεί σημαντικά την ανάλυση για τον κυρίαρχο πόλο ενός κυκλώματος καθώς έχει έναν πυκνωτή μεταξύ της εισόδου και εξόδου ενός αναστροφικού ενισχυτή υψηλού κέρδους, όπως θα δούμε. Ωστόσο, το θεώρημα Miller δεν χρησιμοποιείται κατά την εκτίμηση του δεύτερου πόλου των ενισχυτών.



Σχήμα 2.5: Ισοδύναμο Κύκλωμα Μικρού Σήματος

Στο Σχήμα 2.5 παρουσιάζεται το ισοδύναμο κύκλωμα μικρού σήματος ενός ενισχυτή με έναν πυκνωτή αντιστάθμισης σε διάταξη Miller το οποίο θα χρησιμοποιηθεί για τον αναλυτικό υπολογισμό της συνάρτησης μεταφοράς του κυκλώματος η οποία είναι απαραίτητη για να αναλυθεί η ευστάθεια του κυκλώματος. Για αυτόν τον λόγο, πραγματοποιείται ανάλυση μικρού σήματος υψηλών συχνοτήτων για την εξαγωγή της συνάρτησης μεταφοράς. Η εφαρμογή των νόμων τάσης και ρεύματος του Kirchhoff οδηγεί στο ακόλουθο σύστημα εξισώσεων στο πεδίο συχνοτήτων Laplace.

$$v_{in} - (1 + sR_1(C_c + C_1))v_1 + sC_c R_1 v_{out} = 0 \quad (2.24)$$

$$v_{out}(1 + sR_2(C_c + C_2)) - (-g_m R_2 + sC_c R_2)v_1 = 0 \quad (2.25)$$

όπου R_1 η αντίσταση γραμμής στην είσοδο του ενισχυτή, R_2 η αντίσταση εξόδου του ενισχυτή, g_m το κέρδος διαγωγιμότητας, C_i οι παρασιτικές χωρητικότητες εισόδου και εξόδου αντίστοιχα και C_c ο πυκνωτής αντιστάθμισης.

Η λύση του παραπάνω συστήματος οδηγεί στη συνάρτηση μεταφοράς του κυκλώματος

$$G(s) \triangleq \frac{v_{out}}{v_{in}} \equiv \frac{N(s)}{D(s)}$$

Ο παρονομαστής της συνάρτησης μεταφοράς είναι:

$$D(s) = s^2[R_1 R_2 (C_1 + C_c)(C_2 + C_c) - R_1 R_2 C_c^2] + s(g_m R_1 R_2 C_c + R_1(C_1 + C_c) + R_2(C_2 + C_c)) + 1 \quad (2.26)$$

Υποθέτοντας ότι ο πυκνωτής αντιστάθμισης είναι πολύ μεγαλύτερος από τους παρασιτικούς πυκνωτές και ότι τα μηδενικά βρίσκονται σε πολύ υψηλές συχνοότητες οπότε τα αγνοούμε καταλήγουμε στην εξής συνάρτηση μεταφοράς

$$G(s) = \frac{A_o}{1 + s(g_m R_1 R_2 + R_1 + R_2)C_c} \quad (2.27)$$

Όπου $A_o = g_m R_2$ το οποίο είναι το DC κέρδος του ενισχυτή. Παρατηρούμε ότι έχουμε συμπεριφορά ενός πόλου που εξαρτάται μόνο από την τιμή του πυκνωτή αντιστάθμισης που θα χρησιμοποιηθεί. Στην σχεδίαση κυκλωμάτων είναι συνήθως επιθυμητή η συμπεριφορά ενός πόλου καθώς τότε η ανάλυση της ευστάθειας είναι πιο απλή. Συγκεκριμένα θα πρέπει να υπολογιστεί η συχνότητα μοναδιαίου κέρδους ω_t , δηλαδή η συχνότητα κατά την οποία το πλάτος της συνάρτησης μεταφοράς είναι μοναδιαίο. Συγκρίνοντας την συνάρτηση μεταφοράς με την εξίσωση 2.5 μπορούμε πολύ εύκολα να υπολογίσουμε τον επικρατούντα πόλο του κυκλώματος ως εξής

$$p_{-3db} = \frac{1}{(g_m R_1 R_2 + R_1 + R_2)C_c} \cong \frac{1}{g_m R_1 R_2 C_c} \quad (2.28)$$

Στα συστήματα πρώτης τάξης είναι πολύ απλό να υπολογίσουμε την συχνότητα μοναδιαίου κέρδους με τον εξής τρόπο

$$\omega_t = A_o * p_{-3db} = \frac{1}{R_1 C_c} \quad (2.29)$$

Η οποία εξαρτάται μόνο από τον πυκνωτή αντιστάθμισης C_c .

Κεφάλαιο 3

Ενισχυτής Πολλαπλών Βρόχων

Σε αυτό το κεφάλαιο θα αναλυθεί ένας τελεστικός ενισχυτής που χρησιμοποιεί την Nested $g_m - C$ Loops Miller Compensation Technique. Συγκεκριμένα, θα παρουσιαστεί η high-level αρχιτεκτονική του κυκλώματος η οποία αναλύθηκε μαθηματικά ως προς την απόκριση συχνότητας, τη μεταφορά συνάρτησης και τη συμπεριφορά ως προς την ευστάθεια με χρήση τεχνικής αντιστάθμισης πολλαπλών βρόχων. Θα αναλυθούν τα αποτελέσματα της προσομοίωσης του ενισχυτή, και παρατίθεται μια μελέτη σύγκρισης και συζήτηση σχετικά με τη συνολική απόδοση του ενισχυτή.

3.1 Υπόβαθρο

Τα Ολοκληρωμένα Κυκλώματα (ICs) έχουν φέρει επανάσταση στην σύγχρονη ηλεκτρονική με την ενσωμάτωση μιας σειράς ηλεκτρονικών εξαρτημάτων σε ένα μόνο τσιπ. Ένα από τα κύρια δομικά στοιχεία στον σχεδιασμό των ολοκληρωμένων κυκλωμάτων είναι ο τελεστικός ενισχυτής. Αυτές οι ευέλικτες συσκευές παίζουν κρίσιμο ρόλο σε διάφορες εφαρμογές, από την αναλογική επεξεργασία σήματος και την υπολογιστική έως τη ρύθμιση της τάσης και την ενίσχυση. Οι τελεστικοί ενισχυτές είναι αναπόσπαστο μέρος αμέτρητων ηλεκτρονικών συστημάτων, από ενισχυτές ήχου και κυκλώματα απόκτησης δεδομένων έως μονάδες διαχείρισης ενέργειας σε φορητές συσκευές. [3, 4]. Το κύριο πλεονέκτημά τους είναι η ικανότητα να παρέχουν υψηλή ενίσχυση, υψηλή σύνθετη αντίσταση εισόδου, χαμηλή σύνθετη αντίσταση εξόδου και ευέλικτες δυνατότητες επεξεργασίας σήματος, καθιστώντας τους αναντικατάστατο εξάρτημα στην σχεδίαση των ολοκληρωμένων κυκλωμάτων. [5].

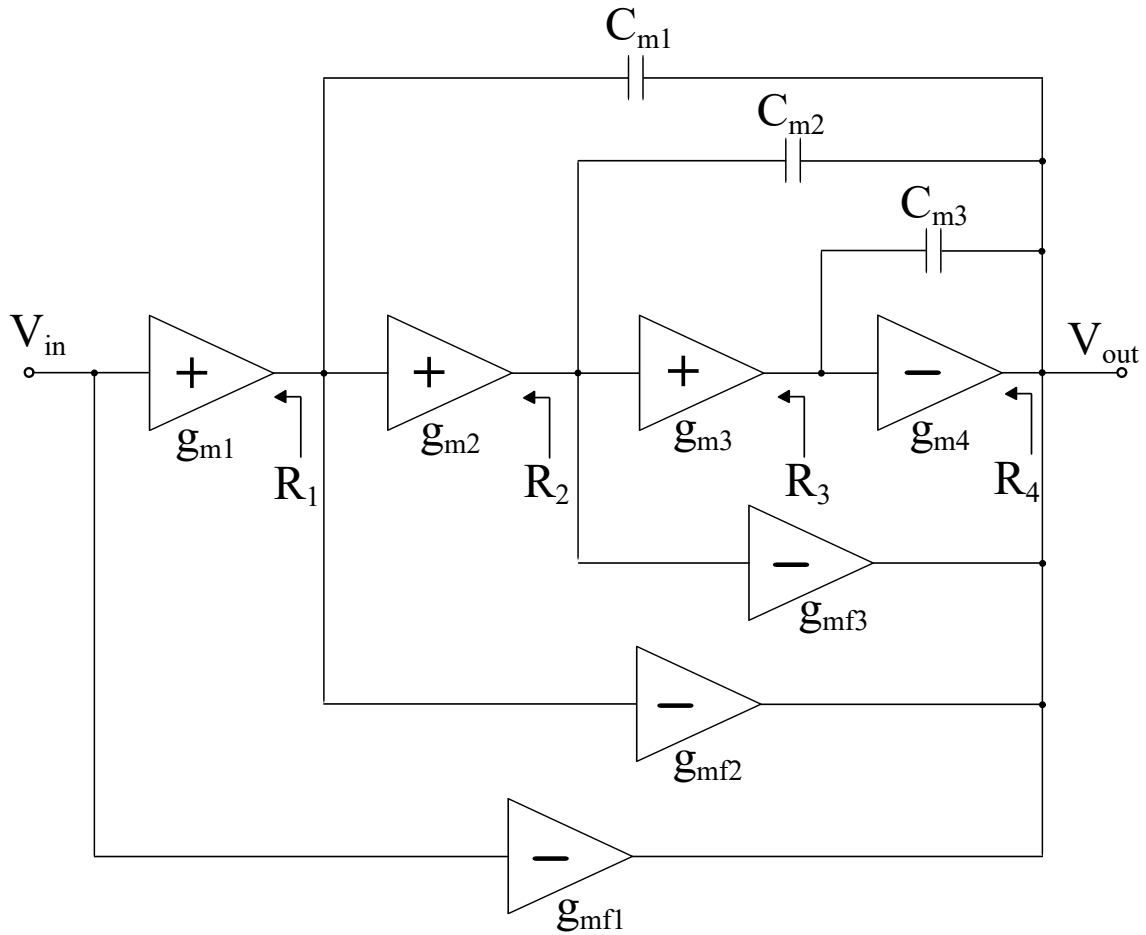
Η διασφάλιση της ευστάθειας και της ανθεκτικότητας των τελεστικών ενισχυτών (οπ-αμπς) στα ολοκληρωμένα κυκλώματα είναι εξαιρετικά σημαντική. Τα προβλήματα ευστάθειας μπορούν να οδηγήσουν σε ακούσιες ταλαντώσεις και αστάθεια στο σύστημα, που μπορεί να υποβαθμίσουν τη συνολική απόδοση ή ακόμη και να προκαλέσουν πλήρη δυσλειτουργία. Επιπλέον, η ανθεκτικότητα είναι απαραίτητη για να διασφαλιστεί ότι το κύκλωμα λειτουργεί αξιόπιστα σε διάφορες συνθήκες λειτουργίας, όπως μεταβολές στη θερμοκρασία, την τάση και τη διαδικασία κατασκευής. Παραδοσιακά, οι τελεστικοί ενισχυτές αντισταθμίζονται χρησιμοποιώντας έναν μοναδικό βρόχο ανάδρασης, δηλαδή την αντιστάθμιση Miller. Ωστόσο, το φαινόμενο Miller έχει ένα σοβαρό μειονέκτημα, καθώς εμφανίζεται ένα μηδενικό σημείο στο δεξιό ημιπίεδο, το οποίο εάν βρίσκεται σε χαμηλή/μεσαία συχνότητα επηρεάζει σοβαρά τον τελεστικό ενισχυτή.[6].

Αυτό επιτρέπει την εξερεύνηση πιο προηγμένων τεχνικών αντιστάθμισης, όπως Nested $g_m - C$ Loops Miller Compensation Technique δηλαδή η τοπολογία φωλιασμένης αντιστάθμισης αγωγιμότητας-χωρητικότητας (NGCC). Χρησιμοποιώντας πολλαπλούς φωλιασμένους βρόχους, καθίσταται δυνατό να επιτευχθεί βελτιωμένη απόδοση και ανθεκτικότητα, επιτρέποντας τον ακριβή έλεγχο της απόκρισης του τελεστικού ενισχυτή και την αντιμετώπιση των προκλήσεων σταθερότητας που συχνά συναντώνται σε σχεδιασμούς με έναν μόνο βρόχο. [7]. Σε αυτό το κεφάλαιο, ένας τελεστικός ενισχυτής αντισταθμισμένος με φωλιασμένους βρόχους $g_m - C$ μοντελοποιείται, σχεδιάζεται και προσομοιώνεται, αποδεικνύοντας τη δυναμική αυτής της τεχνικής αντιστάθμισης για την αντιμετώπιση κρίσιμων περιορισμών και τη βελτίωση της συνολικής απόδοσης και ανθεκτικότητας των ολοκληρωμένων κυκλωμάτων. Η υλοποίηση του τελεστικού ενισχυτή γίνεται χρησιμοποιώντας την τεχνολογία TSMC CMOS 90nm, χρησιμοποιώντας το Cadence IC suite για τον σχεδιασμό και την ροή προσομοίωσης.

3.2 Αρχιτεκτονική του Ενισχυτή

Για να ελαχιστοποιηθούν τα αποτελέσματα που προκύπτουν από τα μηδενικά στο δεξιό μιγαδικό ημιπίεδο, η αρχιτεκτονική που απεικονίζεται στο Σχήμα 3.1 υλοποιήθηκε και παρουσιάζεται σε αυτή την υποενότητα.

Αυτή η τοπολογία αποτελείται από 4 διαδοχικά στάδια ενίσχυσης, που σημειώνονται με τα κέρδη αγωγιμότητάς τους $g_{m1}-g_{m4}$ και τις ισοδύναμες αντιστάσεις εξόδου R_1-R_4 . Το τελευταίο στάδιο στην αλυσίδα έχει αρνητική ενίσχυση σε αντίθεση με τα πρώτα 3 στάδια. Επιπλέον, η αντιστάθμιση του τελεστικού ενισχυτή επιτυγχάνεται με τη χρήση 3 βρόχων ανάδρασης που α-



Σχήμα 3.1: Αρχιτεκτονική του υλοποιημένου τελεστικού ενισχυτή, αξιοποιώντας τους φωλιασμένους βρόχους $g_m - C$ για την επίτευξη αυξημένης απόδοσης όσον αφορά τα ζητήματα σταθερότητας. [2].

ποτελούνται από τους πυκνωτές C_{m1} , C_{m2} και C_{m3} , συνδεδεμένους για να εκμεταλλευτούν το φαινόμενο Μίλλερ, ώστε να αποφευχθούν πολύ μεγάλες τιμές για αυτούς. Λόγω αυτών των πυκνωτών, 3 μηδενικά στο δεξιό ημιπίεδο προστίθενται στη δυναμική του συστήματος, θέτοντας σε κίνδυνο τη σταθερότητα του εάν κάποιο από αυτά βρίσκεται σε χαμηλές/μεσαίες συχνότητες. Μια πιθανή προσέγγιση για την αντιμετώπιση των επιπτώσεων αυτών των πυκνωτών στον τελεστικό ενισχυτή είναι η 'μετατόπιση' των προστιθέμενων μηδενικών σε πολύ υψηλές συχνότητες. Για να επιτευχθεί αυτό, χρησιμοποιείται η τεχνική αντιστάθμισης προώθησης. Συγκεκριμένα, τα στάδια ενίσχυσης προώθησης

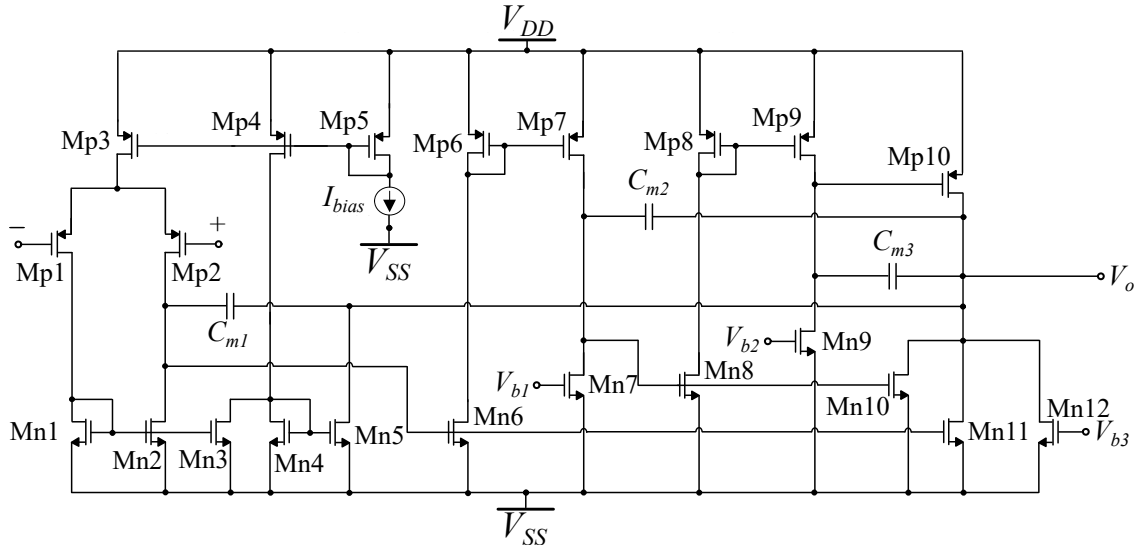
σημειώνονται με τις διαγωγιμότητες τους g_{mf1} - g_{mf3} και προστίθενται για κάθε αντίστοιχο μηδενικό, όπως φαίνεται στο μοντέλο του Σχήματος 3.1. Όπως εξηγείται διεξοδικά στη μαθηματική ανάλυση, η αγωγιμότητα (g_{mfi}) κάθε σταδίου προώθησης πρέπει να είναι ίση με την αντίστοιχη αγωγιμότητα κάθε σταδίου του επιχειρησιακού ενισχυτή (g_{mi}). Με αυτόν τον τρόπο, το αντίστοιχο μηδενικό τοποθετείται σε πολύ υψηλές συχνότητες όπου πρακτικά δεν έχει καμία επίδραση στη σταθερότητα, ελαχιστοποιώντας την επίπτωση στον τελεστικό ενισχυτή.

Πίνακας 3.1: Διαστάσεις των MOS τρανζίστορ (Σχήμα 3.2).

NMOS	W/L μ/μ	PMOS	W/L μ/μ
M_{n1} - M_{n4}	4/1	M_{p1}, M_{p2}	16/1
M_{n5}	3.94/1	M_{p3}	20/1
M_{n6} - M_{n10}	4/1	M_{p4}	16/1
M_{n11}	3.76/1	M_{p5}	4/1
M_{n12}	2/1	M_{p6}, M_{p7}	4/12
-	-	M_{p8}, M_{p9}	8/1
-	-	M_{p10}	60/1

Η υλοποίηση του κυκλώματος της αρχιτεκτονικής που περιγράφηκε προηγουμένως απεικονίζεται στο Σχήμα 3.2. Τα τρανζίστορ M_{p1} , M_{p2} μαζί με τον καθρέφτη ρεύματος που σχηματίζεται από τα τρανζίστορ M_{n1} , M_{n2} συνθέτουν το πρώτο στάδιο του τελεστικού ενισχυτή (g_{m1}), υλοποιώντας ένα μονοτερματικό διαφορικό ζεύγος. Η αντίστοιχη διαδρομή προώθησης καθορίζεται από το τρανζίστορ M_{n5} συνοδευόμενο από τους καθρέφτες ρεύματος M_{n1} - M_{n3} και M_{n4} - M_{n5} . Το M_{n5} συνδέεται σε συνδεσμολογία κοινής πηγής και πρέπει να είναι πολωμένο μέσω του τρανζίστορ M_{p4} και διαστασιολογημένο κατάλληλα ώστε $g_{m1} = g_{mf1}$. Το τρανζίστορ M_{n6} συνδεδεμένο σε συνδεσμολογία κοινής πηγής μαζί με τον καθρέφτη ρεύματος M_{p6} - M_{p7} συνθέτουν το δεύτερο στάδιο του επιχειρησιακού ενισχυτή. Ο καθρέφτης M_{p6} - M_{p7} αναστρέφει τη φάση του σήματος καθιστώντας το κέρδος τάσης θετικό. Για το αντίστοιχο στάδιο προώθησης, χρησιμοποιείται το τρανζίστορ M_{n11} που πρέπει να είναι ισομεγέθες με το τρανζίστορ M_{n6} ώστε τα ρεύματα που διαρρέουν να είναι ίσα. Το γεγονός ότι $V_{gs, M_{n11}} = V_{gs, M_{n6}}$ διασφαλίζει ότι $g_{m2} = g_{mf2}$. Για το τρίτο στάδιο, εφαρμόστηκε η ίδια σχεδιαστική προσέγγιση. Για το τελικό στάδιο ενίσχυσης σχεδιάστηκε ένας "ΜΟΣ αναστροφέας όπου το τρανζίστορ M_{p10} παρέχει την αρνητική ενίσχυση g_{m4} . Οι διαστάσεις των τρανζίστορ συνοψίζονται στον Πίνακα 3.1.

3.3 Ανάλυση Ευστάθειας του Βρόχου



Σχήμα 3.2: Transistor level design of the implemented op-amp.

Σε αυτή την Ενότητα, παρουσιάζονται τα μαθηματικά πίσω από την τεχνική αντιστάθμισης φωλιασμένων βρόχων $g_m - C$. Ο αναλυτικός υπολογισμός της συνάρτησης μεταφοράς του κυκλώματος είναι απαραίτητος για να αναλυθεί η ευστάθεια του. Για αυτόν τον λόγο, πραγματοποιείται ανάλυση μικρού σήματος υψηλών συχνοτήτων για την εξαγωγή της συνάρτησης μεταφοράς. Η εφαρμογή των νόμων τάσης και ρεύματος του Kirchhoff οδηγεί στο ακόλουθο σύστημα εξισώσεων στο πεδίο συχνοτήτων Laplace.

$$(1 + sC_{m1}R_1)v_1 - g_{m1}R_1v_{in} - sC_{m1}R_1v_{out} = 0 \quad (3.1)$$

$$(1 + sC_{m2}R_2)v_2 - g_{m2}R_2v_1 - sC_{m2}R_2v_{out} = 0 \quad (3.2)$$

$$(1 + sC_{m3}R_3)v_3 - g_{m3}R_3v_2 - sC_{m3}R_3v_{out} = 0 \quad (3.3)$$

$$\begin{aligned} [1 + s(C_{m1} + C_{m2} + C_{m3})R_4]v_{out} + g_{mf1}R_4v_{in} + \\ (g_{mf2}R_4 - sC_{m1}R_4)v_1 + (g_{mf3}R_4 - sC_{m2}R_4)v_2 + \\ (g_{mf4}R_4 - sC_{m4}R_4)v_3 = 0 \end{aligned} \quad (3.4)$$

όπου v_i είναι η εναλλασσόμενη τάση στον κόμβο i , g_{mi} είναι το κέρδος διαγωγιμότητας κάθε σταδίου, R_i είναι η αντίσταση εξόδου κάθε σταδίου και g_{mfi} είναι το κέρδος διαγωγιμότητας κάθε σταδίου προώθησης.

Η λύση του παραπάνω συστήματος οδηγεί στη συνάρτηση μεταφοράς του κυκλώματος

$$G(s) \triangleq \frac{v_{out}}{v_{in}} \equiv \frac{N(s)}{D(s)}$$

Ο αριθμητής της συνάρτησης μεταφοράς είναι:

$$\begin{aligned} N(s) = & s^3 [C_{m1}C_{m2}C_{m3}R_1R_2R_3R_4(g_{m1} - g_{mf1})] + \\ & s^2 \{C_{m1}R_1R_4(C_{m2}R_2 + C_{m3}R_3)(g_{m1} - g_{mf1}) + \\ & C_{m2}C_{m3}R_1R_3 [R_2R_4g_{m1}(g_{m2} - g_{mf2}) + R_4g_{mf1}]\} + \\ & s \{C_{m1}R_1R_4(g_{m1} - g_{mf1}) + \\ & C_{m2}R_2R_4 [g_{m1}R_1(g_{m2} - g_{mf2}) + g_{mf1}] \\ & + C_{m3}R_3R_4 [R_1R_2g_{m1}g_{m2}(g_{m3} - g_{mf3}) + g_{mf1}(1 + R_1g_{mf2})]\} \\ & + R_1R_2g_{m1}g_{m2}(R_3R_4g_{m3}g_{m4} + R_4g_{mf3}) \\ & + g_{m1}g_{mf2}R_1R_4 + g_{mf1}R_4 \quad (3.5) \end{aligned}$$

Για να τοποθετηθούν τα μηδενικά του συστήματος σε πολύ υψηλές συχνότητες, η διαγωγιμότητα κάθε σταδίου ενίσχυσης g_{mi} πρέπει να είναι ίση με την διαγωγιμότητα g_{mfi} της αντίστοιχης διαδρομής προώθησης. Με αυτόν τον τρόπο, ελαχιστοποιείται η επίδραση αυτών των μηδενικών στην ευστάθεια του συστήματος και αν αγνοήσουμε πολύ μικρούς όρους, ο αριθμητής της συνάρτησης μεταφοράς απλοποιείται ως εξής:

$$\begin{aligned} N(s) = & s^2 R_4 g_{mf1} + s [C_{m2} R_2 R_4 g_{mf1} \\ & + C_{m3} R_3 R_4 (g_{mf1} + R_1 g_{mf1} g_{mf2})] + A_o \quad (3.6) \end{aligned}$$

όπου $A_o = g_{m1} g_{m2} g_{m3} g_{m4} R_1 R_2 R_3 R_4$.

Εφαρμόζοντας την ίδια διαδικασία το αποτέλεσμα για τον παρονομαστή είναι:

$$\begin{aligned} D(s) = & s^3 (C_{m1} C_{m2} C_{m3} R_1 R_2 R_3 R_4 g_{m4}) + \\ & s^2 (C_{m1} C_{m2} R_1 R_2 R_3 R_4 g_{m3} g_{m4}) + \\ & s (C_{m1} R_1 R_2 R_3 R_4 g_{m2} g_{m3} g_{m4}) + 1 \quad (3.7) \end{aligned}$$

Λόγω της υπολογιστικής πολυπλοκότητας που προκύπτει όταν προσπαθούμε να υπολογίσουμε τις ρίζες του παρονομαστή και να τις τοποθετήσουμε σε επιθυμητές θέσεις, εφαρμόζουμε την μέθοδο Open-Circuit Time Constants

(OCTC). Η OCTC δίνει μια εκτίμηση (συνήθως προσεγγιστική) για τη θέση των πόλων ενός κυκλώματος. Ωστόσο, η ακρίβεια που παρέχει η OCTC είναι επαρκής κατά το σχεδιασμό του κυκλώματος και αποτελεί μια χρήσιμη μέθοδο όταν αντιμετωπίζουμε περίπλοκες συναρτήσεις μεταφοράς [6].

Συνεπώς ο επικρατών πόλος του κυλώματος είναι

$$\begin{aligned}\omega_{p1} &= \frac{1}{(R_1 + R_4 + g_{m2}g_{m3}g_{m4}R_1R_2R_3R_4)C_{m1}} \\ &\cong \frac{1}{g_{m2}g_{m3}g_{m4}R_1R_2R_3R_4C_{m1}}\end{aligned}\quad (3.8)$$

Με παρόμοιο τρόπο οι συχνότητες των μη επικρατούντων πόλων του κυκλώματος υπολογίζονται ως εξής:

$$\omega_{p2} \cong \frac{1}{g_{m3}g_{m4}R_3R_4R_2C_{m2}}\quad (3.9)$$

$$\omega_{p3} \cong \frac{1}{g_{m3}g_{m4}R_3R_4C_{m3}}\quad (3.10)$$

Στην σχεδίαση των τελεστικών ενισχυτών, είναι συνήθως επιθυμητή η συμπεριφορά ενός πόλου για να επιτευχθεί τόσο υψηλή ενίσχυση όσο και καλή ευστάθεια. Επιπλέον, ο υπολογισμός της συχνότητας μοναδιαίου κέρδους (UGBW) του τελεστικού ενισχυτή, δηλαδή η συχνότητα στην οποία η ενίσχυση του είναι 0dB, είναι απαραίτητος. Σε μια συνάρτηση μεταφοράς μονού πόλου, ο υπολογισμός της UGBW είναι αρκετά απλός και μπορεί να προκύψει ως εξής

$$\omega_t = \frac{\omega_{p1}}{A_o} = \frac{g_{m1}}{C_{m1}}\quad (3.11)$$

Από το τελευταίο αποτέλεσμα, συμπεραίνεται απευθείας ότι για να αυξηθεί η ζώνη ενίσχυσης του ενισχυτή, το κύκλωμα πρέπει να είναι πολωμένο έτσι ώστε να έχει μεγάλη τιμή g_{m1} . Επιπλέον, πρέπει να επαληθευτεί ότι το σύστημα είναι ευσταθές και να διασφαλιστεί ότι έχει επαρκές περιθώριο φάσης. Το περιθώριο φάσης δίνεται ως εξής

$$\begin{aligned}\phi_{pm} &= 90^\circ - \tan^{-1}\left(\frac{\omega_t}{\omega_{p2}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_{p3}}\right) \\ &\quad - \tan^{-1}\left(\frac{\omega_t}{\omega_{z1}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_{z2}}\right)\end{aligned}\quad (3.12)$$

όπου ω_{z1} και ω_{z2} είναι οι συχνότητες των δεξιών ημιεπιπέδων μηδενικών, οι οποίες είναι πολύ μεγαλύτερες από τη συχνότητα ω_t , όπως αναφέρθηκε παραπάνω.

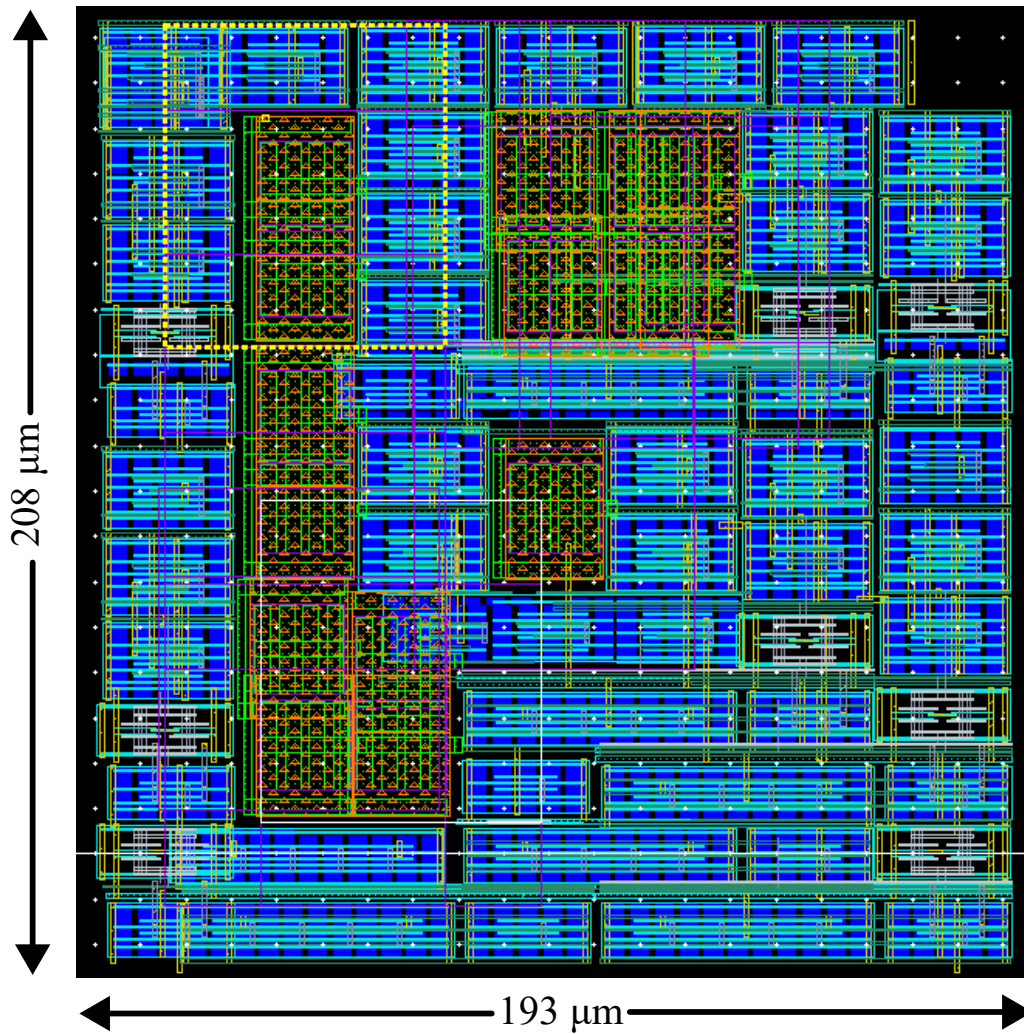
3.4 Αποτελέσματα Προσομοίωσης

Η προσομοίωση πραγματοποιήθηκε στο layout τελεστικού ενισχυτή, όπως φαίνεται στο Σχήμα 3.3. Για χάρην προσομοίωσης, το κύκλωμα συνδέθηκε σε ιδανικό αρνητικό βρόχο ανάδρασης με είσοδο κοινής τρόπου $V_{CM} = 570mV$. Η ιδανική ανάδραση δημιουργήθηκε χρησιμοποιώντας έναν ιδανικό buffer τάσης για την έξοδο του τελεστικού ενισχυτή V_{out} σε σειρά με ένα πολύ μεγάλης τιμής πηνίο και έναν πολύ μεγάλης τιμής πυκνωτή προς την τάση V_{SS} . Οι προσομοιώσεις πραγματοποιήθηκαν με έναν πυκνωτή $20pF$ παράλληλα με έναν αντίσταση $20k\Omega$ ως φορτίο. Επιπλέον, η τροφοδοσία ρεύματος τέθηκε στα $I_{bias} = 1\mu A$ προκειμένου να επιτευχθεί η ελάχιστη δυνατή κατανάλωση ισχύος με όλα τα τρανζίστορ να λειτουργούν στην περιοχή κορεσμού.

Πίνακας 3.2: Αποτελέσματα Προσομοίωσης Τελεστικού Ενισχυτή

Parameter	Value
Power Supply	0.9
DC Gain	101.3dB
Phase Margin	89.45°
Gain Margin	29.87dB
Unity Gain Bandwidth (UGBW)	1.95MHz
Power Consumption	28.11 μW
Load conditions	20pF // 20k Ω
Area	0.04 mm ²

Υπό τις προαναφερθείσες συνθήκες, ο επιχειρησιακός ενισχυτής μπορεί να παρέχει ένα πολύ υψηλό DC κέρδος τάσης περίπου 100 dB· μια λογική τιμή, αφού χρησιμοποιούνται τέσσερα σειριακά στάδια. Η κύρια πλεονεκτική ιδιότητα αυτού του κυκλώματος είναι η απόδοση ευστάθειας. Παρόλο που ο τελεστικός ενισχυτής αποτελείται από τέσσερα σειριακά στάδια και εμφανίζονται τρία μηδενικά στο δεξί μιγαδικό ημιπίεδο λόγω του φαινομένου Miller των τριών πυκνωτών αντιστάθμισης, το κύκλωμα επιτυγχάνει Περιθώριο Φασής μεγαλύτερο από 89°, εδραιώνοντας ένα πολύ ανθεκτικό σχεδιασμό. Επιπλέον, η συχνότητα μοναδιαίου κέρδους είναι αρκετά αξιοπρεπής και βρίσκεται στα περίπου 2 MHz, ενώ το Περιθώριο Κέρδους είναι πάντα πάνω από 29 dB. Τέλος, η συνολική τιμή των τριών πυκνωτών αντιστάθμισης δεν υπερβαίνει τα 6pF, πράγμα που εξοικονομεί πολύτιμη επιφάνεια στο τσιπ, υπογραμμίζοντας τη σημασία της αντιστάθμισης Miller.



Σχήμα 3.3: Το layout του τελεστικού ενισχυτή.

3.5 Σύγκριση και Συζήτηση

Πίνακας 3.3: Πίνακας Συγγραφίσεων

	Process	Supply	Load conditions	DC gain	Phase margin	Gain margin	UGBW	Power Consumption	Estimated area
Παφούσα Δουλειά	90nm	0.9V	20k Ω //20pF	101.3dB	89.45°	29.87dB	1.95MHz	28.11 μ W	0.04 mm ²
[7]	0.8 μ m	2V	25k Ω //100pF	> 100dB	48°	NA	2.6MHz	676 μ W	0.14 mm ²
[2]	2 μ m	2V	10k Ω //20pF	100dB	60°	NA	610kHz	0.68mW	0.22 mm ²
[8]	0.6 μ m	3V	20k Ω //1pF	96.76dB	83.66°	10.53dB	59.51MHz	4.41mW	NA
[9]	0.6 μ m	3V	40pF	102dB	76°	18dB	47MHz	6.9mW	NA
[10]	0.8 μ m	2V	25k Ω //120pF	> 100dB	65°	NA	4.5MHz	0.4mW	0.06 mm ²
[11]	0.35 μ m	1.5V	150pF	110dB	> 57°	NA	4.4MHz	30 μ W	< 0.02 mm ²

Σε αυτή την ενότητα, ο υλοποιημένος τελεστικός ενισχυτής συγκρίνεται με άλλους ενισχυτές που χρησιμοποιούν διάφορες τεχνικές αντιστάθμισης, τόσο συμβατικές όσο και προηγμένες. Τα αποτελέσματα απόδοσης αυτών των σχεδιασμών περιγράφονται στον Πίνακα 3.3.

Η προτεινόμενη αρχιτεκτονική υπερτερεί σε σχέση με τους άλλους τελεστικούς ενισχυτές ως προς το περιθώριο φάσης, το περιθώριο κέρδους και την κατανάλωση ισχύος, κάνοντάς τον έτσι σημαντικά πιο ενεργειακά αποδοτική επιλογή, αλλά ταυτόχρονα πολύ ανθεκτική.

Επιπλέον, επιτυγχάνει υψηλό κέρδος Δ° μικροσήματος σε σύγκριση με τις άλλες υλοποιήσεις στον Πίνακα 3.3, εκτός από το [11] το οποίο έχει υψηλότερο κέρδος με αντάλλαγμα το περιθώριο φάσης.

Όσον αφορά τη Συχνότητα Μοναδιαίου Κέρδους (UGBW), ο προτεινόμενος σχεδιασμός έχει ικανοποιητική τιμή, λαμβάνοντας υπόψη την τιμή του χωρητικού φορτίου που χρησιμοποιείται μαζί με τις χαμηλές τιμές βιομηχανικών ρευμάτων στον ενισχυτή.

Κεφάλαιο 4

Σταθεροποίηση LDO με χρήση Πολλαπλών Βρόχων

Σε αυτήν την ενότητα παρουσιάζεται ένας Low Dropout Regulator (LDO) ο οποίος χρησιμοποιεί σαν Error Amplifier (EA) έναν τελεστικό ενισχυτή με πολλαπλούς βρόχους. Θα παρουσιαστεί η προτεινόμενη αρχιτεκτονική του ενισχυτή μαζί με την κυκλωματική του υλοποίηση σε επίπεδο τρανζιστορ, καθώς επίσης και μια λεπτομερής μαθηματική ανάλυση τόσο για την ευστάθεια όσο και για τον θόρυβο του ενισχυτή. Τέλος θα παρατεθούν τα αποτελέσματα της προσομοίωσης καθώς και η σύγκριση της παρούσας δουλείας με άλλους LDO

4.1 Υπόβαθρο

Στο γρήγορα εξελισσόμενο πεδίο της ηλεκτρονικής, οι λύσεις διαχείρισης ισχύος είναι κρίσιμες για την απόδοση και την αξιοπιστία των σύγχρονων συσκευών [12, 13, 14]. Οι ρυθμιστές Low Dropout (LDO), οι οποίοι διατηρούν σταθερή την τάση εξόδου παρά τις διακυμάνσεις της τάσης εισόδου ή τις συνθήκες φορτίου, είναι βασικά εξαρτήματα σε αυτά τα συστήματα [15, 16, 17]. Η ικανότητά τους να παρέχουν ακριβή ρύθμιση τάσης με ελάχιστο θόρυβο τους καθιστά ανεκτίμητους σε ποικίλες εφαρμογές, από την καταναλωτική ηλεκτρονική έως το βιομηχανικό εξοπλισμό [18, 19, 20, 21]. Καθώς η τεχνολογία προχωράει, η ζήτηση για αποδοτικούς, αξιόπιστους και συμπαγείς σχεδιασμούς LDO συνεχίζει να αυξάνεται, προωθώντας την καινοτομία σε αυτό το κρίσιμο πεδίο της διαχείρισης ισχύος [17, 15, 22, 23].

Η κύρια λειτουργία ενός ρυθμιστή LDO είναι να παρέχει σταθερή τάση εξόδου ενώ λειτουργεί με μικρή διαφορά μεταξύ της τάσης εισόδου και εξόδου, γνωστή ως τάση πτώσης (dropout voltage) [15, 24, 25, 26]. Αυτό το χα-

ρακτηριστικό είναι ιδιαίτερα ωφέλιμο σε συσκευές που τροφοδοτούνται από μπαταρία όπου η μέγιστη απόδοση της ενεργειακής αποδοτικότητας είναι ζωτικής σημασίας [27]. Αντίθετα με τους ρυθμιστές διακοπτόμενης λειτουργίας, οι οποίοι μπορούν να προκαλέσουν σημαντικό θόρυβο και ηλεκτρομαγνητικές παρεμβολές, οι LDO προσφέρουν μια πιο καθαρή, ήσυχη εναλλακτική λύση, καθιστώντας τους ιδανικούς για ευαίσθητα αναλογικά και ψηφιακά κυκλώματα [28, 29]. Η απλότητα της σχεδίασης LDO επίσης συμβάλλει στη δημοτικότητά τους, καθώς συνήθως απαιτούν λιγότερα εξωτερικά εξαρτήματα και καταλαμβάνουν μικρότερο χώρο.

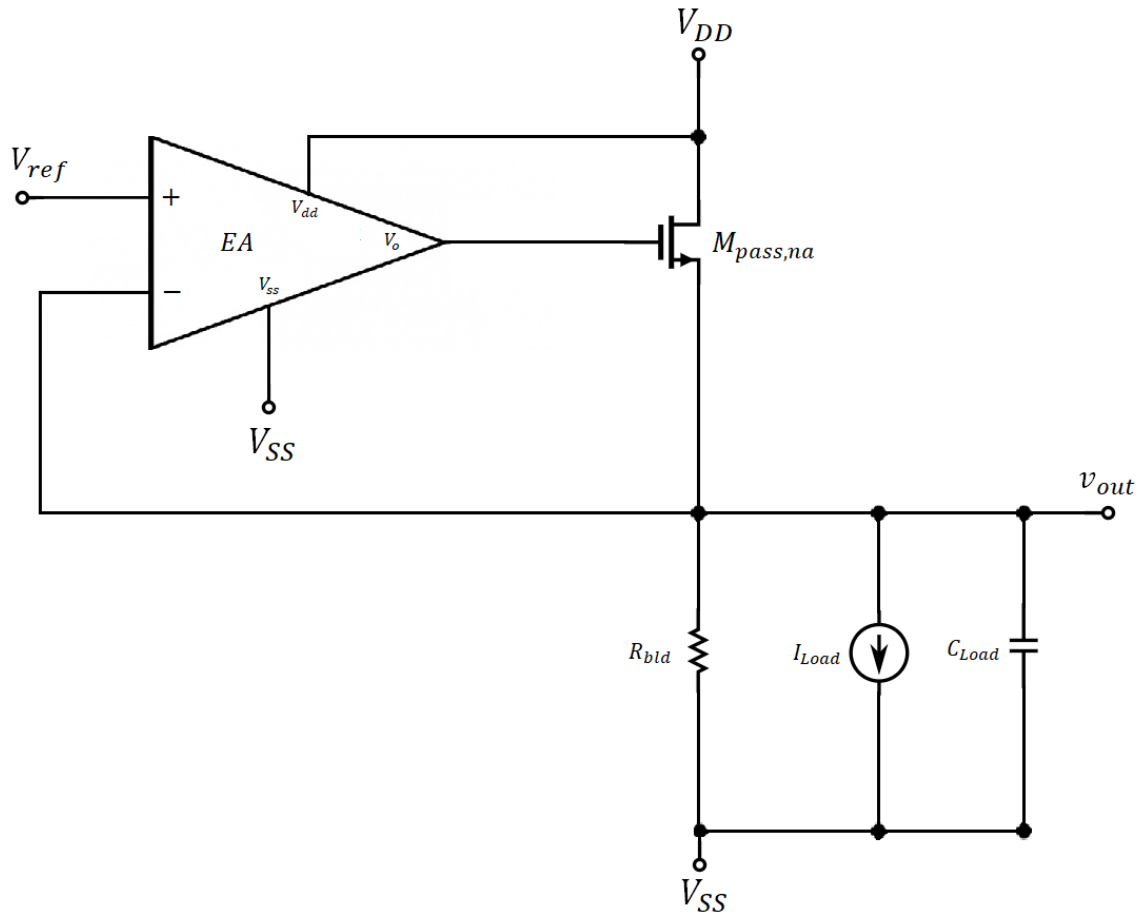
Καθώς οι ηλεκτρονικές συσκευές γίνονται πιο εξελιγμένες και ενεργοβόρες, οι προκλήσεις που σχετίζονται με το σχεδιασμό των ρυθμιστών LDO γίνονται πιο έντονες [30, 31]. Οι μηχανικοί πρέπει να ισορροπούν διάφορες παραμέτρους απόδοσης όπως η ρύθμιση φορτίου, ο λόγος απόρριψης τροφοδοσίας (PSRR), η απόκριση σε μεταβατικές καταστάσεις και η θερμική διαχείριση [32, 33, 34, 35]. Επιπλέον, η τάση προς ελαχιστοποίηση διατάσσει ότι αυτοί οι ρυθμιστές όχι μόνο πρέπει να λειτουργούν αποδοτικά αλλά και να καταλαμβάνουν ελάχιστο χώρο. Η αντιμετώπιση αυτών των προκλήσεων απαιτεί καινοτόμες στρατηγικές σχεδιασμού και βαθιά κατανόηση των βασικών αρχών λειτουργίας.

4.2 Αρχιτεκτονική LDO

4.2.1 Τυπική Αρχιτεκτονική LDO

Οι ρυθμιστές LDO είναι βασικά εξαρτήματα σε σύγχρονες εφαρμογές [32, 33, 34, 35]. Η Εικόνα 1 απεικονίζει μια τυπική δομή LDO που περιλαμβάνει ένα κύκλωμα αναφοράς Bandgap (BGR) [21, 36], το οποίο δε θα αναλυθεί σε αυτή την εργασία, έναν ενισχυτή σφάλματος που παρέχει την απαραίτητη τιμή κέρδους, καθώς και ένα μεγάλο τρανζίστορ, ονομαζόμενο pass-transistor, ο οποίος παρέχει το ρεύμα προς τον πυκνωτή φορτίου C_{Load} του LDO.

Οι NMOS LDO καταρχήν έχουν πολλά πλεονεκτήματα, όπως χαμηλή αντίσταση εξόδου, εύκολη αντιστάθμιση και καλύτερη ρύθμιση φορτίου, ωστόσο, το κύριο τους μειονέκτημα είναι η περιορισμένη πτώσης τάσης και αυτός είναι ο λόγος που μοιάζει ακατάλληλος για εφαρμογές χαμηλής τάσης [32, 33, 34, 35]. Γί αυτόν τον λόγο, στην παρούσα υλοποίηση, επιλέγεται ένα native MOS τρανζίστορ, $M_{pass_{na}}$, για να λειτουργήσει ως παράγοντας διέλευσης [37]. Η σχεδόν μηδενική τάση κατωφλίου τους τους καθιστά κατάλληλους για σχεδίαση LDO που απαιτούν πολύ χαμηλή πτώση τάσης. Επιπλέον, οι χαμηλές απαιτήσεις τάσης των σύγχρονων εφαρμογών [38, 39, 40, 41, 42] καθιστούν την σχεδίαση LDO ακόμα πιο περίπλοκη. Η χαμηλή τάση τροφοδοσίας καθιστά αδύνατη τη χρήση απλών σταδίων ενίσχυσης cascode για την επίτευξη υψηλού PSRR



Σχήμα 4.1: Τυπική Δομή LDO.

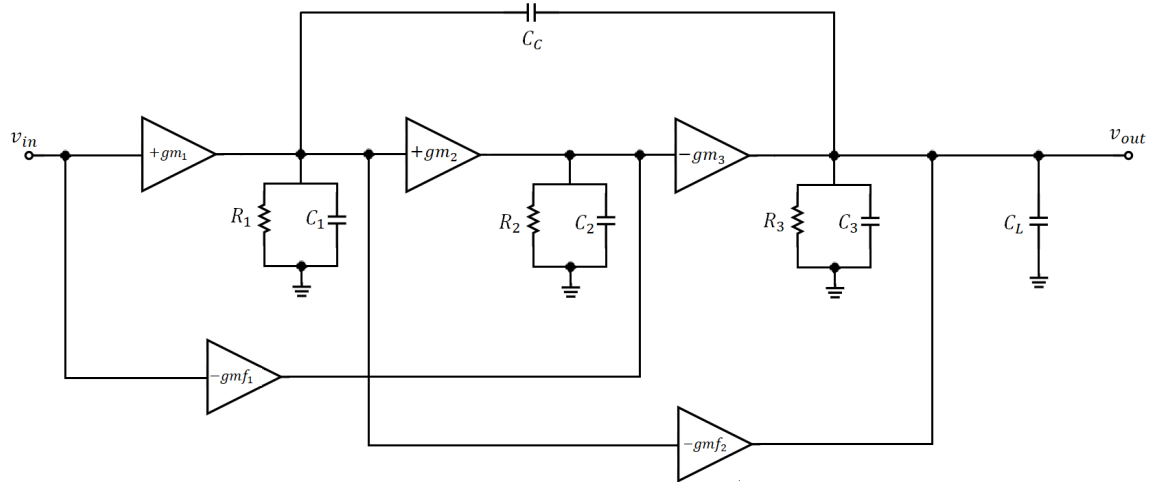
και γι' αυτόν τον λόγο πρέπει να χρησιμοποιηθούν σειριακά στάδια ενίσχυσης, κάνοντας την ανάλυση της ευστάθειας πολύπλοκη. Έτσι, σε αυτό το άρθρο θα παρουσιαστεί μια νέα αρχιτεκτονική τριών σταδίων ενίσχυσης που θα χρησιμοποιηθεί ως ενισχυτής σφάλματος στον ρυθμιστή LDO χρησιμοποιώντας Multiloop Miller τεχνική αντιστάθμισης [43] για τη βελτίωση της επίδοσης ευστάθειας, μαζί με μια λεπτομερή ανάλυση ευστάθειας και θορύβου.

4.2.2 High Level Αρχιτεκτονική

Η δομή του προτεινόμενου τριών σταδίων ενισχυτή σφάλματος φαίνεται στο Σχήμα 2, όπου η αντίσταση και η χωρητικότητα εξόδου κάθε σταδίου σημει-

44ΚΕΦΑΛΑΙΟ 4. ΣΤΑΘΕΡΟΠΟΙΗΣΗ LDO ΜΕ ΧΡΗΣΗ ΠΟΛΛΑΠΛΩΝ ΒΡΟΧΩΝ

ώνονται αντίστοιχα με R_{1-3} και C_{1-3} . Ο C_c είναι ο πυκνωτής αντιστάθμισης και C_L είναι η χωρητικότητα φορτίου, η οποία σε αυτήν την περίπτωση είναι η παρασιτική χωρητικότητα C_{gs} του pass τρανζίστορ. Τα στάδια ενίσχυσης διαγωγιμότητας g_{m1-3} αποτελούν έναν τριών σταδίων ενισχυτή, ενώ οι δύο διαδρομές προώθησης υλοποιούνται από τα στάδια ενίσχυσης g_{mf1} και g_{mf2} αντίστοιχα. Ο σκοπός της εφαρμογής της διαδρομής προώθησης από την είσοδο του πρώτου σταδίου στην έξοδο του δεύτερου είναι να εισαγάγει ένα μηδενικό στο αριστερό ημιεπίπεδο για τη βελτίωση της απόδοσης ευστάθειας της δομής. Το δίκτυο ανάδρασης υλοποιείται από τον πυκνωτή αντιστάθμισης C_c σε αρχιτεκτονική Miller, ο οποίος μπορεί να χρησιμοποιηθεί για να τοποθετήσει το κυρίαρχο πόλο του συστήματος στην επιθυμητή θέση, αλλά εισάγει επίσης έναν μηδενικό στο δεξί ημιεπίπεδο στο σύστημα. Το κύριο πλεονέκτημα της προτεινόμενης αρχιτεκτονικής είναι ότι αριστερό μηδενικό που προστίθεται από την εφαρμογή της διαδρομής προώθησης g_{mf1} στο σύστημα πρέπει να χρησιμοποιηθεί για να αναιρεθεί η αρνητική προσθήκη φάσης του πρώτου μη κυρίαρχου πόλου. Επιπλέον, η χρήση μόνο ενός πυκνωτή αντιστάθμισης εξοικονομεί πολύτιμο χώρο στο τσιπ ενώ διατηρεί σχεδόν ανεπηρέαστη την απόδοση slew rate του ενισχυτή. Η έξοδος push-pull και το δεύτερο στάδιο που αποτελείται από την διαγωγιμότητα και τις διαδρομές προώθησης g_{m2} και g_{mf1} καθώς και g_{m3} και g_{mf2} ενισχύουν την απόδοση στο πεδίο του χρόνου του προτεινόμενου ενισχυτή διατηρώντας χαμηλή την κατανάλωση ισχύος στη μόνιμη κατάσταση



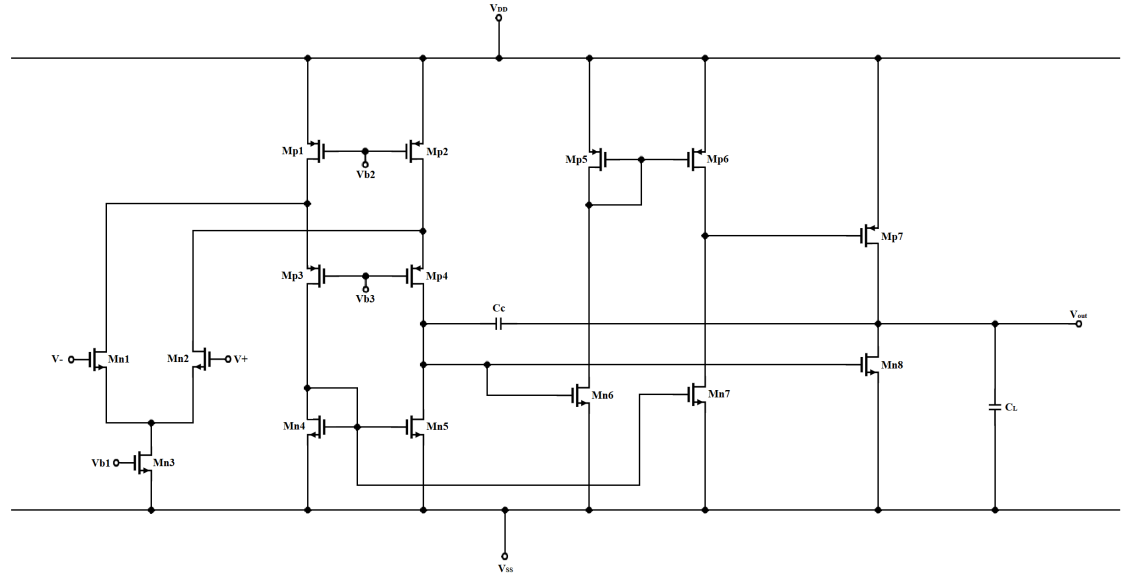
Σχήμα 4.2: Αρχιτεκτονική του προτεινόμενου Ενισχυτή τριων σταδίων

4.2.3 Ενισχυτής Πολλαπλών Βρόχων

Η κυκλωματική υλοποίηση της προτεινόμενης αρχιτεκτονικής απεικονίζεται στο Σχήμα 4.3 και θα αναλυθεί λεπτομερώς σε αυτήν την υποενότητα. Το πρώτο στάδιο του ενισχυτή υλοποιείται από έναν πτυσσόμενο cascode NMOS OTA. Αποτελείται από τα τρανζίστορ M_{n1} και M_{n2} τα οποία αποτελούν ένα απλό διαφορικό ζεύγος συνθέτοντας το πρώτο στάδιο ενίσχυσης διαγωγιμότητας g_{m1} . Το δεύτερο στάδιο ενίσχυσης διαγωγιμότητας αποτελείται από το τρανζίστορ M_{n6} που συνδέεται σε απλή τοπολογία κοινής πηγής μαζί με τον PMOS καθρέφτη ρεύματος M_{p5}, M_{p6} που αντιστρέφει τη φάση του σήματος, κάνοντας θετικό το κέρδος. Το τρανζίστορ M_{n7} αποτελεί την πρώτη διαδρομή προώθησης και μπορεί να πολωθεί εύκολα με την κατάλληλη κλιμάκωση του NMOS καθρέφτη ρεύματος M_{n4}, M_{n5} καθώς και του PMOS καθρέφτη ρεύματος M_{p5}, M_{p6} που σχηματίζουν ένα στάδιο push-pull. Τέλος, το στάδιο εξόδου ενισχυτή αποτελείται από το τρανζίστορ M_{p7} σε τοπολογία κοινής πηγής, ενώ η δεύτερη διαδρομή προώθησης g_{mf2} υλοποιείται από το τρανζίστορ M_{n8} . Και πάλι, το δεύτερο στάδιο προώθησης περιλαμβάνει ένα στάδιο εξόδου push-pull το οποίο μπορεί να πολωθεί εύκολα με την κατάλληλη κλιμάκωση του καθρέφτη ρεύματος M_{n4}, M_{n5} καθώς και του τρανζίστορ M_{n8} . Ο πυκνωτής αντιστάθμισης C_c αποτελεί το δίκτυο ανάδρασης το οποίο θα χρησιμοποιηθεί για τη σταθεροποίηση του ενισχυτή, ενώ ο πυκνωτής C_L είναι η χωρητικότητα φορτίου του ενισχυτή, σε αυτήν την περίπτωση η παρασιτική χωρητικότητα C_{gs} του pass τρανζίστορ. Οι διαστάσεις των τρανζίστορ παρουσιάζονται στον Πίνακα 4.1

Πίνακας 4.1: Διαστάσεις Τρανζίστορ

Transistor	W/L ($\mu m/\mu m$)
M_{n1}, M_{n2}	8/0.5
M_{n3}	19.3/1
M_{n4}, M_{n5}	8/1
M_{n6}, M_{n7}	0.8/1
M_{n8}	19.2/1
M_{p1}, M_{p2}	24/1
M_{p3}, M_{p4}	40/1
M_{p5}, M_{p6}	2/1
M_{p7}	16/1



Σχήμα 4.3: Κυκλωματική Υλοποίηση του Ενισχυτή τριων σταδίων.

4.3 Μοντελοποίηση LDO και Ανάλυση

4.3.1 Ανάλυση Ευστάθειας

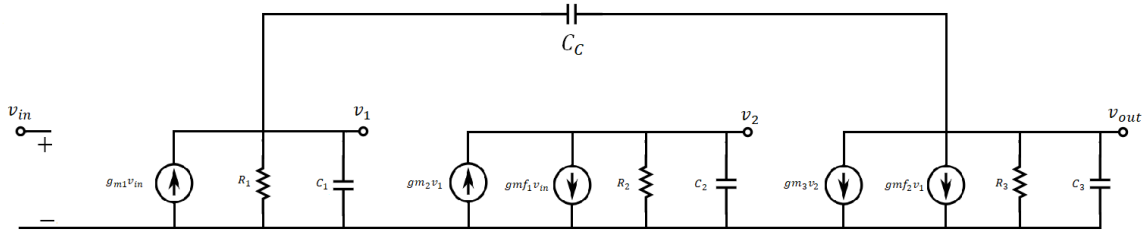
Σε αυτήν την ενότητα θα διεξαχθεί μια αναλυτική ανάλυση ευστάθειας. Ο υπολογισμός της συνάρτησης μεταφοράς είναι αναγκαίος για τη σωστή ανάλυση του κυκλώματος, επομένως το μοντέλο μικτού σήματος της προτεινόμενης αρχιτεκτονικής απεικονίζεται στο Σχήμα 4.4 [43, 44]. Εφαρμόζοντας τους νόμους της Kirchhoff της τάσης και του ρεύματος οδηγεί στο ακόλουθο σύστημα εξισώσεων στο πεδίο συχνότητας Laplace.

$$V_1 = \frac{g_{m1}R_1V_{in} + sR_1C_cV_{out}}{1 + sR_1(C_c + C_1)} \quad (4.1)$$

$$V_2 = \frac{g_{m2}R_2V_2 - g_{mf1}R_2V_{in}}{1 + sR_2C_2} \quad (4.2)$$

$$V_{out} = \frac{-g_{m3}R_3V_2 + (sC_cR_3 - g_{mf2}R_3)V_1}{1 + sR_3(C_c + C_3)} \quad (4.3)$$

όπου V_i είναι η εναλλασσόμενη τάση στον κόμβο i , g_{mi} είναι ο συμβατικός παράγοντας κέρδους διαγωγιμότητας κάθε σταδίου, R_i και C_i είναι η αντίσταση και η χωρητικότητα εξόδου κάθε σταδίου αντίστοιχα ενώ g_{mfi} αναπαριστά τον παράγοντα κέρδους διαγωγιμότητας κάθε διαδρομής προώθησης.



Σχήμα 4.4: Μοντέλο Μικρού Σήματος του Ενισχυτή Τριών Σταδίων.

Η λύση του παραπάνω συστήματος οδηγεί στη μεταφορά της συνάρτησης του κυκλώματος λαμβάνοντας υπόψη τις ακόλουθες υποθέσεις: 1) Ο πυκνωτής αντιστάθμισης C_c είναι πολύ μεγαλύτερος από τους παρασιτικούς πυκνωτές C_{1-3} και τον πυκνωτή φορτίου $C_L = C_{gs}$. 2) Το κέρδος κάθε σταδίου είναι πολύ μεγαλύτερο από το 1.

$$G(s) = \frac{V_{out}}{V_{in}} = \frac{N(s)}{D(s)} \quad (4.4)$$

Ο αριθμητής της συνάρτησης μεταφοράς είναι

$$N(s) = s^2 C_c C_2 R_1 R_2 R_3 g_{m1} + s R_1 R_2 R_3 (g_{m3} g_{m1} C_c - g_{m1} g_{m2} C_2) - A_{dc} \quad (4.5)$$

όπου $A_{dc} = g_{m1} g_{m2} g_{m3} R_1 R_2 R_3$. Ο αριθμητής της συνάρτησης μεταφοράς είναι ένα πολυώνυμο δεύτερου βαθμού οι ρίζες του οποίου είναι τα μηδενικά του συστήματος. Είναι εύκολο να κατανοηθεί ότι υπάρχει ένα θετικό και ένα αρνητικό μηδενικό, αφού ο σταθερός όρος του πολυωνύμου είναι αρνητικός αριθμός. Έτσι, εισάγεται ένα δεξί μηδενικό το οποίο θα πρέπει να βρίσκεται σε πολύ υψηλές συχνότητες επιλέγοντας κατάλληλα την τιμή του παράγοντα μετασχηματισμού αγωγιμότητας g_{m2} , καθώς και ένα αριστερό μηδενικό το οποίο θα ακυρώσει την αρνητική φάση του πρώτου μη κυρίαρχου πόλου, ρυθμίζοντας την τιμή του πρώτου παράγοντα μετασχηματισμού αγωγιμότητας προώθησης g_{m1} .

Ο παρονομαστής της συνάρτησης μεταφοράς είναι

$$D(s) = s^3 C_c C_1 R_1 R_2 R_3 + s^2 C_c C_2 R_1 R_2 R_3 g_{m2} + s C_c R_1 R_2 R_3 g_{m2} g_{m3} + 1 \quad (4.6)$$

Λόγω της υπολογιστικής πολυπλοκότητας που εισάγει η συνάρτηση μεταφοράς στον αναλυτική υπολογισμό των πόλων, εφαρμόζεται η μέθοδος Ανοιχτού

Κυκλώματος Χρονικών Σταθερών (Open-Circuit Time Constants - OCTC) [45]. Η OCTC παρέχει μια εκτίμηση (συνήθως προσεγγιστική) για τη θέση των πόλων ενός κυκλώματος. Η ακρίβεια αυτής της μεθόδου είναι επαρκής κατά την σχεδίαση ενός κυκλώματος, παρέχοντας απλούστερες εξισώσεις, ιδίως όταν ασχολούμαστε με περίπλοκες συναρτήσεις μεταφοράς. Έτσι, εφαρμόζοντας αυτήν τη μέθοδο, ο κυρίαρχος πόλος προκύπτει ως

$$p_{-3db} = \frac{1}{C_c R_1 R_2 R_3 g_{m2} g_{m3}} \quad (4.7)$$

το οποίο αναμένεται καθώς μπορεί επίσης να προσεγγιστεί χρησιμοποιώντας τον συντελεστή πρώτης τάξης και τον σταθερό όρο του παρονομαστή της συνάρτησης μεταφοράς. Στην σχεδίαση ενισχυτή η προσέγγιση ενός πόλου είναι συνήθως επιθυμητή προκειμένου να επιτευχθεί τόσο υψηλό DC κέρδος, που σημαίνει υψηλό DC PSRR όταν χρησιμοποιείται ως ενισχυτής σφάλματος σε ένα LDO, όσο και επαρκής απόδοση ευστάθειας. Ο υπολογισμός της συχνότητας μοναδιαίου κέρδους ω_t είναι αναγκαίος κατά τη σταθεροποίηση ενός ενισχυτή. Σε μια προσέγγιση ενός πόλου, η συχνότητα μοναδιαίου κέρδους μπορεί να προκύψει εύκολα ως

$$\omega_t = A_{dc} * p_{-3db} = \frac{g_{m1}}{C_c} \quad (4.8)$$

Από το τελευταίο αποτέλεσμα είναι προφανές ότι για να αυξηθεί η εύρος ζώνης του ενισχυτή, το πρώτο στάδιο θα πρέπει να είναι προσαρμοσμένο με τέτοιο τρόπο ώστε να έχει υψηλότερο παράγοντα μετασχηματισμού διαγωγιμότητας g_{m1} ή η χωρητικότητα του πυκνωτή αντιστάθμισης να μειωθεί. Το σύστημα πρέπει να έχει επαρκές περιθώριο φάσης προκειμένου να διασφαλιστεί ότι είναι πάντα σταθερό και ανθεκτικό. Το περιθώριο φάσης δίνεται από

$$\phi_{pm} = 90^\circ - \tan^{-1}\left(\frac{\omega_t}{p_{-3db}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_{p1}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_{z1}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_{p2}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_{z2}}\right) \quad (4.9)$$

όπου ω_{p1} και ω_{p2} αντιπροσωπεύουν τους μη επικρατούντες πόλους του συστήματος και ω_{z1} και ω_{z2} είναι το δεξί και το αριστερό μηδενικό αντίστοιχα. Όπως αναφέρθηκε παραπάνω, οι συχνότητες όπου βρίσκονται ο δεύτερος μη κυρίαρχος πόλος και το δεξί χεριού μηδενικό είναι πολύ υψηλότερες από τη συχνότητα μοναδιαίου κέρδους, επομένως πρέπει να διασφαλιστεί ότι $\omega_{p1} = \omega_{z1}$ προκειμένου να επιτευχθεί το βέλτιστο περιθώριο φάσης.

4.3.2 Ανάλυση Θόρυβου

Ο θόρυβος στους ρυθμιστές LDO είναι ένας τυπικός παράγοντας που πρέπει να ληφθεί υπόψη κατά τον σχεδιασμό. Αναφέρεται στον θερμικό και στον θόρυβο

flicker των τρανζίστορ και των αντιστάσεων, ο οποίος καθορίζεται ως φασματική πυκνότητα τάσης εξόδου (V/\sqrt{Hz}) ή ως ολοκληρωμένη πυκνότητα τάσης (V_{rms}) που είναι η ολοκλήρωση της φασματικής πυκνότητας τάσης εξόδου σε ένα εύρος ζώνης [43, 44]. Οι κύριοι συντελεστές θορύβου στους ρυθμιστές LDO είναι οι $S_{n_{ref}}(f)$, $S_{n_{EA}}(f)$, $S_{n_{pass}}(f)$, $S_{n_R}(f)$, οι οποίοι αντιπροσωπεύουν τη φασματική πυκνότητα τάσης εξόδου της τάσης αναφοράς, του ενισχυτή σφάλματος, του τρανζίστορ εξόδου και της αντίστασης R του δικτύου ανάδρασης αντίστοιχα [34]. Έτσι, ο θόρυβος ενός ρυθμιστή LDO δίνεται από

$$S_n(f) = S_{n_{ref}}(f) + S_{n_{EA}}(f) + S_{n_{pass}}(f) + S_{n_R}(f) \quad (4.10)$$

Ο θόρυβος που παράγεται από τον ενισχυτή σφάλματος είναι συνήθως πολύ υψηλότερος από τον θόρυβο της τάσης αναφοράς, του τρανζίστορ εξόδου και του δικτύου ανάδρασης. Έτσι, λαμβάνοντας υπόψη αυτήν την υπόθεση, ο θόρυβος του ρυθμιστή LDO προκύπτει ως

$$S_n(f) = S_{n_{EA}}(f) \quad (4.11)$$

Επομένως, είναι απαραίτητο να υπολογιστεί αναλυτικά η φασματική πυκνότητα τάσης εξόδου του προτεινόμενου ενισχυτή σφάλματος τριών σταδίων, η οποία δίνεται από την ακόλουθη εξίσωση

$$S_{n_{EA}}(f) = S_{n_1}(f) + \frac{S_{n_2}(f)}{A_{v1}} + \frac{S_{n_3}(f)}{A_{v1}A_{v2}} \quad (4.12)$$

όπου $S_{n_i}(f)$, A_{vi} είναι η φασματική πυκνότητα τάσης εξόδου και το κέρδος τάσης του i-σταδίου αντίστοιχα. Έτσι, υποθέτοντας ότι το κέρδος τάσης είναι πολύ μεγαλύτερο από το 1, η φασματική πυκνότητα τάσης εξόδου του ενισχυτή σφάλματος εξαρτάται μόνο από τον θόρυβο που παράγεται από το πρώτο στάδιο.

$$S_{n_{EA}}(f) = S_{n_1}(f) \quad (4.13)$$

Η φασματική πυκνότητα εξόδου κάθε συνιστώσας υπολογίζεται από τον ισοδύναμο θερμικό θόρυβο στην είσοδο κάθε τρανζίστορ v_{eq}^2 πολλαπλασιασμένο με το κέρδος τάσης $A_v = (v_{out}/v_{eq})^2$. Ο ισοδύναμος θερμικός θόρυβος στην είσοδο κάθε τρανζίστορ δίνεται από

$$v_{eq}^2 = 4KT\left(\frac{2}{3g_m}\right)\delta f \quad (4.14)$$

Το πρώτο στάδιο αποτελείται από ένα αναδιπλωμένο κασχοδικό διαφορικό ζεύγος οπότε η φασματική πυκνότητα εξόδου είναι

$$S_{n_{EA}}(f) = 2S_{n_{Mn_{1,2}}} + \left(\frac{g_{m_{Mn_{4,5}}}}{g_{m_{Mn_{1,2}}}}\right)^2 (S_{n_{Mn_4}} + S_{n_{Mn_5}}) \quad (4.15)$$

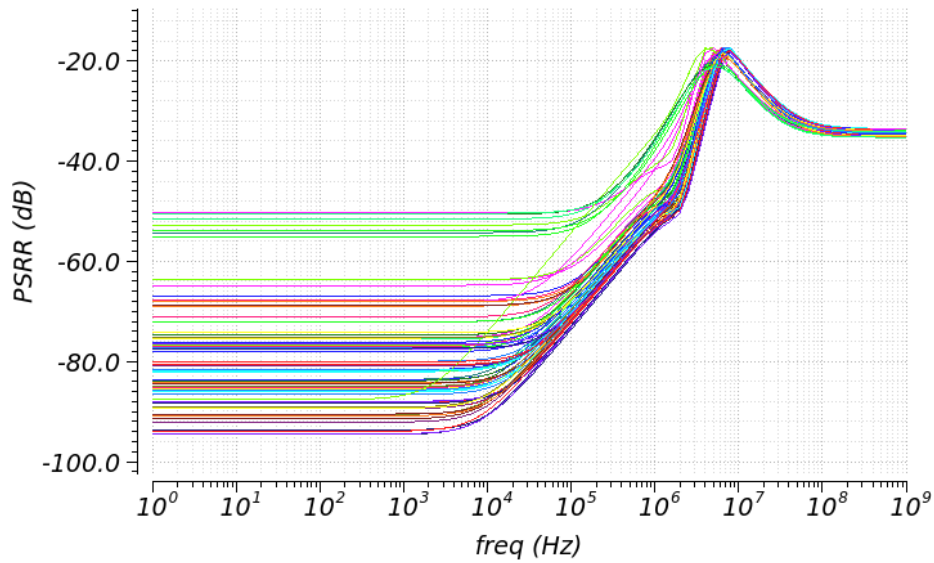
$$S_{n_{EA}}(f) = 4KT \frac{4}{3g_{m1}} \left(1 + \sqrt{\frac{\mu_p(W/L)_{Mn_{4,5}}}{\mu_n(W/L)_{Mn_{1,2}}}}\right) \delta f \quad (4.16)$$

όπου μ_p και μ_n είναι η κινητικότητα των οπών και των ηλεκτρονίων αντίστοιχα, η οποία εξαρτάται έντονα από τη θερμοκρασία. Η εξίσωση (4.16) υποδηλώνει ότι για να μειωθεί ο θόρυβος του ρυθμιστή LDO, ο παράγοντας μετασχηματισμού διαγωγιμότητας g_{m1} του πρώτου σταδίου θα πρέπει να αυξηθεί. Επιπλέον, ο λόγος W/L των τρανζίστορ M_{n4} και M_{n5} θα πρέπει να είναι ο ελάχιστος δυνατός, εάν και εφόσον η πόλωση του πρώτου σταδίου παραμένει ανεπηρέαστη.

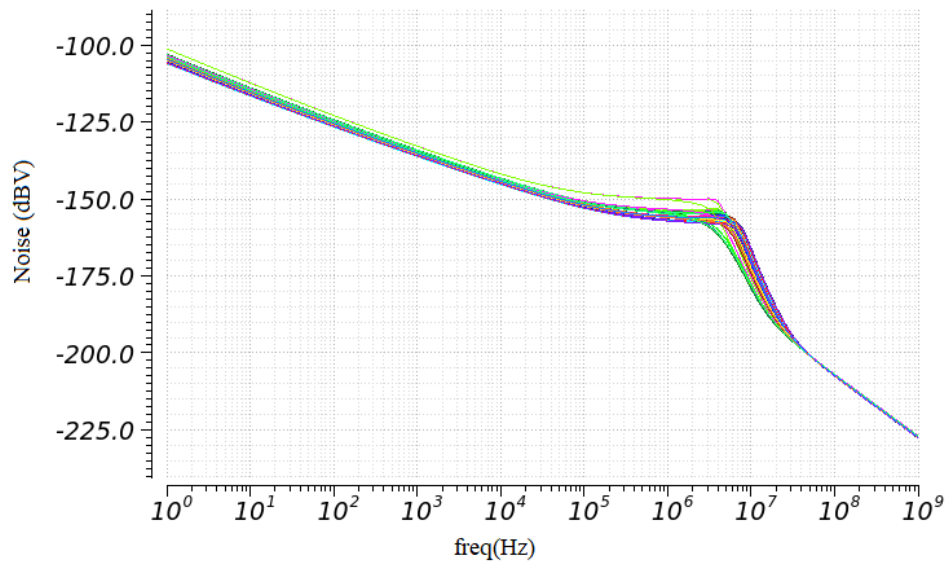
4.4 Αποτελέσματα Προσομοίωσης

Σε αυτή την ενότητα θα παρουσιαστεί η απόδοση της προηγούμενης αναλυθείσας αρχιτεκτονικής. Το κύκλωμα προσομοιώθηκε στην τεχνολογία TSMC 90nm. Όλα τα αποτελέσματα των προσομοιώσεων πραγματοποιούνται στην υλοποιημένη διάταξη που φαίνεται στο Σχήμα 4.7. Ο υλοποιημένος ρυθμιστής LDO δοκιμάστηκε σε όλες τις διαδικασίες (TT, FF, SS, FS, SF), τάσεις (0.8V, 0.9V, 1V) και θερμοκρασίες ($-25^\circ C$, $27^\circ C$, $125^\circ C$). Τα αποτελέσματα των παραμέτρων απόδοσης συνοψίζονται στον Πίνακα 2, όπου η στήλη 'Typ' αναφέρεται στην ονομαστική περίπτωση λειτουργίας (TT, $V_{DD} = 1V$, $27^\circ C$), ενώ οι άλλες δύο στήλες, 'Min' και 'Max', αναφέρονται στη χαμηλότερη και υψηλότερη τιμή κάθε δείκτη όπως αυτή αξιολογείται μετά τις προσομοιώσεις. Οι συνθήκες φορτίου για την προσομοίωση είναι $I_{load} = 200\mu A$ || $C_{load} = 300pF$.

Η απόκριση PSRR στις διάφορες ακραίες περιπτώσεις λειτουργίας απεικονίζεται στο Σχήμα 4.5. Είναι αρκετά προφανές ότι στις περισσότερες περιπτώσεις η τιμή DC PSRR είναι αρκετά υψηλή (πάνω από 80dB) ενώ η 'κορυφή' του PSRR είναι πάντα πάνω από 18dB. Το κύριο πλεονέκτημα αυτής της υλοποίησης είναι η εξαιρετική απόδοση ευστάθειας. Βάσει των αποτελεσμάτων μέτρησης, ο ρυθμιστής LDO επαληθεύεται ότι είναι σταθερός και ανθεκτικός στις διάφορες ακραίες περιπτώσεις λειτουργίας PVT με περιθώριο φάσης πάντα πάνω από 75° , ενώ διατηρεί ένα σχετικά υψηλό εύρος ζώνης λόγω του γεγονότος ότι η συχνότητα μοναδιαίου κέρδους είναι πάνω από 3MHz. Οι παραπάνω στόχοι επιτεύχθηκαν χρησιμοποιώντας έναν πυκνωτή στο τσιπ με χωρητικότητα μόλις 2pF, γεγονός που εξοικονομεί πολύτιμο χώρο στο τσιπ και αναδεικνύει



Σχήμα 4.5: Απόκριση PSRR.

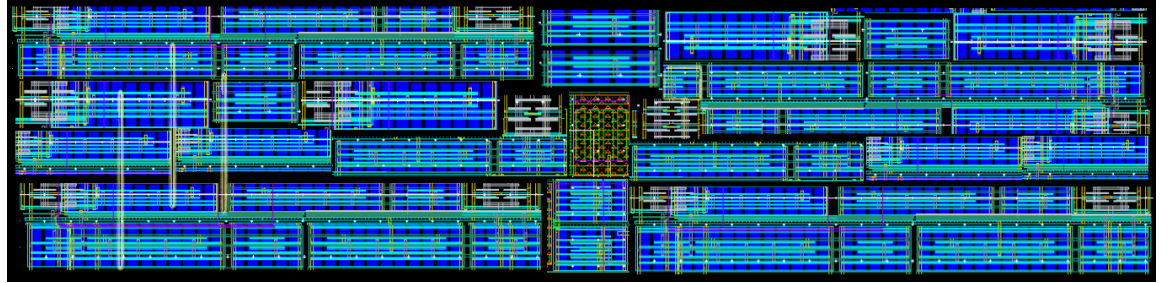


Σχήμα 4.6: Απόκριση Θορύβου.

την αξία της τεχνικής αντιστάθμισης Multiloop, η οποία βελτιώνει τη θεαματική τεχνική αντιστάθμισης Miller. Τέλος, το Σχήμα 4.6 απεικονίζει την απόκριση

52ΚΕΦΑΛΑΙΟ 4. ΣΤΑΘΕΡΟΠΟΙΗΣΗ LDO ΜΕ ΧΡΗΣΗ ΠΟΛΛΑΠΛΩΝ ΒΡΟΧΩΝ

θορύβου του ρυθμιστή LDO, η οποία φαίνεται σχεδόν ανεπηρέαστη από τις διάφορες ακραίες περιπτώσεις λειτουργίας PVT, αλλά εξαρτάται έντονα από την αντιστάθμιση.



Σχήμα 4.7: Layout of the proposed LDO architecture. The total area is equal to $0.034mm^2$. Common-centroid technique is used to address manufacturing considerations.

Πίνακας 4.2: Αποτελέσματα Προσομοίωσης LDO

Parameter	Min	Typ	Max
Supply Voltage (V)	0.9	1	1.1
Regulated output voltage (mV)	599.5	600	600.2
PSRR @ DC (dB)	50.36	85.76	94.57
PSRR @ 100kHz (dB)	49.75	69.94	73.51
PSRR @ 1MHz (dB)	34.44	51.19	54.18
Worst PSRR (dB)	17.26	18.00	21.41
Output noise @ 1Hz (dBV/ \sqrt{Hz})	101.23	104.58	105.99
Output noise @ 1kHz (dBV/ \sqrt{Hz})	132.86	135.15	136.25
Output noise @ 10kHz (dBV/ \sqrt{Hz})	141.86	144.27	154.33
Output noise @ 100kHz (dBV/ \sqrt{Hz})	147.96	151.94	153.08
Output noise @ 1MHz (dBV/ \sqrt{Hz})	149.82	155.74	157.17
DC gain (dB)	47.89	82.83	90.98
Phase margin ($^\circ$)	75.52	79.90	143.6
Unity Gain Frequency (MHz)	3.33	6.03	7.77

4.5 Σύγκριση και Συζήτηση

Σε αυτή την ενότητα η προτεινόμενη αρχιτεκτονική συγκρίνεται με άλλους σχετικούς ρυθμιστές LDO που χρησιμοποιούν εναλλακτικές τεχνικές. Στους Πίνακες 4.3 και 4.4, η αρχιτεκτονική συγκρίνεται με βάση τους τυπικούς δείκτες, οι οποίοι αποτελούν τα απαραίτητα κριτήρια αξιολόγησης κατά τον σχεδιασμό ενός LDO. Γενικά, η τάση τροφοδοσίας είναι μια κρίσιμη προδιαγραφή μαζί με τον δείκτη PSRR. Ο πιο σημαντικός δείκτης είναι η ευστάθεια του συστήματος, καθώς χωρίς αυτή το σύστημα θα είναι πάντα ασταθές και δεν θα λειτουργεί σωστά σε όλους τους άλλους δείκτες.

Πίνακας 4.3: Πίνακας Συγκρίσεων

	Process	Supply Voltage	Load Conditions	DC PSRR
Παρούσα Δουλειά	90nm	1V	$I_{load} = 200\mu A \parallel C_{load} = 300pF$	85dB
[32]	65nm	1.2V	$I_{load} = 20mA \parallel R_{load} = 100\Omega$	92dB
[33]	130nm	1.2V	$I_{load} = 50mA \parallel C_{load} = 4.7\mu F$	46dB
[46]	130nm	1.15 – 1.8V	$I_{load} = 50\mu A \parallel C_{load} = 400pF$	80dB
[47]	65nm	1.2V	$I_{load} = 100\mu A \parallel C_{load} = 240pF$	70dB
[48]	180nm	1.8V	$I_{load} = 50mA \parallel C_{load} = 100pF$	62dB

Πίνακας 4.4: Πίνακας Συγκρίσεων

*the stability is affected by the size of the C_c capacitor

	Phase Margin	UGBW	Power Consumption	Estimated area
Παρούσα Δουλειά	79.9°	6MHz	95μW	0.034mm ²
[32]	*	*	462μW	0.092mm ²
[33]	*	*	78μW	0.4mm ²
[46]	53°	1.65MHz	32.4μW	0.049mm ²
[47]	40°	40MHz	N/A	0.087mm ²
[48]	50°	1MHz	144μW	0.14mm ²

Συγκεκριμένα, η προτεινόμενη αρχιτεκτονική ξεπερνά τις άλλες αρχιτεκτονικές όσον αφορά την ευστάθεια, διατηρώντας παράλληλα σχετικά χαμηλή κατανάλωση ενέργειας (λιγότερο από 100μW). Η τεχνική multiloop προσφέρει έναν πολύ ανθεκτικό σχεδιασμό με υψηλούς δείκτες ευστάθειας (τη μεγαλύτερη τιμή όσον αφορά το περιθώριο φάσης) χωρίς την ανάγκη για πυκνωτή αντιστάθμισης υψηλής χωρητικότητας και ενεργοβόρου σχεδιασμού, εξοικονομώντας πολύτιμο χώρο στο τσιπ και ενέργεια. Παρά το γεγονός ότι το εύρος ζώνης ενότητας

54 ΚΕΦΑΛΑΙΟ 4. ΣΤΑΘΕΡΟΠΟΙΗΣΗ LDO ΜΕ ΧΡΗΣΗ ΠΟΛΛΑΠΛΩΝ ΒΡΟΧΩΝ

κέρδους είναι αρκετά υψηλό (περίπου $6MHz$), η απόδοση ευστάθειας είναι σχεδόν ανεπηρέαστη. Επιπλέον, ο δείκτης DC PSRR είναι σε πολύ υψηλά επίπεδα, περίπου $85dB$ στην ονομαστική περίπτωση. Τέλος, η τάση τροφοδοσίας έχει μειωθεί στο $1V$, γεγονός που καθιστά την προτεινόμενη αρχιτεκτονική κατάλληλη για εφαρμογές με χαμηλή τάση τροφοδοσίας.

Κεφάλαιο 5

Συμπεράσματα και Μελλοντική Δουλειά

Σε αυτή την εργασία, υλοποιήθηκε ένας τελεστικός ενισχυτής με εμφωλευμένους βρόχους $g_m - C$, χρησιμοποιώντας σειριακά στάδια, καθώς και αντιστάθμιση με πυκνωτές σε διάταξη Miller και διαδρομές προώθησης. Ιδιαίτερη έμφαση δίνεται στην ανάλυση της δυναμικής αυτής της τεχνικής αντιστάθμισης σε σχέση με την απόκριση συχνότητας του συστήματος. Το κύκλωμα έχει σχεδιαστεί και προσομοιωθεί μετά την διάταξη στο TSMC 90 nm CMOS process χρησιμοποιώντας το Cadence IC Suite. Σύμφωνα με τα αποτελέσματα των προσομοιώσεων, η υλοποιημένη αρχιτεκτονική βελτιώνει την απόδοση ευστάθειας του κυκλώματος, επιτυγχάνοντας περιθώριο φάσης 89.45° μαζί με κέρδος Δ° μικρού σήματος 101.3 dB.

Επίσης αυτή η εργασία παρουσίασε έναν αναλογικό ολοκληρωμένο LDO regulator χαμηλής ισχύος σταθεροποιημένο με πολλαπλούς βρόχους για εφαρμογές χαμηλής τάσης και χαμηλής ισχύος. Αποτελείται από έναν ενισχυτή σφαλμάτων με πολλαπλούς βρόχους, ένα native pass-transistor και μία αντίσταση που χρησιμοποιείται ως δίκτυο ανάδρασης. Η προτεινόμενη αρχιτεκτονική σχεδιάστηκε και δοκιμάστηκε στο TSMC 90 nm CMOS process χρησιμοποιώντας το Cadence IC Suite. Διεξήχθησαν προσομοιώσεις μετά την κατασκευή του layout της διάταξης, οι οποίες επιβεβαίωσαν την ορθή λειτουργία του κυκλώματος σε παραλλαγές PVT. Η αρχιτεκτονική αποδείχθηκε ευσταθής και ανθεκτική σε όλες τις παραλλαγές με περιθώριο φάσης πάντα πάνω από 75° . Εξοικονομήθηκε πολύτιμος χώρος στο τσιπ χρησιμοποιώντας έναν πυκνωτή αντιστάθμισης μόλις $2pF$, γεγονός που αναδεικνύει την αξία της τεχνικής αντιστάθμισης με πολλαπλούς βρόχους.

Όσον αφορά την μελλοντική δουλειά θα μπορούσε να αναπτυχθεί μια τεχνι-

κή η οποία θα μπορεί να προβλέπει με έναν πιο εύκολο τρόπο τις τιμές τις οποίες θα πρέπει να έχουν οι διαδρομές προώθησης χωρίς την ανάγκη υπολογισμού της συνάρτησης μεταφοράς. Αυτή η τεχνική προφανώς και θα είναι προσεγγιστική αλλά θα έχει μεγάλη σχεδιαστική αξία καθώς ο σχεδιαστής θα μπορεί με πολύ απλό τρόπο να σχεδιάσει τις διαδρομές προώθησης και να εξασφαλίσει την ευστάθεια στο κύκλωμα.

Δημοσιεύσεις

- K. Koniavitis, V. Alimisis, N.P. Eleftheriou, A. Kamperi, and P.P. Sotiriadis. "A Multistage Nested-Loops Stabilized Operational Amplifier." In IEEE 2024 Panhellenic Conference on Electronics and Telecommunications (PACET) (pp. 1-4). IEEE.
- K. Koniavitis, V. Alimisis, N. Uzunoglu, and P.P. Sotiriadis. "An Analog Integrated Multiloop LDO: from Analysis to Design." Electronics MDPI 2024 (Under Review)

Bibliography

- [1] K. W. M. Tony Chan Carusone, David A. Johns, *Analog Integrated Circuit Design*. Don Fowley, 2012.
- [2] F. You, S. H. Embabi, and E. Sanchez-Sinencio, “Multistage amplifier topologies with nested g_m/c compensation,” *IEEE Journal of Solid-State Circuits*, vol. 32, no. 12, pp. 2000–2011, 1997.
- [3] W. Jung, *Op Amp applications handbook*. Newnes, 2005.
- [4] B. Carter, T. R. Brown, *et al.*, *Handbook of operational amplifier applications*, vol. 9. Texas Instruments Dallas, TX, 2001.
- [5] P. R. Gray and R. G. Meyer, “Mos operational amplifier design—a tutorial overview,” *Ieee journal of solid-state circuits*, vol. 17, no. 6, pp. 969–982, 1982.
- [6] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and design of analog integrated circuits*. John Wiley & Sons, 2009.
- [7] K. N. Leung and P. K. Mok, “Analysis of multistage amplifier-frequency compensation,” *IEEE transactions on circuits and systems I: fundamental theory and applications*, vol. 48, no. 9, pp. 1041–1056, 2001.
- [8] N. Baxevanakis, I. Georgakopoulos, and P. P. Sotiriadis, “Rail-to-rail operational amplifier with stabilized frequency response and constant- g_m input stage,” in *2017 Panhellenic Conference on Electronics and Telecommunications (PACET)*, pp. 1–4, IEEE, 2017.
- [9] H.-T. Ng, R. M. Ziazadeh, and D. J. Allstot, “A multistage amplifier technique with embedded frequency compensation,” *IEEE Journal of Solid-state circuits*, vol. 34, no. 3, pp. 339–347, 1999.

- [10] H. Lee and P. K. Mok, "Active-feedback frequency-compensation technique for low-power multistage amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 3, pp. 511–520, 2003.
- [11] X. Peng, W. Sansen, L. Hou, J. Wang, and W. Wu, "Impedance adapting compensation for low-power multistage amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 2, pp. 445–451, 2010.
- [12] J. G. Kassakian and T. M. Jahns, "Evolving and emerging applications of power electronics in systems," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 1, no. 2, pp. 47–58, 2013.
- [13] F. Shearer, *Power management in mobile devices*. Elsevier, 2011.
- [14] F. Katiraei and M. R. Iravani, "Power management strategies for a microgrid with multiple distributed generation units," *IEEE transactions on power systems*, vol. 21, no. 4, pp. 1821–1831, 2006.
- [15] M. A. Sobhan Bhuiyan, M. R. Hossain, K. N. Minhad, F. Haque, M. S. K. Hemel, O. Md Dawi, M. B. Ibne Reaz, and K. J. Ooi, "Cmos low-dropout voltage regulator design trends: an overview," *Electronics*, vol. 11, no. 2, p. 193, 2022.
- [16] T. Y. Chyan, H. Ramiah, S. W. M. Hatta, N. S. Lai, C.-C. Lim, Y. Chen, P.-I. Mak, and R. P. Martins, "Evaluation and perspective of analog low-dropout voltage regulators: A review," *IEEE Access*, vol. 10, pp. 114469–114489, 2022.
- [17] L. F. Lai, H. Ramiah, Y.-C. Tan, N. S. Lai, C.-C. Lim, Y. Chen, P.-I. Mak, and R. P. Martins, "Design trends and perspectives of digital low dropout voltage regulators for low voltage mobile applications: A review," *IEEE Access*, 2023.
- [18] N. Kularatna, "Review of fundamentals related to dc power supply design and linear regulators," in *DC Power Supplies*, pp. 1–1, CRC Press, 2018.
- [19] S.-C. Hsia, M.-H. Sheu, and S.-H. Wu, "Wide operation range high-voltage linear regulator chip design," *Electrical Engineering*, vol. 106, no. 3, pp. 2197–2208, 2024.
- [20] V. Kampus and T. Rang, "A smart capless voltage regulator for very high bandwidth a/d and d/a converters in a standard 28nm cmos

- process,” in *2016 15th Biennial Baltic Electronics Conference (BEC)*, pp. 43–46, IEEE, 2016.
- [21] N. P. Eleftheriou, O. Ntasiou, V. Alimisis, and P. P. Sotiriadis, “A low-power temperature and process insensitive cmos power management unit,” in *2024 Panhellenic Conference on Electronics & Telecommunications (PACET)*, pp. 1–4, IEEE, 2024.
- [22] S. Carreon-Bautista, L. Huang, and E. Sanchez-Sinencio, “An autonomous energy harvesting power management unit with digital regulation for iot applications,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 6, pp. 1457–1474, 2016.
- [23] J. Hu and M. Ismail, *CMOS high efficiency on-chip power management*. Springer Science & Business Media, 2011.
- [24] K. Marasco, “How to successfully apply low-dropout regulators,” *Analog Dialogue*, vol. 43, no. 3, 2009.
- [25] J. Torres, M. El-Nozahi, A. Amer, S. Gopalraju, R. Abdullah, K. Entesari, and E. Sanchez-Sinencio, “Low drop-out voltage regulators: Capacitor-less architecture comparison,” *IEEE Circuits and Systems Magazine*, vol. 14, no. 2, pp. 6–26, 2014.
- [26] J. Silva-Martinez, X. Liu, and D. Zhou, “Recent advances on linear low-dropout regulators,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 2, pp. 568–573, 2020.
- [27] J. Haid, W. Kargl, T. Leutgeb, and D. Scheiblhofer, “Power management for rf-powered vs. battery-powered devices,” in *Proceedings of Workshop on Wearable and Pervasive Computing, Graz, Austria*, Cite-seer, 2005.
- [28] K. Joshi, *Mixed-Mode Adaptive Ripple Canceller for Switching Regulators*. Arizona State University, 2016.
- [29] Y. Xiu and E. Rosenbaum, “Analysis and design of integrated voltage regulators for supply noise rejection during system-level esd,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 12, pp. 4199–4210, 2020.
- [30] L. Wang, *High performance distributed on-chip voltage regulation for modern integrated systems*. University of South Florida, 2018.

- [31] K. Li, “Design and realization of low dropout voltage regulators in pmic for portable applications,” *PhD Thesis*, 2020.
- [32] Y.-J. Choe, H. Nam, and J.-D. Park, “A low-dropout regulator with psrr enhancement through feed-forward ripple cancellation technique in 65 nm cmos process,” *Electronics*, vol. 9, no. 1, p. 146, 2020.
- [33] H.-J. Jang, Y.-S. Roh, Y.-J. Moon, J.-P. Park, and C.-S. Yoo, “Low drop-out (ldo) voltage regulator with improved power supply rejection,” *JSTS: Journal of Semiconductor Technology and Science*, vol. 12, no. 3, pp. 313–319, 2012.
- [34] G. Morita, “Noise sources in low dropout (ldo) regulators,” *One Technol. Way*, pp. 1–12, 2011.
- [35] J. C. Teel, “Understanding noise in linear regulators,” *Texas Instruments Analog Applicant*, 2005.
- [36] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, and K. Sakui, “A cmos bandgap reference circuit with sub-1-v operation,” *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, pp. 670–674, 1999.
- [37] D. A. Johns and K. Martin, *Analog integrated circuit design*. John Wiley & Sons, 2008.
- [38] V. Alimisis, D. G. Arnaoutoglou, E. A. Serlis, A. Kamperi, K. Metaxas, G. A. Kyriacou, and P. P. Sotiriadis, “A radar-based system for detection of human fall utilizing analog hardware architectures of decision tree model,” *IEEE Open Journal of Circuits and Systems*, 2024.
- [39] F. Khateb, T. Kulej, M. Akbari, and P. Steffan, “0.3-v bulk-driven nanopower ota-c integrator in 0.18 μm cmos,” *Circuits, Systems, and Signal Processing*, vol. 38, pp. 1333–1341, 2019.
- [40] V. Alimisis, C. Dimas, G. Pappas, and P. P. Sotiriadis, “Analog realization of fractional-order skin-electrode model for tetrapolar bio-impedance measurements,” *Technologies*, vol. 8, no. 4, p. 61, 2020.
- [41] P. Charitos, V. Alimisis, N. P. Eleftheriou, and P. P. Sotiriadis, “A general purpose 2mhz 68 μw temperature compensated reference clock oscillator,” in *2024 Panhellenic Conference on Electronics & Telecommunications (PACET)*, pp. 1–4, IEEE, 2024.

- [42] S. Hanson and D. Sylvester, “A 0.45–0.7 v sub-microwatt cmos image sensor for ultra-low power applications,” in *2009 symposium on VLSI circuits*, pp. 176–177, IEEE, 2009.
- [43] K. Koniavitis, V. Alimisis, N. P. Eleftheriou, A. Kamperi, and P. P. Sotiriadis, “A multistage nested-loops stabilized operational amplifier,” in *2024 Panhellenic Conference on Electronics & Telecommunications (PACET)*, pp. 1–4, IEEE, 2024.
- [44] S. S. Chong and P. K. Chan, “Cross feedforward cascode compensation for low-power three-stage amplifier with large capacitive load,” *IEEE Journal of Solid-State Circuits*, vol. 47, no. 9, pp. 2227–2234, 2012.
- [45] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and design of analog integrated circuits*. John Wiley & Sons, 2024.
- [46] M. El-Nozahi, A. Amer, J. Torres, K. Entesari, and E. Sánchez-Sinencio, “High psr low drop-out regulator with feed-forward ripple cancellation technique,” *IEEE journal of solid-state circuits*, vol. 45, no. 3, pp. 565–577, 2010.
- [47] Y. Lim, J. Lee, S. Park, Y. Jo, and J. Choi, “An external capacitorless low-dropout regulator with high psr at all frequencies from 10 khz to 1 ghz using an adaptive supply-ripple cancellation technique,” *IEEE Journal of Solid-State Circuits*, vol. 53, no. 9, pp. 2675–2685, 2018.
- [48] C.-J. Park, M. Onabajo, and J. Silva-Martinez, “External capacitorless low drop-out regulator with 25 db superior power supply rejection in the 0.4–4 mhz range,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 2, pp. 486–501, 2013.