



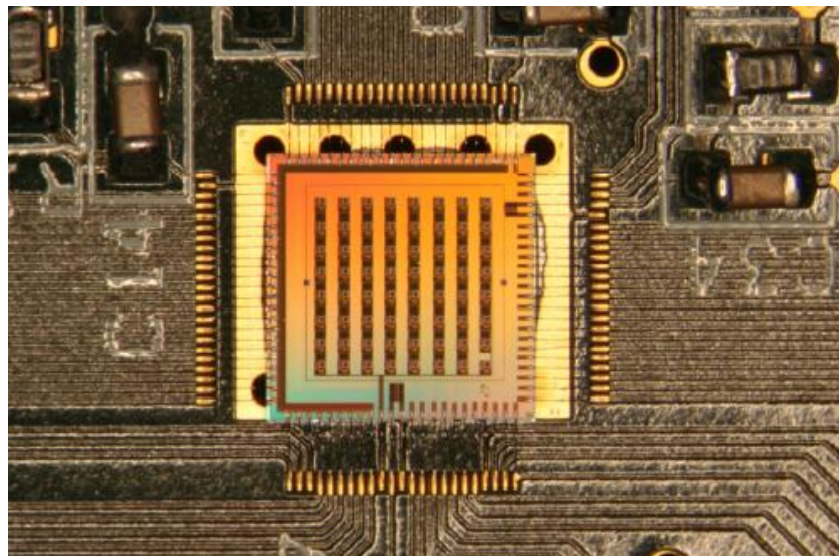
ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

**ΣΧΟΛΗ ΕΦΑΡΜΟΣΜΕΝΩΝ
ΜΑΘΗΜΑΤΙΚΩΝ ΚΑΙ ΦΥΣΙΚΩΝ
ΕΠΙΣΤΗΜΩΝ**

ΤΟΜΕΑΣ ΦΥΣΙΚΗΣ

**Μελέτη αναλογικής βαθμίδας ηλεκτρονικών
συστημάτων ανάγνωσης για ανιχνευτές σε
τεχνολογία CMOS**

ΔΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ



Αθανασίου Χρήστος Εδουάρδος

Αθήνα, Οκτώβριος 2012



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

**ΣΧΟΛΗ ΕΦΑΡΜΟΣΜΕΝΩΝ
ΜΑΘΗΜΑΤΙΚΩΝ ΚΑΙ ΦΥΣΙΚΩΝ
ΕΠΙΣΤΗΜΩΝ**

ΤΟΜΕΑΣ ΦΥΣΙΚΗΣ

**Μελέτη αναλογικής βαθμίδας ηλεκτρονικών
συστημάτων ανάγνωσης για ανιχνευτές σε
τεχνολογία CMOS**

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Αθανασίου Χρήστος Εδουάρδος

Επιβλέποντες: Λουκάς Δημήτριος , Αλεξόπουλος Θεόδωρος

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 15^η Οκτωβρίου 2012.

.....
Αλεξόπουλος Θεόδωρος
Καθηγητής ΕΜΠ

.....
Τσιπολίτης Γεώργιος
Αν. Καθηγητής ΕΜΠ

.....
Γαζής Ευάγγελος
Καθηγητής ΕΜΠ

Αθήνα, Οκτώβριος 2012

.....
Χρήστος Εδουάρδος Αθανασίου
Διπλωματούχος Φυσικός Εφαρμογών Ε.Μ.Π.

Copyright © Χρήστος Εδουάρδος Αθανασίου

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Στον πατέρα μου και δάσκαλο μου...

Ευχαριστίες

Οφείλω να ευχαριστήσω τον Δρ. Παπαδημητρόπουλο Χρήστο για την βοήθεια του καθ' όλη τη διάρκεια εκπόνησης της διπλωματικής αυτής εργασίας. Οι συμβουλές του μου στάθηκαν σίγουρα πολύτιμες. Του εύχομαι ολόψυχα κάθε επαγγελματική και προσωπική επιτυχία.

Επίσης πρέπει να ευχαριστήσω τον Δρ. Θεοδωράτο Γεράσιμο ο οποίος με βοήθησε να δω το αντικείμενο της μικροηλεκτρονικής από τη 'σκοπιά' του σχεδιαστή. Σίγουρα χωρίς τη βοήθεια του ο χρόνος εκπόνησης της εργασίας θα ήταν πολύ μεγαλύτερος.

Ακόμη θα ήθελα να ευχαριστήσω τους συμφοιτητές μου Ν.Δερβετζή και Γ. Ευαγγελίδη για το ευχάριστο κλίμα και τις ενδιαφέρουσες συζητήσεις που πρόσφεραν στιγμές χαλάρωσης μέσα στις ατελείωτες ώρες μαθημάτων των 2 τελευταίων ετών.

Τέλος, ευχαριστώ την οικογένεια μου για όσα μου έχουν προσφέρει αυτά τα χρόνια, σίγουρα σε αυτούς χρωστάω τα πάντα.

Περίληψη της διπλωματικής εργασίας

Στο πλαίσιο της διπλωματικής αυτής εργασίας που έλαβε χώρα στο Εργαστήριο Οργανολογίας του ΕΚΕΦΕ Δημόκριτος, μελετήθηκε η σχεδίαση αναλογικών ολοκληρωμένων κυκλωμάτων. Για την πληρέστερη μελέτη του αντικειμένου αυτού επιλέχθηκε ανάλυση του μεικτού ολοκληρωμένου κυκλώματος P4DI(UMC CMOS 180nm,1.8V τεχνολογία). Πάνω σε αυτό έγιναν προσομοιώσεις με το πακέτο σχεδίασης ολοκληρωμένων κυκλωμάτων της Cadence και ελήφθησαν πειραματικές μετρήσεις. Τέλος ο συγγραφέας προσπάθησε να δομήσει την εργασία αυτή έτσι ώστε να διευκολύνει μελλοντικούς φοιτητές της ΣΕΜΦΕ στη μελέτη της αναλογικής σχεδίασης ολοκληρωμένων κυκλωμάτων, των ηλεκτρονικών ανάγνωσης αλλά και τη χρήση του σχεδιαστικού πακέτου της Cadence βήμα προς βήμα.

Abstract

This work deals with analog integrated circuit design for detector readout front end applications. A circuit named P4DI (Photon 4-dimensional Digital Information) is analyzed and realized using the modern CMOS integration technology and its critical performance parameters are discussed in detail. P4DI is a new generation of 2D imaging chips to be connected to a pixel sensor using the bump and flip chip technologies. It gives in digital format energy, time and position information for each recorded event. In pixel digitization and storage of the time and amplitude signal are performed.

Readout electronics are the first circuits connected just after the detector in order to process the signals, so many times are referred as front-end electronics. As the produced signals from the detector are always analog, the first stages of readout electronics should be analog too. After the signal is processed through the analog chain, depending the application its targets digital cells are also added. The overall process of the input signal may include a simple amplification and filtering or more complicated functions like analog to digital conversion. The most challenging and demanding parts, the readout electronics are the first analog stages, which are connected just after the detector. The performance of the whole chain is depending mainly on the operation of these stages. This is the primary reason why this thesis is focused mainly to the analyses of the most significant parts of the analog chain, the charge amplifier and the shaper. For the implementation of the circuits UMC CMOS 180nm technology-1.8V technology is selected due to the low cost, high yield, small process variations and of course the high density of integration.

This diploma thesis is organized as follows. In the first four chapters a brief reference in readout front ends is performed as well as general introductory microelectronics. The fifth chapter gives a simple example of VLSI from the designer's point of view. In the sixth chapter, the analog parts of the mixed integrated circuit P4DI are analyzed and a general view of its operation is given. Chapter 7 focuses on simulations using Cadence's IC designing tools. Several interesting results are given from the parametric analysis of the length of the first transistor; the parasitic capacitances generated parallel to the detector, the leakage current generated in the detector as well as the linearity of the circuit. The last chapter includes the customization of the PCB designed for the test of the ASIC and all the experimental results that could be excluded are show.

Keywords

Analog VLSI design, mixed IC design, readout electronics, detector instrumentation, noise in integrated circuits, CMOS technology, signal processing, integrated capacitor characterization, system-on-chip technology.

Ευρετήριο Σχημάτων-Εικόνων

ΚΕΦΑΛΑΙΟ 2

Σχ.1 Οι δύο βασικές τοπολογίες ηλεκτρονικών ανάγνωσης

Σχ. 2 Πιθανοί τρόποι αποφόρτισης του charge amplifier

Σχ. 3 Ισοδύναμο κύκλωμα μικρού σήματος του charge amplifier

Σχ. 4 Τοπολογία του shaper

Σχ.5 Τοπολογία του ενισχυτή διεμπέδησης

Σχ. 6 Ισοδύναμο κύκλωμα μικρού σήματος του ενισχυτή διεμπέδησης

Σχ.7,8 Η προέλευση του θορύβου βολής θα φανεί αν θεωρήσουμε μια δίοδο και την συγκέντρωση του φορτίου σε αυτήν όταν είναι ορθά πολωμένη(σχήμα α)/ το ρεύμα I που μοιάζει σταθερό(dc), στην πραγματικότητα είναι ένα μεγάλο πλήθος τυχαίων και ανεξάρτητων παλμών ρεύματος(σχήμα β)

Σχ.9 Φασματική πυκνότητα ισχύος του flicker noise

Σχ.10 Διάγραμμα του συστήματος μέτρησης θορύβου

ΚΕΦΑΛΑΙΟ 3

Σχ.1 Σχηματικό του τελεστικού ενισχυτή

Σχ.2 Διπολικό(BJT) transistor

Σχ.3 Λειτουργία απογυμνωσης

Σχ.4 Λειτουργία αναστροφής

Σχ.5 $V_{ds} > 0$

Σχ.6 Χαρακτηριστική $I_d - V_{ds}$

Σχ.7 $I_d - V_{ds}$ χαρακτηριστικές

Σχ.8 I_d ως προς V_{gs} (στον κορεσμό)

Σχ.9 Φαινόμενο σώματος

Σχ10 ΙΚΑΣ χαμηλών συχνοτήτων

Σχ.11 Χωρητικότητα MOS

Σχ.12 ΙΚΑΣ μετριων συχνοτήτων

Σχ.13 Κάτοψη transistor MOS

ΚΕΦΑΛΑΙΟ 4

Εικόνα 1: Ενισχυτής cascode υλοποιημένος με στοιχεία MOS

Εικόνα 2: Ενισχυτής cascode με βραχυκυκλωμένη την έξοδο του

Εικόνα 3: Ενισχυτής cascode βραχυκυκλωμένη την είσοδο του

Εικόνα 4: το στάδιο εξόδου του cs ενισχυτή σε ανάλυση ασθενούς σήματος

Εικόνα 5: Σύγκριση των τοπολογιών ενισχυτών cascode και common gate

Εικόνα 6: πίνακας όπου μπορεί κανείς να διαπιστώσει πως συμπεριφέρεται το κύκλωμα του ενισχυτή για τέσσερις διαφορετικές περιπτώσεις φορτίων

Εικόνα 7: τοπολογία double cascoding

Εικόνα 8: Τοπολογία ενισχυτή τύπου folded cascode

Εικόνα 9: Folded Cascode Τελεστικός ενισχυτής CMOS

Εικόνα 10: Ένα πιο ολοκληρωμένο κύκλωμα για τον folded cascode τελεστικό ενισχυτή CMOS

Εικόνα 11: Το σχηματικό του ενισχυτή folded cascode που χρησιμοποιείται στο P4DI

Εικόνα 12: Το σχηματικό του ισοδύναμου κυκλώματος ασθενούς σήματος για ενισχυτή folded cascode που χρησιμοποιείται στο P4DI

ΚΕΦΑΛΑΙΟ 5

Εικόνες 1,2 Βιβλιοθήκη του σχεδιαστικού πακέτου

Εικόνα 3 Παράθυρο για την δημιουργία νέας βιβλιοθήκης

Εικόνα 4 Δημιουργία Νέου Φακέλου

Εικόνα 5 Παράθυρο σχεδίασης

Εικόνα 6 Σχηματικό Αναστροφέα

Εικόνα 7 Τροποποίηση Παραμέτρων

Εικόνα 8 Δημιουργία Συμβόλου

Εικόνα 9 Παράθυρο Σχεδίασης Συμβόλου Αναστροφέα

Εικόνα 10 Διάταξη προσομοίωσης Αναστροφέα

Πίνακας 1 Παράμετροι Προσομοίωσης Αναστροφέα

Εικόνα 11 Επιλογή Ανάλυσης

Εικόνα 12 Κυματομορφές Εξόδου Αναστροφέα

Εικόνα 13 Παράθυρο Φυσικής Σχεδίασης και LSW

Εικόνα 14 Φυσικό Σχέδιο NMOS

Εικόνα 15 Φυσικό Σχέδιο PMOS

Εικόνα 16 Φυσικό Σχέδιο Αναστροφέα

Εικόνα 17 Παράθυρο DRC

Εικόνα 18 Παράθυρο Εξαγωγή

Εικόνα 19 Εξαγμένο Σχέδιο

Εικόνα 20 Δημιουργία Περιεχομένου

Εικόνα 21 Παράθυρο και Μήνυμα Ολοκλήρωσης LVS

Εικόνα 22 Αποτέλεσμα LVS

Εικόνα 23 Παράθυρο Επιλογών του Analog Artist

Εικόνα 24 Προσομοίωση Πλήρους Κυκλώματος

ΚΕΦΑΛΑΙΟ 6

Σχ.1 Overview του chip

Σχ.2 Layout του ανιχνευτή που είναι συμβατός με το P4DI

Σχ.3 Το chip με τον pixel detector bump bonded (1mm thick CdTe ohmic ACRORAD detector)

Σχ. 4 Τα pinout με το οποία επικοινωνεί το chip(P4DI) με τον έξω κόσμο

Σχ. 5,6,7 Η τεχνολογία του bump bonding

Σχ.8 Layout του αναλογικού μέρους του chip

Σχ. 9 Ηλεκτρονικός σχεδιασμός του αναλογικού μέρους του chip

Σχ. 10 Ηλεκτρονικό σχέδιο του preamplifier

Σχ. 11 Ηλεκτρονικό σχέδιο του shaper

ΚΕΦΑΛΑΙΟ 7

Σχ.1 Γραμμικότητα της αναλογικής αλυσίδας του chip(Q_{in} vs V_{out})

Σχ.2 Εξάρτηση του rise time από το φορτίο εισόδου(Q_{in} vs Rise Time)

Σχ. 3 Γραμμικότητα του preamplifier(Q_{in} vs V_{out})

Σχ. 4 Q_{in} vs Απόλυτης τιμής τάσης εξόδου

Σχ. 5 Equivalent Output Noise for $Q_{in}=2fC$ $L=[180n,800n]$ (first transistor length)

Σχ. 6 Equivalent Output Noise for $Q_{in}=2fC$ $L=[180n,800n]$ (first transistor length)-A closer look of $[10^{14},10^{16}]$ frequencies.

Σχ.7 Έξοδος του preamplifier για φορτίο εισόδου $[2fC,10fC]$ με 17 steps και τις μεταβλητές του shaper ορισμένες στο $[0,0,0]$

Σχ. 8 η έξοδος του preamplifier για φορτίο εισόδου $[2fC,10fC]$ με 17 steps και τις μεταβλητές του shaper ορισμένες στο $[1,0,0]$

Σχ. 9 φαίνεται η έξοδος του shaper για φορτίο εισόδου $[2fC,10fC]$ με 17 steps και τις μεταβλητές του shaper ορισμένες στο $[1,0,0]$

Εικόνα 1: Τοπολογία που σχεδιάστηκε για την προσομοίωση της παρασιτικής χωρητικότητας

Σχ. 10 Έξοδος της αναλογικής αλυσίδας για φορτίο εισόδου 1fC και $C_{overall}=C_{det}+C_{paracitics}=2pf$

Σχ. 11 Έξοδος της αναλογικής αλυσίδας για φορτίο εισόδου 2fC και $C_{paracitics}$ [1-10000]fC

Εικόνα 2: Τοπολογία που χρησιμοποιείται για την προσομοίωση του Leakage current

Σχ.12 Η έξοδος του κυκλώματος για σταθερό φορτίο εισόδου 2fC και μεταβλητό Peak [1-100]pA

Σχ.13 V_{out} για φορτίο εισόδου 2fC και θερμοκρασία στους 10C

Σχ.14 V_{out} για φορτίο εισόδου 2fC και θερμοκρασία στους 30C

Σχ.15 V_{out} για φορτίο εισόδου 2fC και θερμοκρασία στους 60C

Εικόνα 3: Τοπολογία που χρησιμοποιείται για προσομοίωση του impedance εισόδου του shaper

Εικόνα 4: Τοπολογία που χρησιμοποιείται για προσομοίωση του impedance εξόδου του charge amplifier

Σχ.16 Impedance Input του charge amplifier(Yscale=log(Magnitude))

Σχ.17 Impedance Output του charge amplifier(Yscale=log(Magnitude))

Σχ.18 Impedance Input του shaper(Yscale=log(Magnitude))

Σχ.19 Impedance Output του shaper(Yscale=log(Magnitude))

ΚΕΦΑΛΑΙΟ 8

Εικόνα 1: Παλμογράφος Textronix TDS 580D

Εικόνα 2: παλμογεννήτρια HP 8116 Pulse/Function Generator 50Hz

Εικόνα 3: Η πλακέτα που σχεδιάστηκε για το testing του ολοκληρωμένου κυκλώματος φαίνεται παρακάτω (πάνω όψη)

Εικόνα 4: Η πλακέτα που σχεδιάστηκε για το testing του ολοκληρωμένου κυκλώματος φαίνεται παρακάτω (πάνω όψη)

Εικόνα 5: Έξοδος του preamplifier για φορτίο εισόδου 4.18fC και πόλωση του transistor στα 0.9V

Εικόνα 6: Έξοδος του preamplifier για φορτίο εισόδου 4.18fC και πόλωση του transistor στο 1.0V

Εικόνα 7: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,0,0]

Εικόνα 8: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,0,1]

Εικόνα 9: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,0]

Εικόνα 10: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,1]

Εικόνα 11: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,0]

Εικόνα 12: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Εικόνα 13: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,0]

Εικόνα 14: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,1]

Εικόνα 15: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Εικόνα 16: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Εικόνα 17: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Εικόνα 18: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Εικόνα 19: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Εικόνα 20: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Εικόνα 21: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Εικόνα 22: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Σχ.1 Έξοδος του shaper για εξωτερικό $I_{Leak}=1\mu A$, το Charge Feedback στο 1V και τα control bits στην κατάσταση [0,0,0]

Εικόνα 23: P4DI layout

Εικόνα 24: Προσομοίωση του πυκνωτή

Εικόνα 25: Η φυσική σχεδίαση του βραχυκυκλώματος

Εικόνα 26: Η φυσική σχεδίαση των 10 παράλληλων πυκνωτών

Εικόνα 27: Η φυσική σχεδίαση του ανοιχτοκυκλώματος

Εικόνα 28: Η ηλεκτρονική σχεδίαση των 10 παράλληλων πυκνωτών

Εικόνα 29: Φωτογραφία του σταθμού εργασίας με τα 4 probe

Εικόνα 30: Κοντινότερη εικόνα των 4 probe

Εικόνα 31: HP 4192A LF frequency impedance analyzer

Εικόνα 32: Υπάρχει δημιουργία πυκνωτή μεταξύ των 2 pads

Σχ.2 Μετρήσεις των 3 τοπολογιών στο πεδίο των συχνοτήτων

Σχ.3 Μετρήσεις τις τοπολογίας D4D5 στο πεδίο των συχνοτήτων. Όσο μεγαλώνει η συχνότητα, αυξάνεται η χωρητικότητα και το πραγματικό μέρος της διαγωγιμότητας τείνει στο 0.

Σχ.4 Μετρήσεις τις τοπολογίας D8D9 στο πεδίο των συχνοτήτων. Όσο μεγαλώνει η συχνότητα, αυξάνεται η χωρητικότητα και το πραγματικό μέρος της διαγωγιμότητας τείνει στο 0.

Σχ.5 Οι μετρήσεις της τοπολογίας D6D7 στο πεδίο των συχνοτήτων. Όσο μεγαλώνει η συχνότητα η διαγωγιμότητα τείνει στο άπειρο ενώ η χωρητικότητα στο μηδέν.

Εικόνα 33: Η τοπολογία που μετράται

Σχ.6 Οι μετρήσεις που ελήφθησαν για την παραπάνω τοπολογία (Zload-Zopen).

ΣΥΝΤΟΜΟΓΡΑΦΙΕΣ

ASIC(Application Specific Integrated Circuit)
ADC(Analog to Digital Converter)
BiCMOS(Bipolar Complementary Metal Oxide Semiconductor)
BER(Bit Error Rate)
BJT(Binary Junction Transistor)
CMOS(Complementary Metal Oxide Semiconductor)
CMRR(Common Mode Rejection Ratio)
CCD(Charge Coupled Devices)
DUT(Device Under Test)
ENC(Equivalent Noise Charge)
FPGA(Field Programmable Gate Array)
GBWP(Gain Bandwidth Product)
LNA(Low Noise Amplifier)
MOS(Metal Oxide Semiconductor)
MOSFET(Metal Oxide Semiconductor Field Effect Transistor)
IC(Integrated Circuit)
P4DI(Photon 4 Digital Information)
PCB(Printed Circuit Board)
SNR(Signal to Noise Ratio)
SoC(System on Chip)
UMC(United Microelectronics Corporation)
VLSI(Very Large Scale Integration)

Περιεχόμενα

Κεφάλαιο 1^ο (Εισαγωγή στα ηλεκτρονικά ανάγνωσης)

- 1.1) Εφαρμογές των ηλεκτρονικών ανάγνωσης
- 1.2) Ανιχνευτές στερεάς κατάστασης
- 1.3) Προδιαγραφές λειτουργίας ηλεκτρονικών ανάγνωσης

Κεφάλαιο 2^ο (Ηλεκτρονικά ανάγνωσης)

- 2.1) Ηλεκτρονικά ανάγνωσης
- 2.2) Preamplifier-Τοπολογία τάσης/ρεύματος
- 2.3) Shaper
- 2.4) Ανάλυση θορύβου

Κεφάλαιο 3^ο (Αρχές Ηλεκτρονικής)

- 3.1) Αρχές Τελεστικών Ενισχυτών
- 3.2) BJT transistor
- 3.3) MOS transistor
- 3.4) Τεχνολογία CMOS
- 3.5) Τεχνολογία Επεξεργασίας Κυκλωμάτων CMOS

Κεφάλαιο 4^ο (Τοπολογίες Ενισχυτών)

- 4.1) Τοπολογία ενισχυτή τύπου cascode
- 4.2) Τοπολογία ενισχυτή τύπου folded cascode

Κεφάλαιο 5^ο (CMOS inverter)

Σχεδίαση απλού Λογικού Κυκλώματος

Κεφάλαιο 6^ο (P4DI)

- 5.1) Overview του chip
- 5.2) Αναλογικές Βαθμίδες του chip
- 5.3) Τοπολογία του Preamplifier
- 5.4) Τοπολογία του Shaper

Κεφάλαιο 7^ο (Simulations)

Κεφάλαιο 8^ο (Πειραματικές Μετρήσεις)

Κεφάλαιο 9^ο (Συμπεράσματα)

ΚΕΦΑΛΑΙΟ 1^ο

Εισαγωγή

Κατά την διάρκεια του 20ου αιώνα που μόλις τελείωσε έγιναν σπουδαίες ανακαλύψεις, αναπτύχθηκαν νέες τεχνολογίες οι οποίες επηρέασαν σε σημαντικό βαθμό την εξέλιξη της ανθρωπότητας. Ο τομέας που γνώρισε ίσως την μεγαλύτερη ανάπτυξη και πρόοδο στις τελευταίες δεκαετίες είναι αυτός της ηλεκτρονικής. Οι εφαρμογές των ηλεκτρονικών κυκλωμάτων χρόνο με το χρόνο πολλαπλασιάζονταν και τελικά εξαπλώθηκαν σε όλο τον κόσμο και ουσιαστικά άλλαξαν την καθημερινή ζωή του κάθε ανθρώπου. Αν συγκρίνει κανείς κάτω από ποιες συνθήκες διαβίωνε ένας άνθρωπος στις αρχές του 20ου αιώνα και πως τώρα που διανύουμε τα πρώτα χρόνια του επόμενου αιώνα, μόνο τότε θα συνειδητοποιήσει πόσο σημαντικά επηρέασαν την ζωή οι αμέτρητες εφαρμογές των ηλεκτρονικών κυκλωμάτων.

Η μεγάλη ώθηση στον χώρο δόθηκε στα χρόνια που ακολούθησαν μετά το τέλος του 2^{ου} παγκόσμιου πολέμου όταν έγινε δυνατή η μονολιθική ολοκλήρωση των πρώτων ηλεκτρονικών κυκλωμάτων η οποία μείωσε δραματικά τον απαιτούμενο όγκο. Αργότερα η πυκνότητα ολοκλήρωσης έγινε ακόμα μεγαλύτερη και έτσι ολοένα περισσότερα ηλεκτρονικά κυκλώματα ενσωματώνονταν στην ίδια ψηφίδα. Σταδιακά έγινε εφικτή η ολοκλήρωση πολύ μεγάλης κλίμακας (Very Large Scale Integration) η οποία μείωσε σημαντικά και το κόστος υλοποίησης.

Μετά την εξέλιξη των αναλογικών κυκλωμάτων, τις τελευταίες δεκαετίες άρχισαν να αναπτύσσονται με πολύ γοργούς ρυθμούς και τα ψηφιακά κυκλώματα και να αποκτούν ένα σημαντικό κομμάτι στην παγκόσμια αγορά. Μάλιστα τα πλεονεκτήματα που παρουσιάζουν έναντι των αναλογικών κυκλωμάτων όπως η ευκολία στον ηλεκτρονικό σχεδιασμό, η μεγαλύτερη πυκνότητα υλοποίησης που συνεπάγεται το μειωμένο κόστος αλλά κυρίως η μεγαλύτερη αξιοπιστία και σταθερότητα οδήγησε αρχικά την αίσθηση ότι θα κυριαρχήσουν ολοκληρωτικά. Γρήγορα όμως διαπιστώθηκε πως από την στιγμή που στον φυσικό κόσμο όλα τα σήματα είναι αναλογικά η πρώτη βαθμίδα επεξεργασίας σε κάθε περίπτωση θα πρέπει να αποτελείται από αναλογικά κυκλώματα. Από το σημείο εκείνο και μετά και αφού έγινε σαφές ότι τόσο τα αναλογικά όσο και τα ψηφιακά κυκλώματα είναι απαραίτητα έγινε προσπάθεια να ενσωματωθούν στο ίδιο ολοκληρωμένο. Έτσι αναπτύχθηκαν τα πρώτα μικτά αναλογικά-ψηφιακά ολοκληρωμένα (Mixed Analog-Digital Integrated Circuits) τα οποία όπως είναι φυσικό παρουσιάζουν αυξημένες λειτουργίες και δυνατότητες[1][2].

Ένας από τους τομείς της ηλεκτρονικής που έχει αναπτυχθεί τα τελευταία χρόνια και παρουσιάζει ιδιαίτερο ενδιαφέρον εξαιτίας της πληθώρας εφαρμογών του, είναι τα

ολοκληρωμένα συστήματα ανάγνωσης για αισθητήρες και ανιχνευτές στερεάς κατάστασης. Σημαντικό ρόλο σε αυτή την άνθιση των συστημάτων ανάγνωσης, εκτός της αδιαμφισβήτητης ανάπτυξης των ηλεκτρονικών κυκλωμάτων, διαδραμάτισε η πρόοδος που έχει γίνει και στον κλάδο των ανιχνευτών και αισθητήρων στερεάς κατάστασης. Η λειτουργία των ανιχνευτών στηρίζεται στην αλληλεπίδραση των φωτονίων της ακτινοβολίας που προσπίπτουν πάνω τους και την παραγωγή σήματος που δημιουργείται από την συλλογή των παραγόμενων ηλεκτρονίων και οπών. Ανάλογα με τον τύπο του συστήματος επεξεργασίας σήματος το σήμα μπορεί να επεξεργαστεί ως ρεύμα, τάση ή φορτίο. Τα ηλεκτρονικά κυκλώματα που δέχονται το σήμα που παράγεται από έναν ανιχνευτή για να το επεξεργαστούν ονομάζονται ηλεκτρονικά ανάγνωσης. Όπως είναι φυσικό οι πρώτες βαθμίδες των ηλεκτρονικών ανάγνωσης (Front End Electronics) είναι απαραίτητα αναλογικά κυκλώματα για να επεξεργαστούν το αναλογικό σήμα του ανιχνευτή[2]. Η επεξεργασία του σήματος ποικίλλει ανάλογα με την εφαρμογή και τις απαιτήσεις της και μπορεί να περιλαμβάνει από απλή ενίσχυση του σήματος, μέχρι μετατροπή του σε ψηφιακό με κατάλληλη τεχνική και αποθήκευση του. Στις παραγράφους που ακολουθούν αναφέρονται συνοπτικά η αρχή λειτουργίας και τα κυριότερα ήδη ανιχνευτών, καθώς και τα σημαντικότερα πεδία εφαρμογών μαζί με τις αντίστοιχες προδιαγραφές τους.

1.1)Εφαρμογές ηλεκτρονικών ανάγνωσης

Τα ολοκληρωμένα συστήματα ανάγνωσης ανιχνευτών στερεάς κατάστασης που έχουν αναπτυχθεί τα τελευταία χρόνια βρίσκουν σημαντικές εφαρμογές τόσο σε επιστημονικά και ερευνητικά πεδία όσο και για εμπορικούς σκοπούς. Μάλιστα σταδιακά έχουν εισαχθεί και σε προϊόντα καθημερινής χρήσης βελτιώνοντας σημαντικά το επίπεδο διαβίωσης των ανθρώπων. Εδώ αναφέρονται ενδεικτικά κάποιες από τις πιο σημαντικές εφαρμογές τους ώστε να διαπιστώσει κανείς πόσο εκτεταμένη είναι τελικά η χρήση τους.

- Πειράματα Φυσικής Υψηλών Ενεργειών (High Energy Physics Experiments)

Με τον όρο πειράματα Φυσικής Υψηλών Ενεργειών εννοούμε κυρίως τον τομέα της φυσικής η οποία μελετά τις συγκρούσεις σωματιδίων σε επιταχυντικά συστήματα[]. Οι ενέργειες των συγκρουόμενων σωματιδίων σε αυτές τις εφαρμογές είναι πολύ υψηλές και για επιτευχθούν χρησιμοποιούνται επιταχυντές με διάμετρο αρκετά χιλιόμετρα. Τα προϊόντα της αντίδρασης είναι άλλα σωματίδια των οποίων τα χαρακτηριστικά προσπαθούν να ανιχνευτούν με την βοήθεια εξελιγμένων συστημάτων ανάγνωσης. Έτσι το παραγόμενο σωματίδιο προσπίπτει στον ανιχνευτή στερεάς κατάστασης ο οποίος διεγείρεται και παράγει με την σειρά του σήμα το οποίο διαβάζεται και επεξεργάζεται από τα ηλεκτρονικά κυκλώματα ανάγνωσης. Από το αναλογικό σήμα του συστήματος ανάγνωσης μπορεί να υπολογιστεί η ακριβής ενέργεια των παραγόμενων από τις συγκρούσεις σωματιδίων, το πλήθος των σωματιδίων, η

ακριβής θέση της σύγκρουσης και άλλες χρήσιμες πληροφορίες ώστε να χαρακτηριστεί πλήρως. Ο τομέας αυτός είναι ο πρώτος στον οποίο εφαρμόστηκαν τα ολοκληρωμένα συστήματα ανάγνωσης τα οποία βοήθησαν αρκετά για την ανακάλυψη και ταυτοποίηση των νέων σωματιδίων. Μάλιστα εξαιτίας των συνεχώς αυξανόμενων απαιτήσεων και προδιαγραφών των πειραμάτων τα ηλεκτρονικά ανάγνωσης εξελίχθηκαν ραγδαία. Στην παρούσα διατριβή αναπτύχθηκε ένα σύστημα ανάγνωσης με βάση κυκλώματα που επινοήθηκαν στον τομέα της Φυσικής Υψηλών Ενεργειών.

- Ιατρικές εφαρμογές

Ένας ζωτικής σημασίας χώρος στον οποίο βρίσκουν σημαντικές εφαρμογές τα συστήματα ανάγνωσης είναι αυτός της Ιατρικής[2][7]. Τα τελευταία χρόνια οι εφαρμογές σε αυτό το χώρο πληθαίνουν συνέχεια ενώ σημαντικό κομμάτι της έρευνας έχει προσανατολιστεί προς αυτή την κατεύθυνση. Αποτελεί πλέον το πιο σημαντικό πεδίο εφαρμογών του οποίου τα αποτελέσματα συνεισφέρουν άμεσα στην βελτίωση της ζωής του κάθε ανθρώπου. Χαρακτηριστικά παραδείγματα στα οποία χρησιμοποιούνται συστήματα ανάγνωσης είναι η κάθε είδους αξονική και μαγνητική τομογραφία που αποσκοπούν στην αποτελεσματική και έγκυρη διάγνωση κάθε είδους ασθένειας ή δυσλειτουργίας ανθρώπινων οργάνων. Απλούστερες εφαρμογές στον χώρο της Ιατρικής είναι η μαστογραφία και η κάθε είδους ακτινογραφία. Σημαντικές επίσης είναι οι εφαρμογές στο χώρο της Βιολογίας και της Βιο-ιατρικής που γίνεται εκτεταμένη χρήση αισθητήρων.

- Συστήματα απεικόνισης

Σημαντική εφαρμογή των ηλεκτρονικών ανάγνωσης αποτελούν τα συστήματα απεικόνισης που έχουν αναπτυχθεί σε διάφορους τομείς[3] . Στα συστήματα απεικόνισης συμπεριλαμβάνονται βέβαια και οι ιατρικές εφαρμογές όπως η ακτινογραφία που αναφέρθηκαν νωρίτερα. Ουσιαστικά τα ηλεκτρονικά ανάγνωσης που συνδέονται σε κάποιο είδος ανιχνευτή στερεάς κατάστασης αφού μετατρέψουν την αναλογική πληροφορία σε ψηφιακά δεδομένα με κατάλληλη επεξεργασία αναπαράγουν την εικόνα. Το πλήθος των εφαρμογών είναι αρκετά μεγάλο και διαχωρίζεται ανάλογα με το είδος της προσπίπτουσας ακτινοβολίας στον ανιχνευτή. Ιδιαίτερη ανάπτυξη γνωρίζουν τα συστήματα απεικόνισης ακτίνων-X με ευρύ φάσμα ενεργειών ανάλογα και με την εφαρμογή (5-300keV)[7]. Έτσι συστήματα απεικόνισης χρησιμοποιούνται στην φασματοσκοπία και στην κρυσταλλογραφία, στην αναγνώριση και ταυτοποίηση προτύπων, στην ρομποτική και σε πολλές άλλες περιπτώσεις. Στα πλαίσια της διατριβής αναπτύχθηκε ένα πρότυπο σύστημα απεικόνισης με σκοπό να χρησιμοποιηθεί για έλεγχο αποσκευών σε αεροδρόμια.

- Εφαρμογές αστρονομίας-διαστημικής

Εκτεταμένη είναι η χρήση συστημάτων ανάγνωσης στον χώρο της αστρονομίας και ιδιαίτερα στις διαστημικές αποστολές[2][3]. Πλήθος μη επανδρωμένων διαστημικών οχημάτων είναι εφοδιασμένα με ειδικούς αισθητήρες των οποίων τα σήματα επεξεργάζονται και αποθηκεύονται από συστήματα ανάγνωσης. Από αυτά τα συστήματα συλλέγονται κρίσιμες πληροφορίες που βοηθούν τους επιστήμονες στις μελέτες τους. Αντίστοιχα συστήματα είναι τοποθετημένα και στα οχήματα που προσγειώνονται σε ανεξερεύνητους πλανήτες, με τελευταίο παράδειγμα τον πλανήτη Άρη, τα οποία παρέχουν ανεκτίμητες πληροφορίες για τις συνθήκες του περιβάλλοντος και την μορφολογία του υπεδάφους. Όμως και οι δορυφόροι όλων των ειδών, τηλεπικοινωνιακοί και μετεωρολογικοί διαθέτουν αντίστοιχα κυκλώματα ηλεκτρονικών ανάγνωσης για διάφορους σκοπούς όπως αναγνώριση και ταυτοποίηση στοιχείων ή ακόμα και σε συστήματα ασφαλείας.

- Βιομηχανικές εφαρμογές

Τα συστήματα ανάγνωσης έχουν πλέον εισαχθεί δυναμικά και στον χώρο της βιομηχανίας με σκοπό να αυτοματοποιήσουν την διαδικασία παραγωγής και να βελτιώσουν την ποιότητα της[2][3]. Χαρακτηριστικό παράδειγμα είναι εργοστάσιο κατεργασίας ξύλου που χρησιμοποιεί ένα ολοκληρωμένο σύστημα ανάγνωσης σε συνδυασμό με τον κατάλληλο ανιχνευτή ώστε να ελέγχει αυτόματα την ποιότητα των κορμών των δέντρων πριν καν αρχίσει την επεξεργασία τους. Αντίστοιχα συστήματα χρησιμοποιούνται για να ελέγχουν αυτόματα τα παραγόμενα προϊόντα και να διασφαλίζουν έτσι την υψηλή ποιότητα κατασκευής τους. Εκτεταμένη χρήση γίνεται κυρίως στην αυτοκινητοβιομηχανία όπου απαιτούνται εκτενείς έλεγχοι κατά την διάρκεια της παραγωγής.

- Εμπορικές εφαρμογές

Όσο τα χρόνια περνάνε οι εμπορικές εφαρμογές των ολοκληρωμένων συστημάτων ανάγνωσης μαζί με τους αντίστοιχους αισθητήρες πληθαίνουν[2][3]. Υπάρχουν πλέον πολλά προϊόντα καθημερινής χρήσης που εμπεριέχουν αυτόματα συστήματα που παίρνουν αποφάσεις ανάλογα με τα ερεθίσματα που δέχονται από το περιβάλλον. Έτσι στα αυτοκίνητα υπάρχουν αισθητήρες που ρυθμίζουν την φωτεινότητα των προβολέων, την απόδοση του κινητήρα και γενικότερα την εύρυθμη και ασφαλή λειτουργία του. Σε ηλεκτρικές συσκευές όπως φωτογραφικές μηχανές και κάμερες αντίστοιχοι αισθητήρες χρησιμοποιούνται για να αυτοματοποιήσουν διαδικασίες όπως χρήση φλας ή βέλτιστη εστιακή απόσταση. Σταδιακά ολοένα και περισσότερες οικιακές συσκευές όπως πλυντήρια ρούχων και πιάτων, κουζίνες και πλυντήρια εξοπλίζονται με έξυπνους αισθητήρες για την λήψη αποφάσεων ώστε να γίνει η χρήση τους πιο εύκολη για τον καταναλωτή. Βέβαια οι εφαρμογές των

συστημάτων ανάγνωσης δεν περιορίζονται μόνο σε όσες έχουν αναφερθεί παραπάνω, αλλά αποτελούν ένα αντιπροσωπευτικό δείγμα για να συνειδητοποιήσει κανείς πόσο εκτεταμένη είναι η χρήση τους.

1.2)Ανιχνευτές στερεάς κατάστασης

Η αρχή λειτουργίας των ανιχνευτών στερεάς κατάστασης στηρίζεται στην παραγωγή φορτίου της επαφής pn όταν διεγερθεί από ένα σωματίδιο ακτινοβολίας, φωτόνιο. Πιο συγκεκριμένα όταν ένα φωτόνιο διέλθει από την περιοχή ελλείψεως φορέων της επαφής pn, η οποία ονομάζεται και περιοχή φορτίου χώρου, παράγεται φορτίο υπό την μορφή ζεύγους ηλεκτρονίου–οπής. Το φορτίο που παράγεται από την επαφή pn είναι ευθέως ανάλογο της ενέργειας της προσπίπτουσας ακτινοβολίας. Με την εφαρμογή κατάλληλης τάσης στα άκρα της επαφής pn οι ελεύθεροι φορείς προσανατολίζονται και δημιουργούν ρεύμα το οποίο είναι και το παραγόμενο σήμα από τον ανιχνευτή στερεάς κατάστασης. Τα υλικά που χρησιμοποιούνται για την κατασκευή των ανιχνευτών στερεάς κατάστασης είναι κυρίως ημιαγώγιμα εξαιτίας των ιδιοτήτων που παρουσιάζουν και είναι τις περισσότερες φορές το πυρίτιο (Si) και το γερμάνιο (Ge). Τα τελευταία χρόνια έχουν αρχίσει να χρησιμοποιούνται και άλλα υλικά όπως ο ιωδιούχος υδράργυρος (HgI₂), το αρσενικούχο γάλλιο (GaAs), το κράμα καδμίου - τελουρίου (CdTe) και το κράμα καδμίου – ψευδαργύρου - τελουρίου (CdZnTe). Οι κυριότεροι τύποι ανιχνευτών στερεάς κατάστασης που έχουν αναπτυχθεί αναφέρονται συνοπτικά στη συνέχεια[2][3][8][9].

□ Ανιχνευτές μικροταινίας (microstrip detectors).

Το πιο διαδεδομένο είδος ανιχνευτή και ιδιαίτερα για τα πειράματα Φυσικής Υψηλών Ενέργειών και την ανίχνευση φορτισμένων σωματιδίων είναι οι ανιχνευτές μικροταινίας . Ουσιαστικά αποτελούνται από διόδους pn οι οποίες έχουν μικρό πλάτος (10-50μm) και μεγάλο μήκος (10-50mm) οπότε έχουν το σχήμα μιας μακριάς ταινίας. Τοποθετώντας παράλληλα πολλές τέτοιες στοιχειώδεις μονάδες δημιουργείται ο ανιχνευτής μικροταινίας ο οποίος μπορεί να έχει συνολικό μήκος 5-50cm. Η απόσταση μεταξύ των διαδοχικών επαφών (συνήθως 20-50μm) καθορίζει και την διακριτική ικανότητα του ανιχνευτή μικροταινίας. Στην απλούστερη του μορφή οι διόδοι pn, οι οποίες αποτελούν και τα μοναδιαία ανιχνευτικά στοιχεία, αναπτύσσονται σε κοινό υπόστρωμα πυριτίου στο κάτω μέρος του οποίου σχηματίζεται ωμική επαφή για την εφαρμογή της τάσης που θα πολώσει τον ανιχνευτή. Η ανάστροφη πόλωση της επαφής pn έχει σαν αποτέλεσμα την δημιουργία περιοχής φορτίου χώρου που εκτείνεται σε όλο το βάθος του υποστρώματος. Για την κατασκευή του ανιχνευτή μικροταινίας εφαρμόζονται εκείνες οι τεχνολογικές διαδικασίες που χρησιμοποιούνται και για την κατασκευή ολοκληρωμένων κυκλωμάτων. Γι' αυτό το λόγο οι συνθήκες ήταν αρκετά

ώριμες για την γρήγορη ανάπτυξη και εξέλιξη τέτοιου τύπου ανιχνευτών. Υπάρχει η δυνατότητα για μονοδιάστατη ανίχνευση θέσης ενώ και η διακριτική ικανότητα που μπορούν να επιτύχουν σε συνδυασμένα συστήματα είναι αρκετά καλή, περίπου 5 μ m. Η τυπική χωρητικότητα που παρουσιάζουν είναι της τάξης των μερικών pF. Για την δισδιάστατη ανίχνευση θέσης και την βελτίωση της διακριτικής ικανότητας έχουν αναπτυχθεί και ανιχνευτές διπλής μικροταινίας που παρουσιάζουν αντίστοιχες ιδιότητες αλλά αυξημένη πολυπλοκότητα.

□ Ανιχνευτές ολίσθησης (Silicon Drift Chambers).

Οι ανιχνευτές ολίσθησης όπως και οι ανιχνευτές μικροταινίας αποτελούνται από διόδους pn οι οποίες τοποθετούνται σε κοινό υπόστρωμα πυριτίου. Η σημαντική διαφορά μεταξύ τους είναι ότι στους ανιχνευτές ολίσθησης οι δίοδοι δημιουργούνται και στις δύο επιφάνειες του πυριτίου. Ουσιαστικά πρόκειται για δύο διόδους τοποθετημένες “back to back”. Ακόμα και χωρίς την εφαρμογή κάποιας τάσης στο κομμάτι του πυριτίου που είναι κάτω από τις επαφές έχει δημιουργηθεί περιοχή ελλείψεως φορέων, αντίθετα με την περιοχή στο κέντρο του υποστρώματος. Όταν οι δίοδοι πολωθούν ανάστροφα εφαρμόζοντας την κατάλληλη τάση η περιοχή φορτίου χώρου εκτείνεται σε όλο το υπόστρωμα. Δημιουργείται μια κατανομή δυναμικού με κέντρο το μέσο του υποστρώματος οπότε το ηλεκτρικό πεδίο μεταφέρει το φορτίο που δημιουργείται. Τα ηλεκτρόνια συγκεντρώνονται στο κέντρο του υποστρώματος αντίθετα με τις οπές που κατευθύνονται στην επιφάνεια. Εάν εφαρμοστεί ηλεκτρικό πεδίο παράλληλα με το δισκίο τότε τα ηλεκτρόνια ολισθαίνουν μέσα στο υπόστρωμα με δεδομένη ταχύτητα. Προσδιορίζοντας τον συνολικό χρόνο μέχρι να φτάσουν τα ηλεκτρόνια την άνοδο προσδιορίζεται η ακτίνα όπου έγινε η πρόσκρουση. Για να εντοπιστεί η ακριβής θέση θα πρέπει να γίνει κατάλληλος διαχωρισμός του δισκίου σε τομείς. Ένα σημαντικό πλεονέκτημα που παρουσιάζουν οι ανιχνευτές ολίσθησης είναι η μειωμένη χωρητικότητα που έχουν (0.1pF), η οποία επηρεάζει άμεσα τον θόρυβο του συστήματος και κατά συνέπεια και την διακριτική ικανότητα. Από την άλλη πλευρά μειονέκτημα είναι η αυξημένη πολυπλοκότητα που θα πρέπει να έχουν τα ηλεκτρονικά ανάγνωσης. Επίσης η διαδικασία κατασκευής των ανιχνευτών ολίσθησης απαιτεί διεργασίες και στις δύο επιφάνειες του πυριτίου κάτι που είναι αρκετά πιο δύσκολο συγκρινόμενο με τους ανιχνευτές μικροταινίας. Επιπλέον η τάση που χρειάζεται για να λειτουργήσει ο ανιχνευτής είναι αρκετά υψηλή, μερικά kV. Οι παραπάνω λόγοι έχουν περιορίσει σημαντικά την χρήση ανιχνευτών ολίσθησης.

□ Ανιχνευτές ψηφίδας (pixel detectors).

Οι ανιχνευτές ψηφίδας αποτελούνται από πολλές στοιχειώδεις ανιχνευτικές διατάξεις που είναι συνήθως τετράγωνοι δίοδοι διαστάσεων μερικών δεκάδων μ m (50-150 μ m). Οι

δίοδοι αυτοί τοποθετούνται με τέτοιο τρόπο ώστε να σχηματίζουν ένα δισδιάστατο πλέγμα που αποτελεί τον συνολικό ανιχνευτή ψηφίδας. Εξαιτίας της δομής τους παρουσιάζουν μεγάλη διακριτική ικανότητα. Ο τρόπος κατασκευής τους όπως και των ανιχνευτών μικροταινίας ταυτίζεται με την διαδικασία παραγωγής ολοκληρωμένων κυκλωμάτων. Για αυτό ακριβώς τον λόγο είναι δυνατόν τόσο ο ανιχνευτής ψηφίδας όσο και τα ηλεκτρονικά ανάγνωσης να τοποθετηθούν στην ίδια ψηφίδα. Έτσι η διασύνδεση του ανιχνευτή ψηφίδας με τα ηλεκτρονικά ανάγνωσης γίνεται με άμεσο τρόπο και η συνολική χωρητικότητα στον κόμβο εισόδου των κυκλωμάτων είναι αρκετά μικρή. Η μικρή χωρητικότητα του ανιχνευτή και η άμεση σύνδεση του σήματος που παράγει με τα κυκλώματα ανάγνωσης έχουν σαν αποτέλεσμα το χαμηλό επίπεδο θορύβου και άρα την αυξημένη διακριτική ικανότητα.

□ Ανιχνευτές CCD (Charge Coupled Devices).

Οι ανιχνευτές CCD αποτελούνται από πολλές επαφές MOS οι οποίες τοποθετούνται πάνω στην επιφάνεια του πυριτίου. Ουσιαστικά η επαφή MOS σχηματίζεται με την δημιουργία ενός στρώματος πολυκρυσταλλικού πυριτίου πάνω από το διοξείδιο του πυριτίου, όπως ακριβώς με την πύλη ενός τρανζίστορ MOS. Με την εφαρμογή κατάλληλης θετικής τάσης στην επαφή δημιουργείται ακριβώς από κάτω μια περιοχή ελλείψεως φορέων και ένα πηγάδι δυναμικού. Αυτό το πηγάδι δυναμικού συγκεντρώνει τα ηλεκτρόνια που παράγονται από μια διέγερση. Οι γειτονικές επαφές οι οποίες είναι πολωμένες με διαφορετική τάση περιορίζουν το φορτίο ώστε να συγκρατηθεί κάτω από την αρχική επαφή. Η μεταφορά του φορτίου από επαφή σε επαφή γίνεται ρυθμίζοντας κατάλληλα το δυναμικό στις πύλες τους. Με αυτό τον τρόπο το φορτίο μεταφέρεται από το ένα πηγάδι δυναμικού στο αμέσως διπλανό του μέχρι να φτάσει στην επαφή εξόδου. Από την παραπάνω διαδικασία είναι φανερό ότι για την σωστή μεταφορά του παραγόμενου φορτίου χωρίς διαδοχικές απώλειες χρειάζονται αλληλεπικαλυπτόμενοι παλμοί ρολογιού, γεγονός που αποτελεί μειονέκτημα για τους ανιχνευτές CCD. Ανάλογα με την εφαρμογή έχουν αναπτυχθεί διάφορα είδη ανιχνευτών CCD (surface channel, buried channel CCD) τα οποία παρουσιάζουν πολύ καλή διακριτική ικανότητα, περίπου 5 μ m.

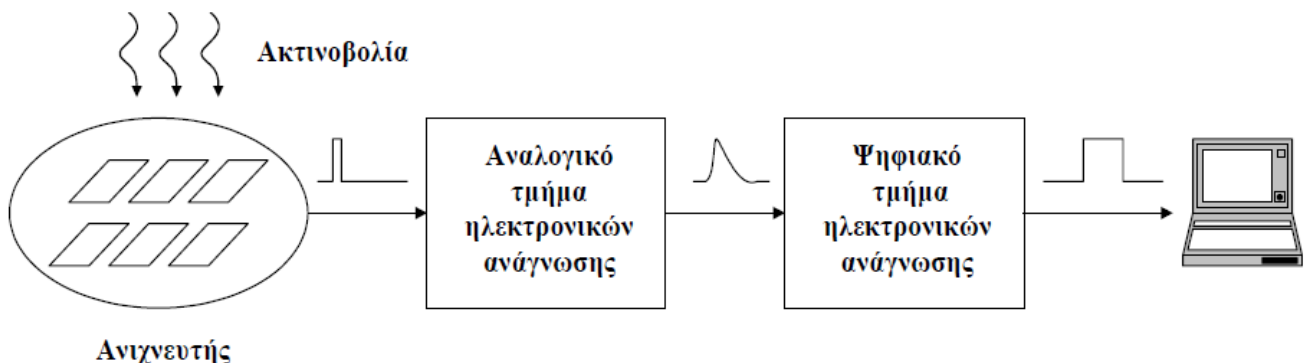
1.3) Προδιαγραφές λειτουργίας ηλεκτρονικών ανάγνωσης

Αρχικά τα φωτόνια της προσπίπτουσας ακτινοβολίας αλληλεπιδρούν με τον ανιχνευτή ο οποίος παράγει στη συνέχεια ένα σήμα που οδηγείται στα αναλογικά κυκλώματα ανάγνωσης [2][3][8][9]. Το αναλογικό τμήμα επεξεργάζεται κατάλληλα το σήμα εισόδου διαδικασία που τις περισσότερες φορές περιλαμβάνει ενίσχυση και φιλτράρισμα του θορύβου. Το σήμα που παράγεται τελικά είναι ευθέως ανάλογο του σήματος του ανιχνευτή. Σε ορισμένες εφαρμογές απαιτείται να μετατραπεί το αναλογικό

σήμα σε ψηφιακό οπότε υπάρχει και ψηφιακό τμήμα στα ηλεκτρονικά ανάγνωσης. Τελικά παράγονται ψηφιακοί παλμοί οι οποίοι αποτελούν ένδειξη ότι στο συγκεκριμένο κανάλι έχει καταγραφεί γεγονός. Σε πολλά συστήματα είναι απαραίτητο να είναι διαθέσιμες τόσο η αναλογική έξοδος όσο και η ψηφιακή για την άντληση της απαραίτητης πληροφορίας για την εφαρμογή. Να σημειωθεί ότι για την τελική εφαρμογή πολλές χιλιάδες πανομοιότυπα κανάλια με ηλεκτρονικά ανάγνωσης συνδέονται παράλληλα για να καταγράψουν τα παραγόμενα σήματα από τους ανιχνευτές. Στη συνέχεια αναφέρονται συνοπτικά οι κυριότερες προδιαγραφές που πρέπει να ικανοποιούνται από τα ηλεκτρονικά ανάγνωσης.

□ Χωρητικότητα ανιχνευτή

Ένα πολύ σημαντικό στοιχείο για τον σχεδιασμό των ηλεκτρονικών ανάγνωσης και ιδιαίτερα της πρώτης αναλογικής βαθμίδας είναι η χωρητικότητα του ανιχνευτή. Πιο συγκεκριμένα για βελτιστοποίηση της συμπεριφοράς των κυκλωμάτων ανάγνωσης θα πρέπει να ταιριαστεί η χωρητικότητα του στοιχείου εισόδου με την χωρητικότητα του ανιχνευτή. Αυτή η συνθήκη όπως θα αποδειχθεί στη συνέχεια έχει σαν αποτέλεσμα την ελαχιστοποίηση του συνολικού θορύβου. Ανάλογα με το είδος του ανιχνευτή ή του αισθητήρα η τιμή της χωρητικότητας ποικίλει από 100fF μέχρι 100pF.



□ Συνολικός θόρυβος ηλεκτρονικών ανάγνωσης

Ο θόρυβος των ηλεκτρονικών ανάγνωσης μετριέται στην έξοδο του συστήματος ανάγνωσης και θα πρέπει να είναι μικρότερος από ένα συγκεκριμένο και δεδομένο όριο. Το όριο αυτό προκύπτει ανάλογα με την εφαρμογή ώστε να μπορεί να διαχωριστεί με ακρίβεια το χρήσιμο σήμα από το σήμα θορύβου. Αν το επίπεδο θορύβου είναι αρκετά υψηλό υπάρχει αυξημένη πιθανότητα κάποια διέγερση που θα παράγει ασθενές σήμα να μην καταγραφεί. Σε πολλές περιπτώσεις όπου τα σήματα που προέρχονται από τον ανιχνευτή είναι πολύ ασθενή όπως συμβαίνει στις περισσότερες ιατρικές εφαρμογές η προδιαγραφή θορύβου θεωρείται η πλέον αυστηρή και κρίσιμη και θα πρέπει να ικανοποιηθεί οπωσδήποτε. Ο θόρυβος μετριέται με ένα μέγεθος που ονομάζεται Ισοδύναμο Φορτίο Θορύβου (Equivalent Noise Charge - ENC) με μονάδα το ισοδύναμο

αριθμό ηλεκτρονίων (e^-). Έτσι για ιατρικές εφαρμογές το επίπεδο θορύβου πρέπει να είναι μερικές δεκάδες ηλεκτρόνια ενώ αντίθετα στα πειράματα Φυσικής Υψηλών Ενεργειών μπορεί να μέχρι ορισμένες χιλιάδες (50-5000 e^-).

□ Δυναμική περιοχή ηλεκτρονικών ανάγνωσης

Η δυναμική περιοχή των ηλεκτρονικών ανάγνωσης εκφράζει το εύρος τιμών του φορτίου εισόδου που αναμένεται να παράγει ο ανιχνευτής στερεάς κατάστασης, το οποίο είναι ανάλογο με την ενέργεια της προσπίπτουσας ακτινοβολίας. Σε ορισμένες εφαρμογές η τιμή του φορτίου είναι δεδομένη και σταθερή οπότε ουσιαστικά η δυναμική περιοχή είναι μηδενική, ενώ αντίθετα σε άλλες περιπτώσεις είναι ιδιαίτερα εκτεταμένη. Το φορτίο εισόδου επηρεάζει με άμεσο τρόπο και την προδιαγραφή θορύβου των ηλεκτρονικών ανάγνωσης. Έτσι για εφαρμογές που το φορτίο εισόδου είναι ασθενές θα πρέπει αντίστοιχα χαμηλά να είναι και το επίπεδο θορύβου. Τυπικές τιμές φορτίου εισόδου είναι από 0.1fC μέχρι 5000fC χωρίς να αποκλείονται εφαρμογές με ακόμα μεγαλύτερα φορτία.

□ Συνολικό κέρδος ηλεκτρονικών ανάγνωσης

Το κέρδος εκφράζει πόσες φορές θα ενισχύσει το σήμα εισόδου η ακολουθία των κυκλωμάτων ανάγνωσης. Συνδέεται άμεσα με την δυναμική περιοχή της εφαρμογής, το επίπεδο θορύβου αλλά και την τεχνολογία υλοποίησης. Αν η δυναμική περιοχή είναι μεγάλη με δεδομένη την τάση τροφοδοσίας που παρέχει η τεχνολογία που έχει επιλεγεί για την κατασκευή του ολοκληρωμένου το κέρδος περιορίζεται αναγκαστικά. Αν η μείωση του κέρδους έχει σαν αποτέλεσμα να μην ικανοποιείται η προδιαγραφή του ωφέλιμου σήματος προς θόρυβο μπορεί να υιοθετηθεί η τακτική της μεταβαλλόμενης ενίσχυσης. Έτσι το κέρδος των ηλεκτρονικών ανάγνωσης ποικίλει από 1mV/fC μέχρι και 300mV/fC ανάλογα με την εφαρμογή.

□ Χρόνος κορύφωσης – χρόνος επαναφοράς

Ο χρόνος κορύφωσης ορίζεται το χρονικό εκείνο σημείο μετά την διέγερση του ανιχνευτή στο οποίο το αναλογικό σήμα εξόδου των ηλεκτρονικών ανάγνωσης φτάνει στην μέγιστη τιμή του. Επιπλέον ο χρόνος επαναφοράς είναι το χρονικό εκείνο διάστημα που χρειάζεται το σήμα ώστε να επανέλθει μετά από μια διέγερση στην στάθμη ηρεμίας. Αφού επανέρθει το σήμα το κανάλι είναι έτοιμο να δεχτεί το επόμενο γεγονός. Τόσο ο χρόνος κορύφωσης όσο και ο χρόνος επαναφοράς καθορίζουν μαζί πόσο γρήγορα αποκρίνεται το σύστημα ανάγνωσης. Όπως θα αποδειχθεί στη συνέχεια όσο πιο αργό είναι το σύστημα ανάγνωσης τόσο καλύτερη είναι η συμπεριφορά θορύβου του οπότε πρέπει να γίνει ένας συμβιβασμός ανάλογα και με την εφαρμογή.

Έχουν αναφερθεί συστήματα ηλεκτρονικών ανάγνωσης με χρόνους κορύφωσης 5ns μέχρι και 1μs.

□ Ρυθμός άφιξης γεγονότων

Ο ρυθμός άφιξης γεγονότων καθορίζει το ελάχιστο χρονικό διάστημα που αναμένεται ανάμεσα σε δύο διαδοχικές διεγέρσεις. Ο ρυθμός άφιξης γεγονότων είναι αντιστρόφως ανάλογος του χρόνου επαναφοράς. Αν το αναλογικό σήμα εξόδου δεν έχει επανέρθει στην στάθμη ηρεμίας και το κανάλι δεχτεί νέα διέγερση τότε θα υπάρξει μετατόπιση στάθμης και σταδιακά το σύστημα ανάγνωσης θα τεθεί εκτός λειτουργίας. Σε ορισμένες εφαρμογές ο ρυθμός άφιξης γεγονότων είναι πολύ χαμηλός (100Kevents/s) οπότε η συγκεκριμένη προδιαγραφή δεν είναι ιδιαίτερα σημαντική. Υπάρχουν όμως περιπτώσεις κατά τις οποίες ο ρυθμός και υψηλός είναι (1Mevents/s) και είναι βέβαια απαραίτητο να καταγράφονται όλα τα γεγονότα.

□ Ρεύμα διαρροής ανιχνευτή

Οι περισσότεροι τύποι ανιχνευτών αναμένεται κατά την διάρκεια λειτουργίας τους να παρουσιάσουν κάποιο ρεύμα διαρροής το οποίο εισάγεται μαζί με το ωφέλιμο σήμα στα ηλεκτρονικά ανάγνωσης. Μάλιστα όσο τα χρόνια λειτουργίας αυξάνονται τόσο ο ανιχνευτής θα υποβαθμίζεται και το ρεύμα διαρροής θα παίρνει μεγαλύτερη τιμή. Ανάλογα με την αναμενόμενη τιμή του ρεύματος διαρροής (10nA-50μA) αλλά και την αρχιτεκτονική της πρώτης βαθμίδας των ηλεκτρονικών ανάγνωσης, διαφέρει και ο τρόπος αντιμετώπισης του φαινομένου. Έτσι για χαμηλές τιμές του ρεύματος η επίδραση του στην λειτουργία των ηλεκτρονικών ανάγνωσης είναι αμελητέα, ενώ όταν είναι υψηλή χρειάζεται η προσθήκη ειδικού κυκλώματος αντιστάθμισης.

□ Γραμμική λειτουργία ηλεκτρονικών ανάγνωσης

Η γραμμική λειτουργία των ηλεκτρονικών ανάγνωσης συνεπάγεται ότι η συμπεριφορά τους παραμένει σταθερή για την δυναμική περιοχή της εφαρμογής. Έτσι χαρακτηριστικά της αλυσίδας όπως το κέρδος ή ο χρόνος κορύφωσης θα πρέπει να παραμένουν αμετάβλητα για διαφορετικά φορτία εισόδου. Η συγκεκριμένη προδιαγραφή σε πληθώρα εφαρμογών δεν είναι κρίσιμη αφού είτε το φορτίο εισόδου παραμένει σταθερό ή ελάχιστα μεταβαλλόμενο, είτε το αναλογικό σήμα μετατρέπεται σε ψηφιακό οπότε χάνεται η πληροφορία του κέρδους και του χρόνου κορύφωσης. Επιπλέον με κατάλληλη βαθμονόμηση του συστήματος η μη γραμμική λειτουργία του συστήματος μπορεί να αντισταθμιστεί.

□ Ανθεκτικότητα ηλεκτρονικών ανάγνωσης σε περιβάλλον ακτινοβολίας

Στα πειράματα Φυσικής Υψηλών Ενεργειών αλλά και στις διαστημικές εφαρμογές το σύστημα ανάγνωσης αναμένεται να λειτουργήσει κάτω από συνθήκες

έντονης ακτινοβολίας. Έχει διαπιστωθεί ότι σε αυτή την περίπτωση η απόδοση των ηλεκτρονικών κυκλωμάτων υποβαθμίζεται σταδιακά. Για να αντιμετωπιστεί η επίδραση της ακτινοβολίας είτε χρησιμοποιούνται ειδικές τεχνολογίες κατασκευής ολοκληρωμένων, είτε εφαρμόζονται τεχνικές φυσικού σχεδιασμού που προσδίδουν στα κυκλώματα ανθεκτικότητα.

□ Κατανάλωση ηλεκτρονικών ανάγνωσης

Η κατανάλωση των ηλεκτρονικών κυκλωμάτων είναι αρκετά κρίσιμη παράμετρος σε πολλές από τις εφαρμογές αν συνυπολογίσει κανείς πως στην τελική έκδοση θα υπάρχουν μερικές χιλιάδες όμοια κανάλια. Έτσι στις διαστημικές εφαρμογές όταν κάποιος δορυφόρος είναι σε αποστολή για αρκετά χρόνια και η παροχή ενέργειας είναι περιορισμένη είναι φανερό ότι τα ηλεκτρονικά ανάγνωσης θα πρέπει να έχουν ελάχιστη κατανάλωση. Σε άλλες εφαρμογές βέβαια η κατανάλωση δεν αποτελεί ιδιαίτερα σημαντική προδιαγραφή. Στη διεθνή βιβλιογραφία έχουν καταγραφεί συστήματα ανάγνωσης με κατανάλωση λιγότερο από 1mW.

□ Επιφάνεια ολοκληρωμένου κυκλώματος –Κόστος κατασκευής

Η συνολική επιφάνεια του συστήματος ανάγνωσης θα πρέπει να είναι όσο το δυνατόν μικρότερη για να μπορέσουν να εισαχθούν όσο το δυνατόν περισσότερα κανάλια στον διαθέσιμο χώρο. Με αυτό τον τρόπο και η διακριτική ικανότητα του συστήματος θα βελτιωθεί αλλά κυρίως θα μειωθεί και το κόστος κατασκευής που είναι επίσης σημαντική παράμετρος.

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΑΙΟΥ 1

- [1] Sedra, Adel S., and Kenneth C. Smith. Microelectronic CIRCUITS. 5th ed. New York: Oxford University Press, Inc, 2004.
- [2] E. Ζερβάκης, ‘Υψηλής ταχύτητας ηλεκτρονικά ανάγνωσης ανιχνευτών σε τεχνολογία VLSI CMOS’, Διδακτορική διατριβή, 2004
- [3] G. Hall, ‘Semiconductor particle tracking detectors’, Rep. Prog. Phys. 57, 1994, pp. 481-531.
- [4] K. Borer et al., ‘Readout electronics development for the ATLAS silicon tracker’, Nuclear Instruments and Methods in Physics Research A 360, 1995, pp. 193-196.
- [5] LHCb Collaboration, ‘The LHCb front-end electronics and data acquisition system’, Nuclear Instruments and Methods in Physics Research A 453, 2000, pp. 377-381
- [6] N. Haralabidis et al., ‘A Transimpedance CMOS Multichannel Amplifier with a 50Ω-Wide Output Range Buffer for High Counting Rate Applications’, IEEE Journal of Solid State Circuits, Vol. 32, No. 1, January 1997, pp. 135-138.
- [7] D. Loukas et al., ‘A readout system for X-ray powder crystallography’, Nuclear Instruments and Methods in Physics Research A 447, 2000, pp. 490-497.
- [8] H.Spieler ,‘Semiconductor Detector Systems’, Oxford University Press, USA,2005 pp. 520
- [9] P. Grybos, ‘Front-end Electronics for Multichannel Semiconductor Detector Systems’, Eucard , Cracow, 2010 pp.210

ΚΕΦΑΛΑΙΟ 2^ο

Εισαγωγή

Τα ηλεκτρονικά ανάγνωσης άρχισαν να αναπτύσσονται με γοργούς ρυθμούς όταν έγινε δυνατή η μονολιθική ολοκλήρωση τους, οπότε μειώθηκε σημαντικά τόσο το κόστος κατασκευής τους όσο και ο συνολικός όγκος τους. Σταδιακά μάλιστα εκτός των τυπικών αναλογικών κυκλωμάτων που αποτελούν τις πρώτες βαθμίδες μετά τον ανιχνευτή άρχισαν να προστίθενται και ψηφιακά κυκλώματα τα οποία αύξησαν ακόμα περισσότερο τις δυνατότητες των ολοκληρωμένων συστημάτων ηλεκτρονικών ανάγνωσης. Πλέον κατασκευάζονται μικτά αναλογικά-ψηφιακά ολοκληρωμένα που παρουσιάζουν αυξημένες λειτουργίες[1].

Τα τελευταία χρόνια οι εφαρμογές στις οποίες χρησιμοποιούνται ολοκληρωμένα συστήματα με ηλεκτρονικά ανάγνωσης έχουν αυξηθεί κατακόρυφα[2]. Η ποικιλία όμως των εφαρμογών και οι τελείως διαφορετικές προδιαγραφές που πρέπει να ικανοποιούνται κάθε φορά, είχε σαν φυσικό επακόλουθο την ανάπτυξη πολλών διαφορετικών αρχιτεκτονικών. Στις περισσότερες περιπτώσεις ένα ολοκληρωμένο σχεδιάζεται αποκλειστικά για χρήση σε μια συγκεκριμένη εφαρμογή (ASIC, Application Specific Integrated Circuit), ενώ σε λίγες περιπτώσεις είναι γενικού σκοπού (General purpose IC)[2]. Στο κεφάλαιο αυτό γίνεται μια προσπάθεια να ταξινομηθούν οι διαφορετικές αρχιτεκτονικές σε δύο μεγάλες κατηγορίες και να γίνει μια πρώτη ανάλυση των βασικών κυκλωμάτων που χρησιμοποιούνται σε αυτές.

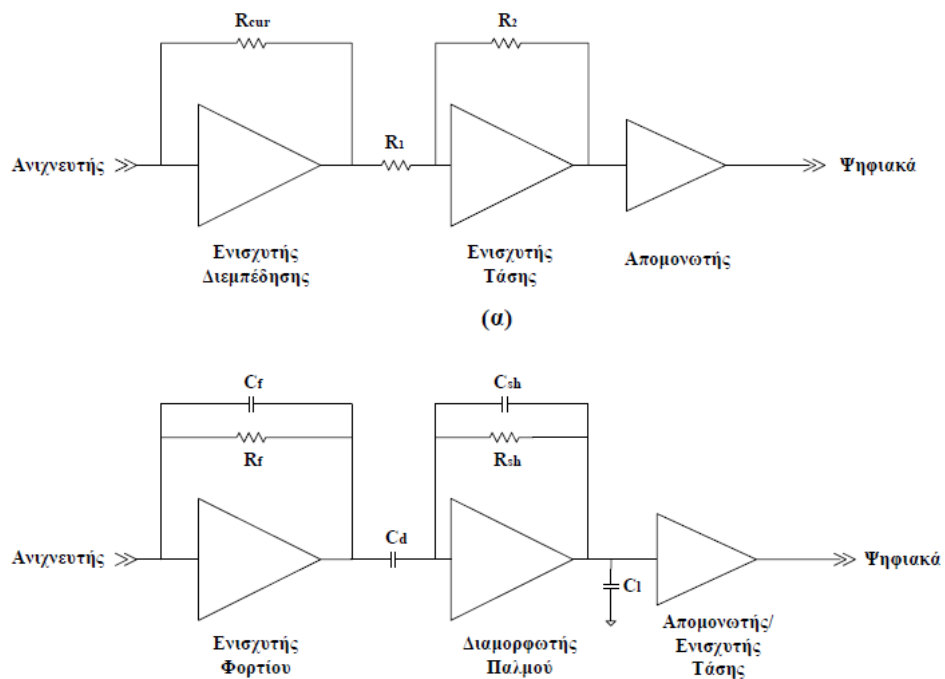
2.1) Ηλεκτρονικά ανάγνωσης

Οι τοπολογίες που χρησιμοποιούνται για τα ηλεκτρονικά ανάγνωσης ανάλογα με τον τύπο του ανιχνευτή στερεάς κατάστασης και την εφαρμογή ποικίλουν[2]. Η επεξεργασία του σήματος στην πρώτη βαθμίδα μετά τον ανιχνευτή, γίνεται με διαφορετικό τρόπο και είναι αυτή που χαρακτηρίζει την συνολική αλυσίδα. Έτσι στην τοπολογία ρεύματος (current-mode) η επεξεργασία του σήματος γίνεται στο πεδίο του ρεύματος ενώ αντίθετα στην τοπολογία τάσης (voltage-mode) στο πεδίο της τάσης.

Στην τοπολογία ρεύματος η πρώτη βαθμίδα μετά τον ανιχνευτή είναι ένας ενισχυτής διεμπέδησης, ο οποίος ενισχύει το ρεύμα και στη συνέχεια το μετατρέπει σε τάση. Στη συνέχεια το σήμα εξόδου του ενισχυτή διεμπέδησης ενισχύεται ακόμα περισσότερο με την χρήση ενός διαφορικού ενισχυτή τάσης. Ένας απομονωτής προστίθεται στο τέλος της αλυσίδας για να διαχωρίσει το αναλογικό μέρος των ηλεκτρονικών ανάγνωσης από το ψηφιακό που ακολουθεί.

Η πιο διαδεδομένη τοπολογία για τα ηλεκτρονικά ανάγνωσης ανιχνευτών στερεάς κατάστασης είναι η εξής. Η πρώτη βαθμίδα της διάταξης είναι ένας ενισχυτής φορτίου (charge amplifier) που στην έξοδο του παράγει παλμούς τάσης ανάλογους του φορτίου εισόδου. Η επόμενη βαθμίδα είναι ένας διαμορφωτής παλμού (pulse shaper) που ουσιαστικά είναι ένα ζωνοδιαβατό φίλτρο το οποίο ενισχύει το σήμα και ταυτόχρονα μειώνει τον θόρυβο. Μετά τον διαμορφωτή παλμού ακολουθεί είτε ένας απομονωτής είτε ένας ενισχυτής τάσης ο οποίος προσφέρει επιπλέον ενίσχυση εάν αυτό κρίνεται απαραίτητο.

Και οι δύο διαφορετικές τοπολογίες ουσιαστικά αποτελούν μόνο το αναλογικό τμήμα των ηλεκτρονικών ανάγνωσης το οποίο είναι και το αντικείμενο αυτής της διατριβής. Το αναλογικό σήμα που παράγεται στην έξοδο της αλυσίδας στη συνέχεια εισάγεται στο ψηφιακό τμήμα των ηλεκτρονικών ανάγνωσης, του οποίου η πολυπλοκότητα ποικίλλει ανάλογα με την εφαρμογή. Σε ορισμένες περιπτώσεις ένας διευκρινιστής που μετατρέπει το αναλογικό σήμα σε ψηφιακό είναι αρκετός, ενώ αντίθετα σε άλλες εφαρμογές πολύπλοκα κυκλώματα χρονισμού χρησιμοποιούνται για την περαιτέρω επεξεργασία. Σε κάθε περίπτωση βέβαια ο σχεδιασμός του αναλογικού τμήματος είναι αρκετά πιο σημαντικός και απαιτητικός καθώς αποτελεί την διασύνδεση του συστήματος ανάγνωσης με τον ανιχνευτή. Στα πλαίσια της διπλωματικής διατριβής θα αναλυθεί το αναλογικό μέρος των ηλεκτρονικών ανάγνωσης τόσο της τοπολογίας ρεύματος όσο και της τοπολογίας τάσης.



Σχ.1 Οι δύο βασικές τοπολογίες ηλεκτρονικών ανάγνωσης

2.2) Τοπολογία τάσης

Ενισχυτής φορτίου.

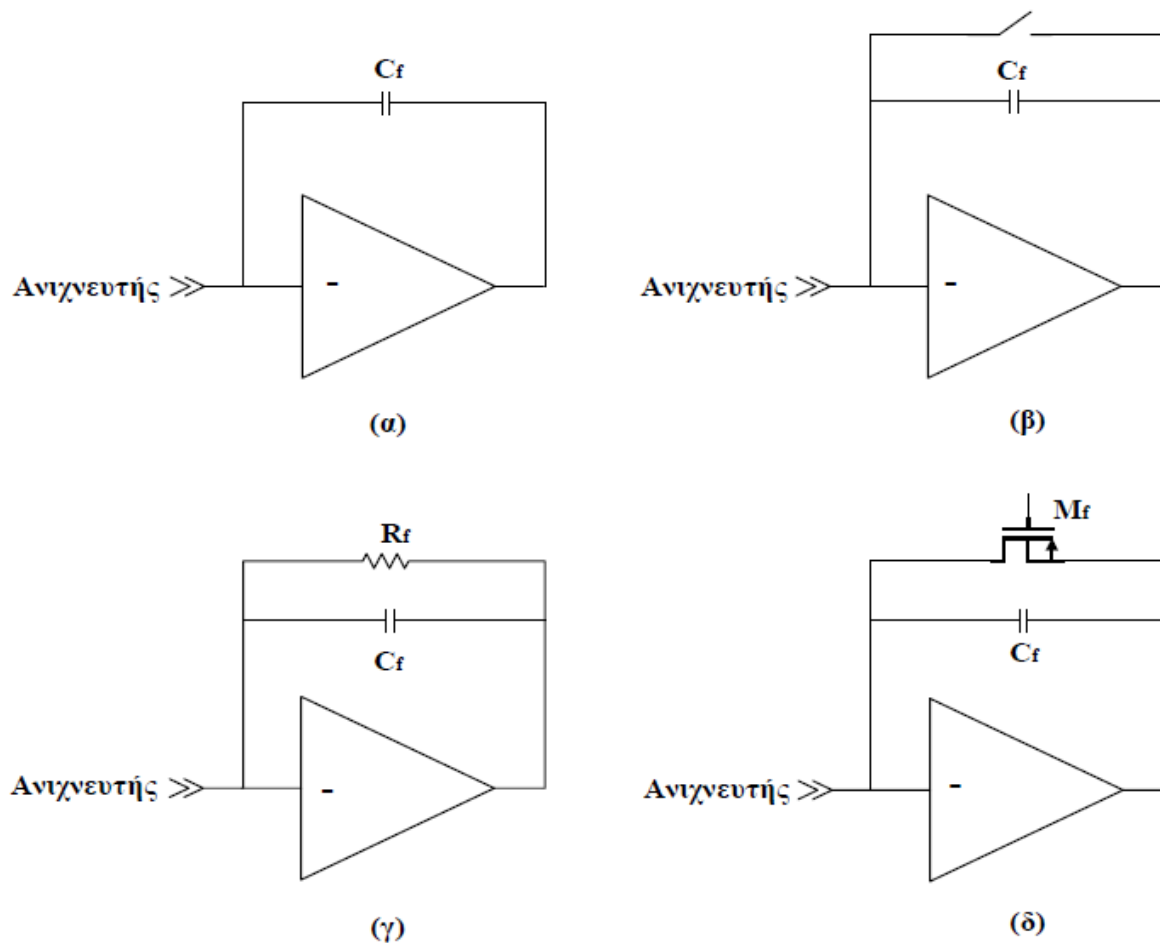
Η πρώτη βαθμίδα μετά τον ανιχνευτή στην αλυσίδα τάσης είναι ένας ενισχυτής φορτίου, ο οποίος αποτελεί το στάδιο προενίσχυσης των ηλεκτρονικών ανάγνωσης[2][5][6]. Ουσιαστικά αποτελείται από έναν τελεστικό ενισχυτή στον οποίο έχει συνδεθεί ένας πυκνωτής ανάδρασης. Οι παλμοί ρεύματος που τροφοδοτούνται στην είσοδο του ενισχυτή φορτίου και προέρχονται από τον ανιχνευτή στερεάς κατάστασης ολοκληρώνονται πάνω στον πυκνωτή ανάδρασης. Τελικά στην έξοδο του προενισχυτή δημιουργούνται παλμοί τάσης ανάλογοι του φορτίου που έχει παραχθεί από τον ανιχνευτή και έχει εναποτεθεί στα άκρα του πυκνωτή. Στην περίπτωση που ο τελεστικός ενισχυτής θεωρηθεί ιδανικός τότε οι παλμοί τάσης στην έξοδο φορτίου δίνονται από την σχέση: $V_{out} = -\frac{Q_f}{C_f}$ όπου Q_f είναι το φορτίο εισόδου και C_f είναι ο πυκνωτής ολοκλήρωσης

Καθώς ο ανιχνευτής εναποθέτει με συνεχή ρυθμό φορτίο στον πυκνωτή και ο κόμβος εισόδου του προενισχυτή δεν υπάρχει μονοπάτι να εκφορτιστεί, το στάδιο τελικά θα φτάσει στον κορεσμό. Για να αποφευχθεί ο κορεσμός του ενισχυτή φορτίου θα πρέπει να εισαχθεί κάποιο στοιχείο επαναφοράς του κόμβου εισόδου που θα αποφορτίζει τον πυκνωτή διοχετεύοντας το φορτίο προς την γη. Η επιλογή του μηχανισμού επαναφοράς είναι πολύ κρίσιμη γιατί επηρεάζει σε σημαντικό βαθμό την λειτουργία του προενισχυτή. Θα πρέπει να γίνει κατάλληλη επιλογή ώστε να μην υποβαθμιστεί η γραμμικότητα του ενισχυτή φορτίου. Παράλληλα επειδή το στοιχείο επαναφοράς συνδέεται στον κόμβο εισόδου συνεισφέρει στον συνολικό θόρυβο του συστήματος. Ο ίδιος μηχανισμός εκτός της αποφόρτισης του κόμβου εισόδου επιπλέον απορροφά το ρεύμα διαρροής του ανιχνευτή που αν εισαχθεί στον προενισχυτή θα υποβαθμίσει την λειτουργία του. Άλλες παραμέτρους που πρέπει κανείς να συνυπολογίσει πριν επιλέξει τον κατάλληλο μηχανισμό επαναφοράς είναι η δυνατότητα ολοκλήρωσης του καθώς και η απαιτούμενη επιφάνεια.

Η αποφόρτιση του κόμβου εισόδου μπορεί να γίνεται με δύο διαφορετικούς τρόπους, είτε με συνεχή είτε με περιοδικό τρόπο. Στην δεύτερη περίπτωση συνδέεται παράλληλα με τον πυκνωτή ανάδρασης ένας διακόπτης, ο οποίος βραχυκυκλώνει με περιοδικό τρόπο τα άκρα του. Κατά τον συνεχή τρόπο εκφόρτισης που είναι και ο πιο διαδεδομένος, συνδέεται παράλληλα με τον πυκνωτή είτε μια αντίσταση, είτε ένα τρανζίστορ MOS, του οποίου η λειτουργία ελέγχεται μέσω της τάσης που εφαρμόζεται στην πύλη του. Στα σύγχρονα συστήματα ανάγνωσης επιλέγεται κυρίως η συνεχής εκφόρτιση του πυκνωτή μέσω ενός τρανζίστορ MOS αντί για μια αντίσταση. Ο λόγος

είναι πως για να μειωθεί η συνεισφορά του στοιχείου στο συνολικό θόρυβο του συστήματος θα πρέπει η τιμή της αντίστασης να είναι αρκετά μεγάλη, μερικές δεκάδες MΩ για τις περισσότερες εφαρμογές, κάτι που κάνει απαγορευτική την ολοκλήρωση της αν υλοποιηθεί με παθητικό στοιχείο. Με την προσθήκη της αντίστασης που πρακτικά αποφορτίζει τον πυκνωτή ανάδρασης οι παλμοί τάσης στην έξοδο του ενισχυτή φορτίου παρουσιάζουν μια απόσβεση. Ο ρυθμός απόσβεσης ελέγχεται μέσω της αντίστασης ανάδρασης. Η υλοποίηση με τρανζίστορ MOS παρουσιάζει ακόμα ένα πλεονέκτημα μια και μεταβάλλοντας την τάση στην πύλη του υπάρχει η δυνατότητα ρύθμισης της τιμής

της αντίστασης ακόμα και μετά την ολοκλήρωση.

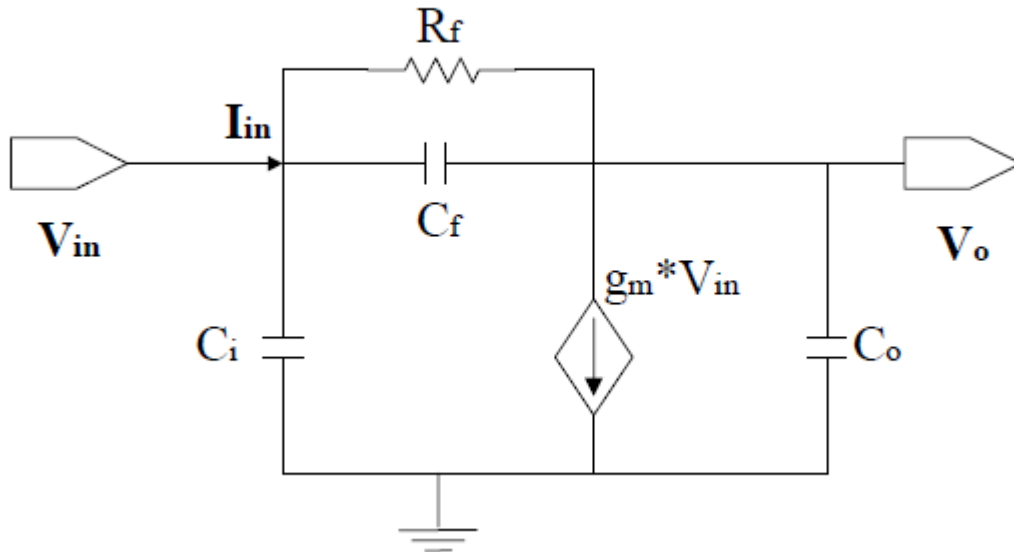


Σχ. 2 Πιθανοί τρόποι αποφόρτισης του charge amplifier

Όπως θα αποδειχθεί στην ανάλυση θορύβου η επιλογή της αντίστασης ανάδρασης εξαρτάται άμεσα και από το ρεύμα διαρροής του ανιχνευτή. Γενικότερα επειδή ο ενισχυτής φορτίου είναι η πρώτη βαθμίδα της αλυσίδας είναι η πιο κρίσιμη για τον συνολικό θόρυβο του συστήματος καθώς συνεισφέρει το μεγαλύτερο ποσοστό. Σε κάθε περίπτωση θα πρέπει για να ελαχιστοποιηθεί ο θόρυβος να ταιριαστεί η χωρητικότητα

του ενισχυτή φορτίου και ειδικότερα του τρανζίστορ εισόδου με την χωρητικότητα του ανιχνευτή.

Με την παραδοχή ότι ο τελεστικός ενισχυτής παρουσιάζει ένα απλό πόλο το ισοδύναμο κύκλωμα μικρού σήματος του ενισχυτή φορτίου φαίνεται στο Σχήμα. Στο ισοδύναμο κύκλωμα C_i είναι η χωρητικότητα στον κόμβο εισόδου, C_o η χωρητικότητα εξόδου και g_m η διαγωγιμότητα του τελεστικού ενισχυτή.



Σχ. 3 Ισοδύναμο κύκλωμα μικρού σήματος του charge amplifier

Η συνάρτηση μεταφοράς δίνεται από την σχέση:

$$H(s) = \frac{V_o(s)}{V_{in}(s)} \cong -\frac{1}{C_f} * \frac{1}{\frac{(C_i + C_f)(C_o + C_f)}{g_m * C_f} s + 1}$$

Παρατηρείται ότι το ρεύμα εισόδου ολοκληρώνεται στον πυκνωτή ανάδρασης για να παραχθεί η τάση εξόδου του ενισχυτή φορτίου.

2.3) Διαμορφωτής παλμού

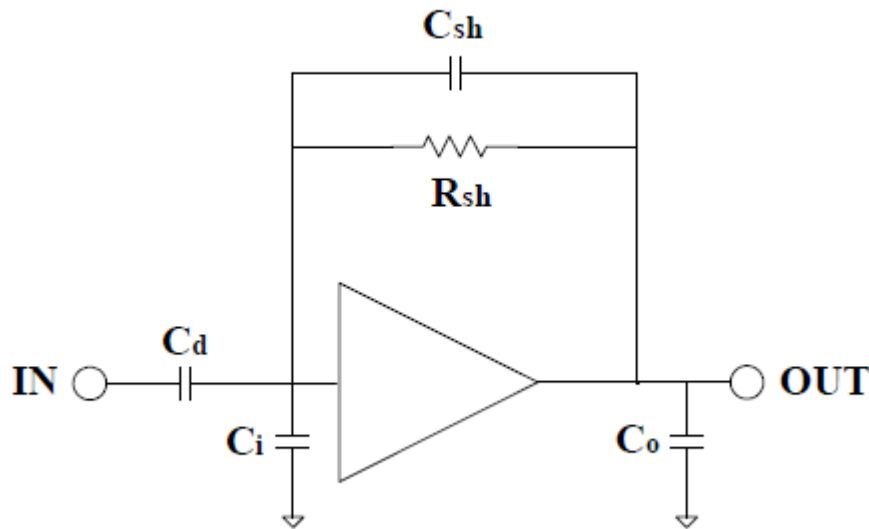
Οι παλμοί τάσης που παράγονται από τον ενισχυτή φορτίου εισάγονται στην επόμενη βαθμίδα της τοπολογίας τάσης που είναι ο διαμορφωτής παλμού[2][5][6]. Όπως γίνεται φανερό και από την ονομασία του ο διαμορφωτής προσδίδει στον παλμό την επιθυμητή μορφή. Ουσιαστικά στο πεδίο της συχνότητας ο διαμορφωτής παλμού είναι ένα φίλτρο το οποίο μεταβάλλει την μορφή του σήματος. Πολλές από τις προδιαγραφές του συνολικού συστήματος ανάγνωσης επηρεάζονται άμεσα από την απόκριση του διαμορφωτή γι' αυτό και η επιλογή του είναι πολύ κρίσιμη.

Κατ' αρχήν με κατάλληλη επιλογή ο διαμορφωτής παλμού φιλτράρει το σήμα που προέρχεται από τον ενισχυτή φορτίου με αποτέλεσμα να μειώνει σε σημαντικό βαθμό το επίπεδο θορύβου ενώ ταυτόχρονα ενισχύει το σήμα. Συνολικά λοιπόν ο διαμορφωτής βελτιώνει τον λόγο σήματος προς θόρυβο (SNR) του συστήματος. Ο χρόνος κορύφωσης του σήματος εξόδου της αλυσίδας αλλά και ο χρόνος επαναφοράς στην στάθμη ηρεμίας ρυθμίζονται αποκλειστικά από τον διαμορφωτή παλμού. Αν στα παραπάνω χαρακτηριστικά, θόρυβος, χρόνος κορύφωσης και επαναφοράς, προσθέσει κανείς και το κέρδος της αλυσίδας γίνεται αμέσως φανερό πως ο διαμορφωτής παλμού επηρεάζει όλες τις σημαντικές παραμέτρους του συστήματος.

Το είδος του διαμορφωτή παλμού που θα χρησιμοποιηθεί στα ηλεκτρονικά ανάγνωσης ποικίλει ανάλογα με την εφαρμογή και ειδικότερα το είδος του ανιχνευτή. Ο σχεδιαστής μπορεί να επιλέξει ανάμεσα σε διάφορα φίλτρα ώστε να πάρει την επιθυμητή μορφή παλμού. Έχει την δυνατότητα να συνδέσει μάλιστα πολλά φίλτρα διαδοχικά για να υλοποιήσει πιο πολύπλοκες συναρτήσεις μεταφοράς. Στην διεθνή βιβλιογραφία έχουν αναφερθεί πλήθος διαμορφωτών παλμού αλλά η τοπολογία που έχει επικρατήσει περισσότερο είναι ο Semi-Gaussian διαμορφωτής ο οποίος παρουσιάζεται αναλυτικά στη συνέχεια.

Semi-Gaussian διαμορφωτής παλμού

Ο Semi-Gaussian διαμορφωτής παλμού αποτελείται από ένα υψιπερατό φίλτρο που συνδέεται διαδοχικά με n πλήθος βαθυπερατών φίλτρων[2][5][6]. Το υψιπερατό φίλτρο ουσιαστικά πρόκειται για ένα διαφοριστή ενώ τα βαθυπερατά φίλτρα για ολοκληρωτές. Το πλήθος n των βαθυπερατών φίλτρων που θα συνδεθούν μετά την υψιπερατή βαθμίδα ορίζει και την τάξη του διαμορφωτή. Είναι φανερό πως όσο μεγαλύτερη είναι η τάξη του διαμορφωτή τόσο πιο πολύπλοκη είναι η δομή του τελικού συστήματος ανάγνωσης. Επειδή σε πολυκαναλικά συστήματα ανάγνωσης είναι σημαντικό να υλοποιούνται όσο το δυνατόν απλούστερες δομές που οδηγούν και σε μικρότερες αποκλίσεις αλλά κυρίως σε μειωμένη επιφάνεια στο ολοκληρωμένο επιλέγεται να χρησιμοποιηθεί ένας Semi-Gaussian διαμορφωτής 1ης τάξης. Το διάγραμμα του διαμορφωτή 1ης τάξης φαίνεται στο σχήμα.



Σχ. 4 Τοπολογία του shaper

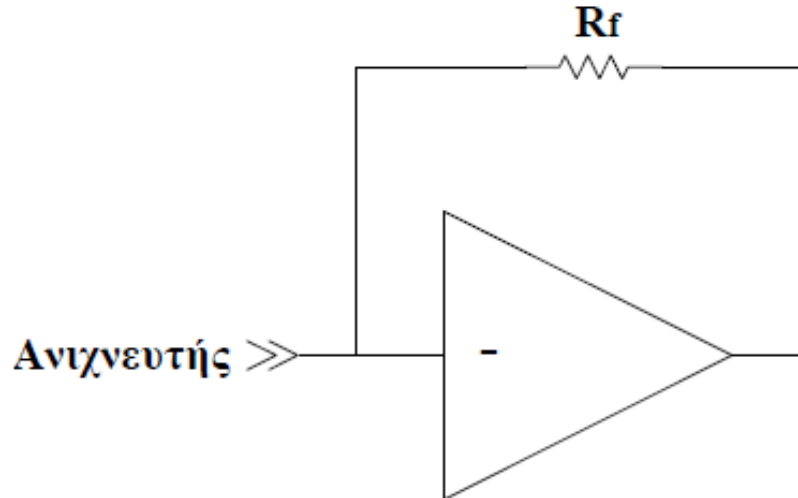
Η συνάρτηση μεταφοράς είναι αρκετά πολύπλοκη και μετά από αρκετές απλοποιήσεις δίνεται από τη σχέση:

$$H(s) = \frac{(-2 * C_d * g_m * \tau_{sh} * s)}{(C_d + C_i + C_o)g_{sh} + C_{sh} * g_m(\tau_{sh} * s + 1)^2}$$

Όπου C_d η χωρητικότητα διαφόρισης, C_i η χωρητικότητα εισόδου του τελεστικού ενισχυτή, C_{sh} και g_{sh} η χωρητικότητα και η αγωγιμότητα ανάδρασης αντίστοιχα, C_o χωρητικότητα εξόδου και g_m η διαγωγιμότητα του τελεστικού ενισχυτή.

Τοπολογία ρεύματος(Ενισχυτής διεμπέδησης)

Η πρώτη βαθμίδα στην τοπολογία ρεύματος είναι ένας ενισχυτής διεμπέδησης[6]. Η επεξεργασία του σήματος γίνεται στο πεδίο του ρεύματος με αποτέλεσμα η συνολική διάταξη να λειτουργεί με υψηλή ταχύτητα. Το διάγραμμα του ενισχυτή διεμπέδησης φαίνεται στο σχήμα και αποτελείται ουσιαστικά από έναν τελεστικό ενισχυτή στον οποίο έχει συνδεθεί μια αντίσταση ανάδρασης. Οι παλμοί ρεύματος που προέρχονται από τον ανιχνευτή στερεάς κατάστασης ενισχύονται και στη συνέχεια μετατρέπονται σε κυματομορφή τάσης. Αν ο τελεστικός ενισχυτής θεωρηθεί ιδανικός τότε η σχέση μετατροπής δίνεται από την σχέση $V_{out} = -I * R_{out}$



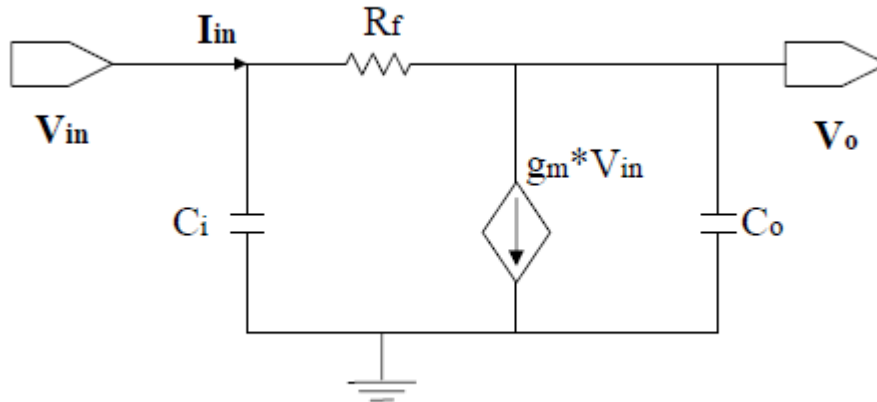
Σχ.5 Τοπολογία του ενισχυτή διεμπέδησης

Στην περίπτωση όμως που ο τελεστικός ενισχυτής δεν είναι ιδανικός αλλά ακολουθεί το μοντέλο του απλού πόλου τότε το ισοδύναμο κύκλωμα μικρού σήματος του ενισχυτή διεμπέδησης φαίνεται στο σχήμα παρακάτω, όπου C_i είναι η χωρητικότητα στον κόμβο εισόδου, C_o η χωρητικότητα εξόδου και g_m η διαγωγιμότητα του τελεστικού ενισχυτή. Το μειονέκτημα της συγκεκριμένης τοπολογίας είναι πως παρουσιάζει αστάθεια και ανάλογα με την επιλογή του τελεστικού ενισχυτή και της αντίστασης ανάδρασης υπάρχει η πιθανότητα να εμφανιστούν ταλαντώσεις. Αυτό διαπιστώνεται υπολογίζοντας τον συντελεστή ποιότητας της. Για να αποφευχθούν οι ταλαντώσεις και να βελτιωθεί η ευστάθεια της τοπολογίας προστίθεται ένας πυκνωτής αντιστάθμισης C_f παράλληλα με την αντίσταση ανάδρασης. Η συνάρτηση μεταφοράς

δίνεται από τη σχέση: $H(s) = \frac{V_o(s)}{I_{in}(s)} = -\frac{1}{g_f} * \frac{1}{\frac{C_o C_i}{g_f(g_m - g_f)} s^2 + \frac{C_o + C_i}{g_m - g_f} s + \frac{g_m}{g_m - g_f}}$ ενώ ο

συντελεστής ποιότητας του κυκλώματος είναι: $Q = \sqrt{\frac{g_m}{g_f}} * \frac{\sqrt{C_o C_i}}{C_o + C_i}$. Για τυπικές τιμές των

στοιχείων προκύπτει ότι $Q > 0.707$ οπότε ο ενισχυτής διεμπέδησης οδηγείται πράγματι σε αστάθεια[1][7].



Σχ. 6 Ισοδύναμο κύκλωμα μικρού σήματος του ενισχυτή διεμπέδησης

2.5) Ανάλυση θορύβου

Τι είναι ο θόρυβος?

Θόρυβος μπορεί να θεωρηθεί κάθε τι, που προστιθέμενο σε ένα σήμα καθιστά δυσχερέστερη τη μετάδοση, επεξεργασία και ανάκτηση της πληροφορίας[2][3][4][8]. Στα ηλεκτρονικά συστήματα οφείλεται κυρίως στο διακριτό χαρακτήρα του ηλεκτρικού φορτίου με συνέπεια το ηλεκτρικό ρεύμα να είναι συνεχές μόνο κατά τη μέση χρονική του τιμή. Αποτελεί ένα ολοκληρωτικά τυχαίο σήμα και θέτει ένα ελάχιστο όριο στο μέγεθος του σήματος που πρόκειται να μεταδοθεί.

Είδη Θορύβου

A) Θερμικός Θόρυβος(Thermal noise)

Ο θερμικός θόρυβος προκαλείται από την έντονη θερμική κίνηση-δόνηση των φορέων φορτίου(ηλεκτρόνια ή οπές) σε έναν αγωγό και εμφανίζεται κατά την τυχαία κίνηση τους μέσα στον αγωγό αυτό. Προκαλεί μια τάση θορύβου η οποία σύμφωνα με το θεώρημα του Nyquist δίνεται από την σχέση: $E_{th}^2 = 3KTR\Delta f(\text{Volts}^2)$ όπου $K = 1.38 * 10^{-19} \text{ Ws/k}$ η σταθερά του Boltzmann
 T η θερμοκρασία του αγωγού σε K
 Δf το bandwidth σε Hz
 R η αντίσταση σε Ohm

Ο θερμικός θόρυβος είναι λευκός θόρυβος (επίπεδη φασματική κατανομή ισχύος)

B) Θόρυβος βολής(shot noise)

Ο θόρυβος βολής εμφανίζεται στις λυχνίες κενού και στις επαφές ημιαγωγών και αποδίδεται στην τυχαία εκπομπή ή έγχυση φορέων ή στην τυχαία άφιξη τους στην άνοδο(ή στο συλλέκτη αν πρόκειται για transistor) λόγω διαφορετικών αρχικών ταχυτήτων. Θόρυβος βολής δημιουργείται σε επαφές ημιαγωγών όταν ηλεκτρόνια-που δημιουργούν ένα ρεύμα I_{dc} - διασχίζουν ένα φράγμα δυναμικού. Επειδή στις αντιστάσεις δεν δημιουργείται φράγμα δυναμικού, ο shot noise εμφανίζεται μόνο σε ημιαγωγίμες διατάξεις όπως οι δίοδοι και τα transistors. Η (rms) ενεργός τιμή του ρεύματος του θορύβου βολής δίνεται από την σχέση(ο τύπος αυτός ονομάζεται και τύπος του Schottky): $I_{sh} = \sqrt{2qI_{dc}\Delta f}$ όπου

$$q = 1,6 * 10^{-19} \text{Cb}$$

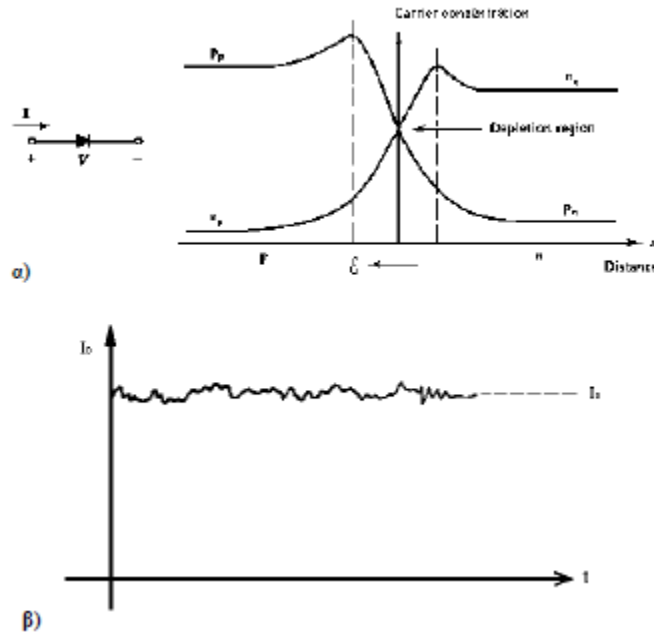
I_{dc} το συνεχές ρεύμα σε Ampere

Δf το noise bandwidth σε Hz

Ο θόρυβος βολής είναι εντελώς τυχαίος και έχει επίπεδη φασματική κατανομή ισχύος (λευκός θόρυβος). Ο τύπος του Schottky ισχύει με την προϋπόθεση ότι οι φορείς κινούνται ανεξάρτητα ο ένας από τον άλλον. Στην πραγματικότητα σε περίπτωση λειτουργίας των ημιαγωγών σε περιοχές εκτός της κορεσμένης (π.χ για ένα MOS η γραμμική περιοχή) δημιουργείται ένας μηχανισμός ανάδρασης. Αυτός ο μηχανισμός περιγράφεται από τον παράγοντα Γ^2 (space charge moving factor). Στην περίπτωση του θορύβου βολής ο τύπος του Schottky μετασχηματίζεται σε $I_{sh}^2 = 2qI_{dc}\Delta f \Gamma^2$ όπου $0.15 \leq \Gamma^2 \leq 0.5$

Παράδειγμα θορύβου βολής σε μια δίοδο:

Η προέλευση του θορύβου βολής θα φανεί αν θεωρήσουμε μια δίοδο και την συγκέντρωση του φορτίου σε αυτήν όταν είναι ορθά πολωμένη(σχήμα α). Στην περιοχή κενώσεως (περιοχή φορτίων χώρου) υπάρχει ένα πεδίο E και μια διαφορά δυναμικού μεταξύ των περιοχών p και n . Οι φορείς πλειονότητας(οπές στην p περιοχή και ηλεκτρόνια στην n περιοχή) που έχουν την απαραίτητα ενέργεια, μόλις περάσουν το φράγμα δυναμικού στην επαφή, απομακρύνονται ως φορείς μειονότητας. Το πέρασμα των φορέων από την επαφή είναι ένα καθαρά τυχαίο γεγονός και εξαρτάται από το αν οι φορείς έχουν την απαραίτητη ενέργεια-ταχύτητα. Έτσι το ρεύμα I που μοιάζει σταθερό(dc), στην πραγματικότητα είναι ένα μεγάλο πλήθος τυχαίων και ανεξάρτητων παλμών ρεύματος. Αν το ρεύμα εξεταστεί σε έναν ευαίσθητο παλμογράφο, θα δούμε το σχήμα β στο οποίο φαίνεται καθαρά ότι το ρεύμα I_d είναι η μέση τιμή του ίχνους.



Σχ.7,8 Η προέλευση του θορύβου βολής θα φανεί αν θεωρήσουμε μια δίοδο και την συγκέντρωση του φορτίου σε αυτήν όταν είναι ορθά πολωμένη(σχήμα α)/ το ρεύμα I που μοιάζει σταθερό(dc), στην πραγματικότητα είναι ένα μεγάλο πλήθος τυχαίων και ανεξάρτητων παλμών ρεύματος(σχήμα β)

Θόρυβος 1/f (flicker noise)

Συναντάται και ως pink noise, excess noise, semiconductor noise, low frequency noise, constant noise, red noise και σχετίζεται με τις επιφανειακές ανωμαλίες της κρυσταλλικής δομής των ημιαγωγών[3][4]. Η βασική αιτία της ύπαρξης του 1/f θορύβου στις διατάξεις ημιαγωγών σχετίζεται με τις ιδιότητες των υλικών στην επιφάνεια αυτών. Η δημιουργία και ο ανασχεδιασμός (trapping and rewrapping) των φορέων (p^+ και e^-) στις ενεργειακές καταστάσεις τις επιφάνειας και η πυκνότητα των επιφανειακών καταστάσεων είναι σημαντικοί παράγοντες. Όσο καλή και αν η τεχνολογία κατασκευής –επεξεργασία της επιφάνειας (οπότε μειώνεται ο 1/f noise) στο χώρο, ανάμεσα στην επιφάνεια ημιαγωγού και του αναπτυσσόμενου οξειδίου υπάρχουν παγίδες φορέων που αποτελούν κέντρα δημιουργίας θορύβου.

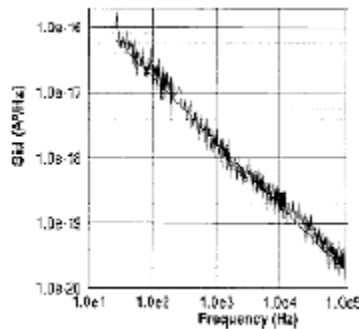
Η ισχύς του flicker noise είναι ανάλογη του ρεύματος πόλωσης όπως και στο θόρυβο βολής. Στις χαμηλές συχνότητες οι ισχύς του είναι αντιστρόφως ανάλογη της συχνότητας, ενώ για συχνότητες της τάξης των KHz η ισχύς του γίνεται μικρή αλλά κατά βάση σταθερή. Αυτός είναι ο λόγος που ο flicker noise θέτει ένα πολύ σοβαρό εμπόδιο στην ακρίβεια των μετρήσεων στην περιοχή χαμηλών συχνοτήτων. Χαρακτηρίζεται ως ροζ και όχι ως λευκός θόρυβος γιατί το φάσμα ισχύος του δεν είναι επίπεδο.

Ο θόρυβος 1/f είναι αντίστροφος ανάλογος της συχνότητας και δίνεται από τη σχέση:

$$If^2 = KIn \frac{\Delta f}{fa} \text{ όπου}$$

- K είναι η σταθερά του flicker noise
- In είναι το μέσο ρεύμα
- Δf το εύρος ζώνης του θορύβου
- a η παράμετρος του Hooge

Στο παρακάτω σχήμα φαίνεται η φασματική πυκνότητα ρεύματος ενός flicker θορύβου(φασματική πυκνότητα ισχύος θορύβου ορίζεται ως η μετρούμενη ισχύς θορύβου P σε εύρος ζώνης συχνοτήτων BW) ενός MOSFET, αντιστρόφως ανάλογη της συχνότητας σε μια περιοχή θορύβου 1-100KHz



Σχ.9 Φασματική πυκνότητα ισχύος του flicker noise

Οι παραπάνω ήταν οι τρεις σημαντικότερες πηγές θορύβου. Υπάρχουν και άλλοι θόρυβοι που δεν έχουν όμως αρκετά μεγάλη ισχύ ώστε να μελετηθούν στα πλαίσια του σχεδιασμού VLSI. Ενδεικτικά κάποιιοι από αυτούς είναι:

- Θόρυβος burst(βρίσκεται στις χαμηλές συχνότητες και οφείλεται στις προσμίξεις ιόντων βαρέων μετάλλων)
- Θόρυβος avalanche(γίνεται παραγωγή τυχαίων spikes θορύβου και οφείλεται παράγεται από το φαινόμενο zener ή τον καταγισμό φορέων σε μια επαφή pn)
- Divider noise
- Induced noise
- Generation-recombination noise

Συσχέτιση των θορύβων

Όταν οι εκάστοτε τάσεις θορύβου παράγονται ανεξάρτητα και δεν υπάρχει καμία σχέση μεταξύ τους τότε είναι μη συσχετιζόμενες(uncorrelated).Όταν όμως είναι συσχετιζόμενες(πχ λόγω κοινού φαινομένου που δημιουργεί θόρυβο) τότε η γενική έκφραση συσχέτισης του είναι:

$E^2 = E1^2 + E2^2 + 2CE1E2$. Ο παράγοντας C παίρνει τιμές από -1ως 1 και ονομάζεται

παράγοντας συσχέτισης .Όταν
 $C=0 \Rightarrow$ οι τάσεις θορύβου είναι uncorrelated
 $C=1,-1 \Rightarrow$ οι τάσεις θορύβου είναι correlated

Σημαντικότερες πηγές θορύβου στην CMOS τεχνολογία.

- Channel Thermal noise (θερμικός θόρυβος καναλιού)
- flicker noise(1/f noise)
- θόρυβος στην πύλη του MOSFET(gate induced noise)-στους wideband amplifier είναι αμελητέος, όχι όμως στους High Frequency Amplifiers/RF amplifiers
- θόρυβος υποστρώματος λόγω της ανομοιομορφής κατανομής της αντίστασης του(Substrate Resistance noise)
- Θόρυβος βολής (shot noise) που σχετίζεται με τα ρεύματα διαρροής στις ανάστροφα πολωμένες επαφές pn στον απαγωγό (drain) και στην πυγή (source)

Πρέπει να σημειωθεί ότι σε συνήθεις διατάξεις μόνο οι πρώτες δυο περιπτώσεις θορύβου λαμβάνονται υπόψη. Σε εφαρμογές όμως που απαιτείται χαμηλός θόρυβος όπως στα ηλεκτρονικά πρώτης βαθμίδας και οι υπόλοιπες πηγές θορύβου θεωρούνται σημαντικές.

Channel Thermal noise (θερμικός θόρυβος καναλιού)

Ο θερμικός θόρυβος σε ένα MOSFET προκαλείται από την τυχαία κίνηση(κίνηση brown) των ηλεκτρονίων ή των οπών μέσα στο κανάλι. Η σχέση ορισμού του θερμικού θορύβου σε ένα MOS transistor στην ωμική και κορεσμένη κατάσταση λειτουργίας είναι:

$$I_{d}^2 = 4kT \frac{\mu^2 W^2}{L^2 I_{ds}} \int_0^{V_{ds}} Qn^2(V) dV \text{ όπου}$$

- K η σταθερά Boltzmann
- T η απόλυτη θερμοκρασία
- W το πλάτος του καναλιού
- L το μήκος του καναλιού
- μ η ευκινησία των φορέων
- I_{ds} το ρεύμα πηγής-απαγωγού
- $Qn(x) = C_{ox}(V_{gs} - V_t - V(x))$ όπου C_{ox} η χωρητικότητα του οξειδίου πύλης ανά μονάδα επιφάνειας, V_t η threshold voltage στην περιοχή x και $V(x)$ το δυναμικό στη θέση x .

Flicker noise (1/f noise)

Ο θόρυβος αυτός έχει παρατηρηθεί σε όλα τα είδη διατάξεων-συσκευών, σε όλα τα είδη αντιστάσεων, σε όλα τα είδη ημιαγωγών, μέχρι και σε χημικά συμπυκνωμένα κελύφη. Υπάρχουν πολλά πειράματα που μαρτυρούν ότι πολλοί φυσικοί μηχανισμοί εμπλέκονται στη δημιουργία του 1/f noise. Τα MOS transistor παρουσιάζουν το μεγαλύτερο 1/f θόρυβο σε σχέση με όλες τις υπόλοιπες ημιαγωγίμες διατάξεις εξαιτίας του μηχανισμού αγωγιμότητας της επιφάνειάς τους. Το αποτέλεσμα είναι να υπάρχουν πολλά μοντέλα φυσικής που να προσπαθούν να εξηγήσουν τον 1/f θόρυβο σε ένα MOSFET. Τα δύο περισσότερο γνωστά και ανταγωνιστικά μοντέλα είναι το Mobility Fluctuation Model του Hooge και το Number Fluctuation Model του McWhorter.

Σύμφωνα με το Number Fluctuation Model ο 1/f θόρυβος αποτελεί ένα φαινόμενο σχετικό με τις επιφανειακές ιδιότητες του ημιαγωγού. Στο μοντέλο αυτό αποκαλούμε τον 1/f noise ως Δn -1/f θόρυβο. Ο θόρυβος θεωρείται σε τυχαία παγίδευση-απελευθέρωση των ελευθέρων φορέων σε παγίδες που εντοπίζονται στην ενδοεπιφάνεια Si-SiO₂ και μέσα στην πύλη του οξειδίου. Αυτό προκαλεί ένα σήμα με φάσμα Lorentz. Η υπέρθεση αυτών των σημάτων με την κατάλληλη σταθερά χρόνου οδηγούν σε ένα φάσμα 1/f noise. Από την άλλη πλευρά σύμφωνα με το μοντέλο του Hooge (Mobility Fluctuation Model), ο 1/f noise δεν αποτελεί φαινόμενο σχετικό με τις επιδράσεις/ανωμαλίες της επιφάνειας αλλά φαινόμενο σχετικό με το υπόστρωμα και την ευκινησία των φορέων. Ο Hooge εξήγαγε μια εμπειρική σχέση για τον flicker noise, πειραματιζόμενος με μεταλλικά films. Το μοντέλο αυτό περιγράφεται από την σχέση:

$$\frac{I_f^2}{I^2} = \frac{A_h}{N f}$$

όπου

- A_h = Hooge παράμετρος 1/f noise(εξαρτάται από την ποιότητα κατασκευής, την τεχνολογία κατασκευής, την τάση εισόδου και πολλούς άλλους παράγοντες)

- N ο συνολικός αριθμός φορέων στην αντίστοιχη συσκευή

- I το ρεύμα βραχυκυκλώματος της συσκευής

Η παραπάνω εξίσωση μελετήθηκε πειραματικά σε αρκετά ομοιογενή μέταλλα και ημιαγωγούς(Si,GaAs) και αποδείχτηκε σωστή. Σε όλα τα δείγματα το A_h βρέθηκε ίσο περίπου με $2 * 10^{-3}$. Θεωρητική επιβεβαίωση του μοντέλου του Hooge έγινε από τους Jindal και Van Der Ziel. Τέλος, το συγκεκριμένο μοντέλο αναπτύχθηκε ως θεωρία θορύβου για MOS transistor από τον Vandamme.

Πολλοί ερευνητές συνδύασαν τα δυο παραπάνω μοντέλα σε ένα. Άλλοι πρότειναν ότι ο flicker noise στα NMOS transistor προκαλείται λόγω διακύμανσης της ευκινησίας των φορέων(συμφωνία με το Hooge model). Αυτή η διχοτόμηση μοιάζει λογική μόνο εάν τα NMOS θεωρηθούν διατάξεις με επιφανειακό κανάλι ενώ τα PMOS με θαμμένο κανάλι. Ωστόσο στην μοντέρνα CMOS technology (0.35 μ m και κάτω)κάτι τέτοιο δεν ισχύει. Τα NMOS και τα PMOS αποτελούν διατάξεις με επιφανειακό κανάλι(surface

channel devices) οπότε και η συγκεκριμένη θεωρία είναι αβάσιμη.

Το πιο διαδομένο μοντέλο που χρησιμοποιείται από ερευνητές που ασχολούνται με το σχεδιασμό ολοκληρωμένων κυκλωμάτων-αλλά όχι από ερευνητές σχετικούς με την τεχνολογία κατασκευής μικροηλεκτρονικών διατάξεων- είναι το μοντέλο που προτάθηκε από τον Yanni Tsividis[2], σύμφωνα με το οποίο η ισοδύναμη τάση flicker noise στην είσοδο ενός MOS είναι: $V^2(f) = \frac{K_f}{C_{ox}^2 W L f}$ όπου K_f η σταθερά του flicker noise. Όμως σύμφωνα με το παραπάνω μοντέλο η K_f έχει διαφορετική τιμή για τα NMOS και για τα PMOS. Στον παρακάτω πίνακα φαίνονται ενδεικτικές τιμές που μπορεί αυτή να πάρει.

	N-MOSFET	P-MOSFET
K_f	$5 \times 10^{-9} \text{ fC}^2/\mu\text{m}^2$	$2 \times 10^{-10} \text{ fC}^2/\mu\text{m}^2$

Η παραπάνω σχέση είναι εμπειρική και η τιμή της K_f δεν είναι ανεξάρτητη από τη χρησιμοποιούμενη τεχνολογία αλλά ούτε και το σημείο λειτουργίας του transistor. Επίσης δεν έχει την ίδια τιμή στην περιοχή ισχυρής αναστροφής και ασθενούς αναστροφής του MOS. Το μοντέλο χρησιμοποιείται από τις πρώιμες εκδόσεις του Spice και θεωρείται υπεραπλοποιημένο. Ωστόσο ακόμα χρησιμοποιείται από τους σχεδιαστές των ολοκληρωμένων κυκλωμάτων για να κάνουν εκτίμηση/ελαχιστοποίηση του flicker noise.

Μοντέλα προσομοίωσης του Flicker Noise του BSIM3v3 MOSFET μοντέλου

Η απόδοση του θορύβου είναι ένα κρίσιμο ζήτημα στην αξιοπιστία των συστημάτων μικροηλεκτρονικής και γίνεται ιδιαίτερα σημαντικό στις βαθμίδες προενίσχυσης[9][10]. Η συμπεριφορά θορύβου των συσκευών CMOS κυριαρχείται από το flicker noise και τον thermal noise.

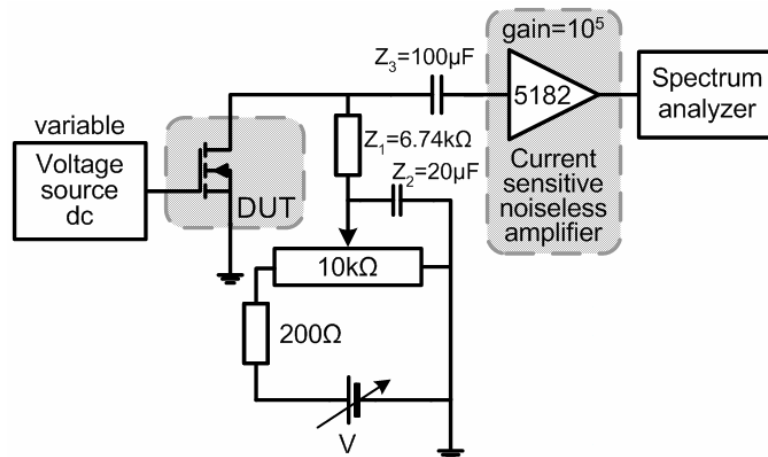
Τα μοντέλα προσομοίωσης είναι πολύ σημαντικά στην εκτίμηση του flicker noise. Το Berkeley BSIM3v3 MOSFET, το οποίο είναι ένα από τα πιο συχνά χρησιμοποιούμενα μοντέλα για τον υπολογισμό του flicker noise των MOS transistors, διαθέτει δύο διαφορετικά μοντέλα για τον υπολογισμό του θορύβου, το BSIM3 και το Spice2. Είναι απαραίτητο να εξεταστεί πιο από τα δύο είναι το βέλτιστο για την προσομοίωση της συμπεριφοράς του flicker noise των MOS transistors, προκειμένου να επιτευχθεί μεγαλύτερη ακρίβεια και αξιοπιστία μεταξύ προσομοιώσεων και πειραμάτων.

Έως πρόσφατα, υπήρχαν μόνο δυο δημοσιευμένες εργασίες που εξετάζουν ποιο μοντέλο flicker noise είναι πιο κατάλληλο. Αφορούν σε NMOS transistors που περιλαμβάνουν από την περιοχή κάτω του κατωφλίου ως την περιοχή του κόρου. Επιπλέον οι συγκρίσεις θορύβου αναφέρονται σε παλιότερες εκδόσεις του μοντέλου BSIM.

Σύστημα Μέτρησης του Flicker Noise

Έτσι για να επιβεβαιώσει κάποιος τα μοντέλα που χρησιμοποιούνται πρέπει να πραγματοποιήσει τις απαραίτητες μετρήσεις. Ένα σύστημα που χρησιμοποιείται από το εργαστήριο Ηλεκτρονικής και Υπολογιστών του Τμήματος Φυσικής του Α.Π.Θ. και σχεδιάστηκε από τον Δρ.Νούλη [10.]

φαίνεται παρακάτω.



Σχ.10 Διάγραμμα του συστήματος μέτρησης θορύβου

Η dc πόλωση προέρχεται από δύο ιδανικές (χωρίς θόρυβο) homemade πηγές ισχύος. Μεταβλητή πόλωση είναι διαθέσιμη στην πύλη, στον απαγωγό και στους ακροδέκτες του υποστρώματος του transistor. Ο απαγωγός του υπό δοκιμή transistor (Device Under Test-DUT) είναι πολωμένος μέσω ενός δικτύου σύνθετων αντιστάσεων. Η ενίσχυση του σήματος της DUT γίνεται με την χρήση ενός προενισχυτή με υψηλή ευαισθησία στο ρεύμα χαμηλού θορύβου και χαμηλής σύνθετης αντίστασης, τύπου 5182 που διατίθεται από τη Signal Recovery. Αυτός ο PreAmp σχεδιάστηκε για να ενισχύει πολύ μικρά ρεύματα που συναντώνται σε τομείς όπως η έρευνα των ημιαγωγών. Έχει ισοδύναμο ρεύμα θορύβου της τάξης των $10 \frac{pA}{\sqrt{Hz}}$ στο 1KHz. Το αντίστοιχο μέγιστο dc ρεύμα εισόδου είναι 9mA και η ευαισθησία 10^{-5} . Η μονάδα έχει δύο εξόδους που επιτρέπουν στις ac και dc συνιστώσες του σήματος εισόδου να απεικονίζονται ανεξάρτητα. Η ενισχυμένη ισχύς θορύβου μετράται από έναν αναλυτή φάσματος τύπου Agilent 89410A.

Equivalent Noise Charge/ENC (Ισοδύναμο φορτίο θορύβου)

Είναι χρήσιμο σε εφαρμογές χαμηλού θορύβου να εισάγουμε ένα αδιάστατο μέγεθος που να εκφράζει τον συνολικό θόρυβο του συστήματος μελέτης[2][5][6][10] Έτσι για να βρεθεί το ισοδύναμο φορτίο θορύβου γίνεται ο υπολογισμός του λεγόμενου

ENC. Αυτό εκφράζει ένα ποσοστό του φορτίου που εισάγεται (ενώ δεν είναι πραγματικό) και οφείλεται στο θόρυβο. Συγκεκριμένα:

ENC Due to Channel Thermal Noise: ENC_d.

Έχει αναφερθεί η σχέση για τον θερμικό θόρυβο που σχετίζεται με την αντίσταση καναλιού του input MOS transistor. Με τις κατάλληλες αντικαταστάσεις από την παραπάνω σχέση που έχει δοθεί για τον θερμικό θόρυβο, ο ολοκληρωμένος συνολικός rms thermal noise δίνεται από την σχέση

$$v_{\text{totd}}^2 = \int_0^\infty \frac{8}{3} kT \frac{1}{g_m} \left(\frac{C_t}{C_f}\right)^2 \frac{(2\pi f t_o)^2 A^{2n}}{(1+(2\pi f t_o)^2)^{n+1}} df$$
 Όπου η συνολική χωρητικότητα στον input node αντικαθίσταται με τον C_{total} όπου C_{total} (=C_d+C_p+C_f+C_{GS}+C_{GD}). Γενικά το παραπάνω ολοκλήρωμα δεν έχει λύση σε κλειστή μορφή. Όμως πρακτικά όπου ο n είναι ακέραιος μπορεί να δοθεί μια λύση από την σχέση που ακολουθεί:

$$v_{\text{totd}}^2 = \frac{8}{3} kT \frac{1}{g_m} \left(\frac{C_t}{C_f}\right)^2 \frac{A^{2n} B\left(\frac{3}{2}, n - \frac{1}{2}\right)_n}{4\pi t_s}$$
 Όπου B(x,y) είναι η συνάρτηση B και t_s ο peaking time του semi-Gaussian pulse shaper. Διαιρώντας την παραπάνω έκφραση με το πλάτος του σήματος λόγω φορτίου ενός ηλεκτρονίου, ο ENC_d δίνεται από τη σχέση:

$$ENC_d^2 = \frac{8}{3} kT \frac{1}{g_m} \frac{C^2 t B\left(\frac{3}{2}, n - \frac{1}{2}\right)_n}{q^2 4\pi t_s} \left(\frac{n!^2 e^{2n}}{n^{2n}}\right)$$

ENC Due to 1/f Noise :ENC_f.

Σε συστήματα ηλεκτρονικών ανάγνωσης που χρησιμοποιούνται διακριτά transistor JFET η συνεισφορά του flicker noise είναι σχεδόν μηδενική. Όμως τα ολοκληρωμένα transistor MOS έχουν αρκετά υψηλό flicker noise και η συνεισφορά του θορύβου σε ολόκληρη την analog chain των ηλεκτρονικών ανάγνωσης πρέπει να ληφθεί υπόψιν. Η σχέση για την 1/f πηγή θορύβου του MOS transistor έχει δοθεί παραπάνω. Με τις κατάλληλες αντικαταστάσεις και εν συνεχεία την ολοκλήρωση (όπως αναφέρθηκε και στον thermal noise) ο συνολικός rms 1/f θόρυβος δίνεται από την σχέση:

$$v_{\text{toff}}^2 = \frac{K_f}{C_{ox}^2 WL} \left(\frac{C_t}{C_f}\right)^2 \frac{A^{2n}}{2n}$$

Και ο ENC_f με την σειρά του δίνεται από την σχέση:

$$ENC_f^2 = \frac{K_f}{C_{ox}^2 WL} \frac{C^2 t}{q^2 2n} \left(\frac{n!^2 e^{2n}}{n^{2n}}\right)$$

ENC Due to Shot Noise: ENC_o.

Για τον shot noise λόγω του leakage current του ανιχνευτή και του σχετιζόμενου κυκλώματος πόλωσης, με ανάλογη διαδικασία με αυτές των thermal και flicker noise παίρνουμε τις σχέσεις

$v_{\text{toto}}^2 = 2qI_o \frac{A^{2n} \text{ts} B\left(\frac{1}{2}, n + \frac{1}{2}\right)}{C^2 f 4 \pi n}$ Και ο αντίστοιχος ENC_o δίνεται από την σχέση:

$$ENC_o^2 = 2qI_o \frac{\text{ts} B\left(\frac{1}{2}, n + \frac{1}{2}\right)}{C^2 d 4 \pi n} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right)$$

Ένα παράδειγμα για τον υπολογισμό του ENC για ένα σύνηθες analog chain δηλαδή έναν charge amplifier και ένα CR-CR2 φίλτρο (shaper) δίνεται από τη σχέση:

$$ENC = \frac{1}{0.271} \left[\frac{2kT}{R_{\text{det}}} \tau + e_s \left(\frac{1}{16} \cdot \frac{C_{\text{det}}^2}{\tau} + \frac{3}{16} \cdot \frac{1}{R_{\text{det}}^2} \tau \right) + \frac{3}{16} \cdot qI_{\text{leak}} \tau + \frac{1}{4\pi} \cdot 2\pi A_f C_{\text{det}}^2 \right]^{\frac{1}{2}}$$

Ο πρώτος όρος της παρένθεσης είναι ο παράγοντας κανονικοποίησης του θορύβου ως προς το signal gain. Ο δεύτερος όρος συνδυάζει το παράλληλο θόρυβο του PreAmplifier e_s και την εμπέδηση εισόδου του detector (capacitive και resistive μέρος). Ο τελευταίος όρος είναι η συνεισφορά του flicker noise.

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΑΙΟΥ 2

- [1] Sedra, Adel S., and Kenneth C. Smith. Microelectronic CIRCUITS. 5th ed. New York: Oxford University Press, Inc, 2004.
- [2] Z. Y. Chang and W. Sansen, 'Effect of $1/f$ noise on the resolution of CMOS analog readout systems for microstrip and pixel detectors,' *Nuclear Instruments and Methods*, vol.305, no.3, pp.553-560, Aug.1991.
- [3] F. N. Hooge, '1/f noise is no surface effect', *Physics Letters*, 29A(3): 139-140, April 1969. tracker', *Nuclear Instruments and Methods in Physics Research A* 360, 1995, pp. 193-196.
- [4] F. N. Hooge, 'Discussion of recent experiments on $1/f$ noise', *Physica*, 60: 130-144, 1976
- [5] N. Χαραλαμπίδης, 'Υψηλής ταχύτητας ηλεκτρονικά ανάγνωσης ανιχνευτών σε τεχνολογία VLSI CMOS', Διδακτορική διατριβή, Μάρτιος 1997
- [6] E. Ζερβάκης, 'Υψηλής ταχύτητας ηλεκτρονικά ανάγνωσης ανιχνευτών σε τεχνολογία VLSI CMOS', Διδακτορική διατριβή, 2004
- [7] Alexander, Charles K., and Matthew N.O. Sadiku. *Fundamentals of Electric Circuits*. 2nd ed. New York: McGraw-Hall Companies, Inc., 2004
- [8] R. P. Jindal and A. van der Ziel, 'Phonon fluctuation model for flicker noise in elemental semiconductors', *Journal of Applied Physics*, 52(4): 2884-2888, April 1981.
- [9] Arie Arbel, 'Innovative current sensitive differential low noise preamplifier in CMOS', *Proc. ICECS*, 69-72, 1996.
- [10] Θ. Νούλης, 'Υψηλής ταχύτητας ηλεκτρονικά ανάγνωσης ανιχνευτών σε τεχνολογία VLSI CMOS', Διδακτορική διατριβή, Ιούνιος 2009

ΚΕΦΑΛΑΙΟ 3^ο

3.1) Αρχές Τελεστικών Ενισχυτών

Πολλές φορές ένας ενισχυτής σχεδιάζεται ώστε να αποκρίνεται στη διαφορά μεταξύ δύο σημάτων εισόδου[1][2][3]. Ένας τέτοιος ενισχυτής ονομάζεται ενισχυτής διαφοράς ή διαφορικός ενισχυτής και αποτελεί τυπική βαθμίδα σε όλα σχεδόν τα συστήματα μετρήσεων. Έχει δύο εισόδους και συνήθως χρειάζεται δύο τάσεις τροφοδοσίας, αντίθετης πολικότητας (V_{CC} και $-V_{EE}$).

Ο διαφορικός ενισχυτής αποτελεί την πρώτη βαθμίδα στους τελεστικούς ενισχυτές και σε όλους τους ενισχυτές μετρήσεων (οργανολογικούς ενισχυτές). Έχει τη δυνατότητα να ενισχύει μικρά dc σήματα, όπως αυτά που βγάζουν πολλά αισθητήρια, π.χ. τα θερμοζεύγη. Επιπλέον, δίνει υψηλό διαφορικό κέρδος, έχει μεγάλο λόγο απόρριψης κοινού σήματος και παρουσιάζει μεγάλη αντίσταση εισόδου. Έτσι, είναι ιδανικός για προσαρμογή ανάμεσα σε βαθμίδες. Είναι βαθμίδα dc σύζευξης και έτσι είναι κατάλληλος για ολοκληρωμένα κυκλώματα. Ο διαφορικός ενισχυτής δέχεται δύο εισόδους V_1 και V_2 και ενισχύει τη διαφορά τους V_1-V_2 . Ένας τυπικός διαφορικός ενισχυτής με τρανζίστορ φαίνεται στο παρακάτω σχήμα 1. Πρόκειται για έναν συμμετρικό ενισχυτή με δύο όμοια τρανζίστορ, που έχουν περίπου το ίδιο β και κοινή θερμοκρασιακή συμπεριφορά. Οι αντιστάσεις στους συλλέκτες έχουν την ίδια ονομαστική τιμή, ενώ οι εκπομποί είναι ενωμένοι.

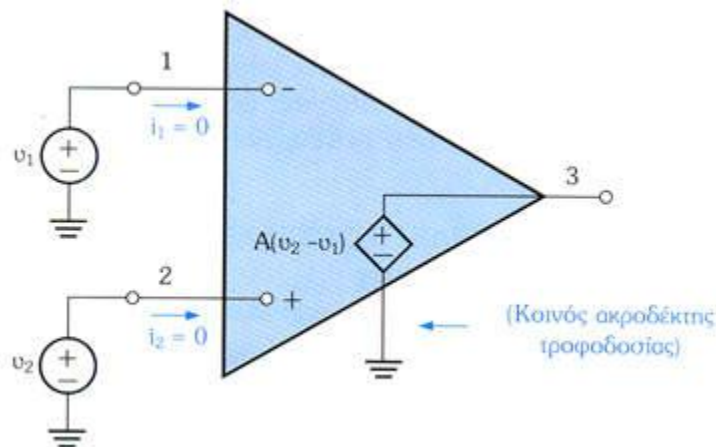
Ας υποθέσουμε τώρα, ότι στο κύκλωμα του σχήματος δίνουμε είσοδο V_1 , ενώ θέτουμε τη δεύτερη είσοδο $V_2=0$ V. Η είσοδος αυτή δημιουργεί ένα ρεύμα i_{C1} στον πρώτο ενισχυτή κοινού εκπομπού και ένα ίσο και αντίθετο ρεύμα i_{C2} στον δεύτερο ενισχυτή κοινού εκπομπού. Αν αυξήσουμε τη V_1 αυξάνει το i_{C1} , άρα αυξάνει η πτώση τάσης στην R_{C1} και κατά συνέπεια μειώνεται το δυναμικό στο σημείο A. Αντίθετα, το i_{C2} μειώνεται, με αποτέλεσμα να αυξάνεται το δυναμικό στο σημείο B, το οποίο είναι και το δυναμικό εξόδου V_o . Άρα, αύξηση της V_1 προκαλεί αύξηση της εξόδου, ενώ μείωσή της προκαλεί αντίστοιχα μείωση της εξόδου. Επειδή είσοδος V_1 και έξοδος V_o βρίσκονται σε φάση, η είσοδος V_1 ονομάζεται μη αναστρέφουσα είσοδος.

Αντίθετα, η αύξηση της εισόδου V_2 προκαλεί την μείωση της εξόδου V_o , αφού το ρεύμα i_{C2} αυξάνεται και κατά συνέπεια η πτώση τάσης στην R_{C2} αυξάνεται. Η είσοδος V_2 , ονομάζεται λοιπόν, αναστρέφουσα είσοδος.

Όταν δέχονται σήμα και οι δύο εισόδοι, V_1 και V_2 , τότε προκύπτει ότι η έξοδος θα είναι ανάλογη προς τη διαφορά των δύο εισόδων. $V=Ad(V_1-V_2)$. Ο παράγοντας Ad είναι το διαφορικό κέρδος του ενισχυτή. Αν θέσουμε ίδια σήματα στις εισόδους $V_1=V_2$, τότε

θεωρητικά η έξοδος είναι μηδέν. Στην πράξη, εμφανίζεται μία μικρή έξοδος, αφού ο ενισχυτής δεν είναι ιδανικός. Άρα, μπορούμε να ορίσουμε τον λόγο της εξόδου προς την κοινή είσοδο v_i : $A_{cm}=V_{out}/V_{in}$. Το πηλίκο αυτό λέγεται «Απολαβή κοινού τύπου» (ή κοινού τρόπου, ή κοινού σήματος). Ο λόγος αυτός στους διαφορικούς ενισχυτές είναι γενικά μικρός. Ο λόγος της διαφορικής ενίσχυσης A_d προς την ενίσχυση κοινού τύπου ονομάζεται «Λόγος απόρριψης κοινού σήματος» (ή κοινού τρόπου – Common Mode Rejection Rate): $CMRR=A_d/A_{cm}$.

Σε έναν καλό διαφορικό ενισχυτή ο λόγος αυτός είναι πολύ μεγάλος. Όσο μεγαλύτερος είναι ο λόγος απόρριψης κοινού σήματος, τόσο καλύτερα αποσβήνονται στην έξοδο του ενισχυτή σήματα με κοινή προέλευση, που εμφανίζονται με ίδιο τρόπο στις εισόδους. Τέτοια σήματα είναι ο θόρυβος και οι διάφορες παρεμβολές. Η τάση εξόδου του διαφορικού ενισχυτή για μηδενική διαφορική είσοδο μπορεί να μηδενιστεί με ρυθμίσεις που γίνονται πάνω στα στοιχεία του ενισχυτή. Οι κύριες πηγές σφαλμάτων είναι το ρεύμα μετατόπισης εισόδου I_{os} και η αντισταθμιστική τάση μετατόπισης εισόδου V_{io} .



Σχ.1 Σχηματικό του τελεστικού ενισχυτή

Ο Τελεστικός Ενισχυτής (TE) είναι ένας διαφορικός ενισχυτής άμεσης ζεύξης, μεγάλης σταθερότητας και υψηλής απολαβής. Οι επιμέρους βαθμίδες ενίσχυσης, που συνθέτουν έναν TE, είναι άμεσα συζευγμένες (όχι μέσω πυκνωτών) και έτσι είναι δυνατή η ενίσχυση σημάτων μηδενικής συχνότητας (συνεχή σήματα) έως και αρκετών εκατοντάδων kHz. Ο TE συμβολίζεται με ένα τρίγωνο με τις δύο εισόδους στη μία βάση και την έξοδο στην απέναντι κορυφή.

Κάθε TE έχει δύο εισόδους: την αναστρέφουσα (inverting) και τη μη αναστρέφουσα (non-inverting) είσοδο, που συμβολίζεται με τα σύμβολα “-“ και “+”

αντιστοίχως, χωρίς αυτό να έχει σχέση με την πολικότητα των τάσεων στις εισόδους.

Η τροφοδοσία ενός ΤΕ είναι συνήθως διπολική (bipolar), δηλαδή απαιτούνται δύο πηγές τάσης, η μία με θετική τάση και η άλλη με αρνητική τάση. Τυπικές τιμές τάσεων τροφοδοσίας των ολοκληρωμένων κυκλωμάτων ΤΕ είναι $\pm 15\text{V}$. Στα κυκλώματα που θα παρουσιάζονται στη συνέχεια, οι ακροδέκτες αυτοί και η τροφοδοσία των ΤΕ δε θα φαίνεται, χάριν σχεδιαστικής απλούστευσης, αλλά η παρουσία τους θα θεωρείται αυτονόητη.

Εάν στην αναστρέφουσα είσοδο εφαρμοστεί τάση V_- και στη μη αναστρέφουσα τάση V_+ , τότε η τάση στην έξοδο του ΤΕ δίνεται από την παρακάτω εξίσωση, που είναι ανάλογη προς την εξίσωση του διαφορικού ενισχυτή:

$V_O = A (V_+ - V_-)$ όπου A είναι η απολαβή ανοιχτού βρόχου (open-loop gain) του ΤΕ.

Για τους συνηθισμένους ΤΕ είναι $A=10^4-10^6$. Η εξίσωση ισχύει εφόσον η τάση εξόδου βρίσκεται μεταξύ δύο οριακών τιμών, που συνήθως είναι κατά 1-2 V μικρότερες από τις τάσεις τροφοδοσίας του ΤΕ. Για παράδειγμα, εάν ο ΤΕ τροφοδοτείται με -15 και +15 V, η εξ. (θα ισχύει για τιμές V_O από -13 έως +13 V (περίπου). Αυτή η περιοχή ονομάζεται περιοχή τελέσεων ή λειτουργίας του ΤΕ. Για μεγαλύτερες τιμές της τάσης εισόδου, η έξοδος οδηγείται στον κόρο.

Χαρακτηριστικές ιδιότητες του ιδανικού τελεστικού ενισχυτή.

Οι βασικές ιδιότητες ενός ιδανικού τελεστικού ενισχυτή είναι :

1. Απολαβή ανοιχτού βρόχου άπειρη. Αντιστοιχεί στην απολαβή χωρίς ανάδραση.
2. Αντίσταση εισόδου άπειρη.
3. Αντίσταση εξόδου μηδέν.
4. Εύρος ζώνης διέλευσης συχνοτήτων άπειρο.
5. Λόγος CMRR άπειρος.

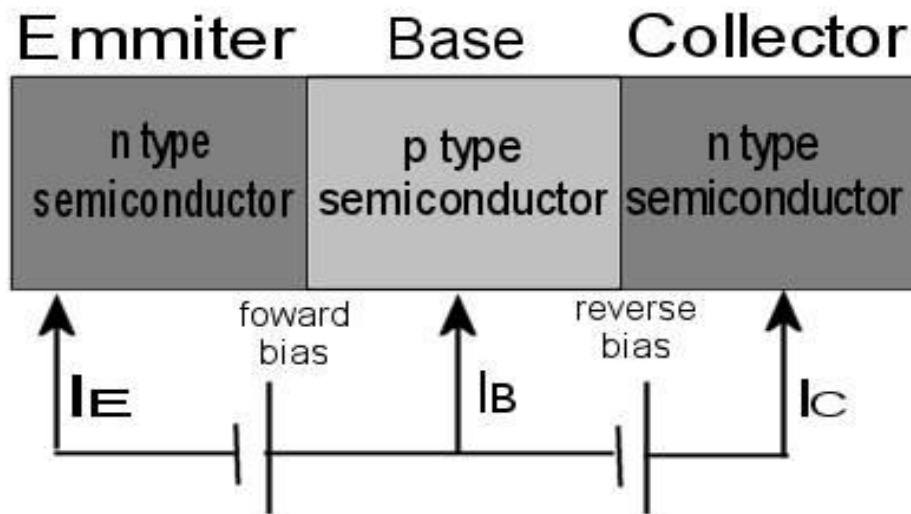
Όπως αναφέραμε στην παράγραφο για τον διαφορικό ενισχυτή, λόγος CMRR (Common Mode Rejection Rate) είναι ο λόγος απόρριψης κοινού σήματος ή κοινού τρόπου και μετράει την ικανότητα ενός τελεστικού ενισχυτή να απορρίπτει ανεπιθύμητα σήματα τα οποία είναι κοινά και στις δύο εισόδους. Τέτοια σήματα συνήθως είναι θόρυβος.

Στην πράξη, η συμπεριφορά του ΤΕ διαφέρει από την ιδανική. Έτσι, η απολαβή ανοιχτού βρόχου είναι μεγάλη αλλά όχι άπειρη, η αντίσταση εισόδου μεγάλη, η αντίσταση εξόδου μικρή, αλλά όχι μηδέν και το εύρος ζώνης συχνοτήτων χωρίς ανάδραση δεν ξεπερνά τα 10Hz.

3.2)BJT transistor

Το διπολικό τρανζίστορ επαφής (Bipolar Junction Transistor, BJT) είναι κρύσταλλος

ημιαγωγού με τρεις περιοχές προσμίξεων τύπου p ή n στην σειρά που δημιουργούν δύο εσωτερικές επαφές pn[1]. Η μεσαία περιοχή ονομάζεται βάση (base) και οι άλλες δύο



Σχ.2 Διπολικό(BJT) transistor

ονομάζονται εκπομπός (emitter) και συλλέκτης (collector).

Για την κανονική λειτουργία του, το τρανζίστορ πρέπει να πολωθεί κατάλληλα με εξωτερικές πηγές τάσης. Η επαφή βάσης-συλλέκτη πρέπει να είναι ανάστροφα πολωμένη, ενώ η επαφή βάσης εκπομπού πρέπει να πολωθεί ορθά. Σε τρανζίστορ τύπου pnp το ρεύμα οφείλεται κυρίως σε κίνηση ηλεκτρονίων ενώ σε τρανζίστορ τύπου npn οφείλεται κυρίως στις οπές.

Για τη συνδεσμολογία του τρανζίστορ σε κύκλωμα πρέπει ο ένας από τους τρεις ακροδέκτες να είναι κοινός στην είσοδο και στην έξοδο. Έτσι προκύπτουν τρεις τρόποι συνδεσμολογίας α) συνδεσμολογία κοινού εκπομπού (common emitter, CE), β) συνδεσμολογία κοινής βάσης (common base, CB), γ) συνδεσμολογία κοινού συλλέκτη (common collector, CC).

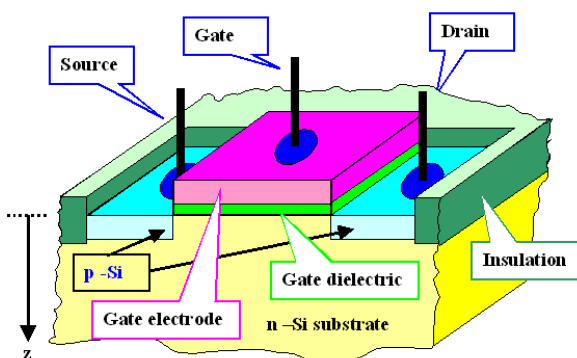
Η λειτουργία του τρανζίστορ σε κάθε συνδεσμολογία μπορεί να περιγραφεί, για διάφορες συνθήκες, με τις χαρακτηριστικές εισόδου και εξόδου. Στο σχήμα 11 δίνονται οι χαρακτηριστικές εισόδου (α) και εξόδου (β) για συνδεσμολογία κοινού εκπομπού. Τρεις περιοχές λειτουργίας διακρίνονται: α) κόρου, β) αποκοπής και γ) γραμμικής λειτουργίας.

Ένα τρανζίστορ λειτουργεί σωστά αν έχει τα κατάλληλα και σωστά χαρακτηριστικά κέρδους (ικανότητα να ενισχύει), δε διασπάται από τις τάσεις λειτουργία διατηρεί τη διαρροή ρευμάτων μέσα στα όρια των ανοχών. Οι δοκιμές μπορούν να γίνουν με εμπορικές συσκευές (curve tracers), ή με γεννήτρια και παλμογράφο.

Είναι επίσης δυνατόν να δοκιμασθεί αν ένα τρανζίστορ είναι ανοικτό ή βραχυκυκλωμένο μόνο με ωμόμετρο. Οι απλές δοκιμές με ωμόμετρο δείχνουν επίσης και αν έχει σημαντική διαρροή. Γνωρίζοντας ότι το τρανζίστορ έχει δύο επαφές pn, μία μεταξύ βάσης εκπομπού και μία μεταξύ βάσης – συλλέκτη ο έλεγχος του γίνεται μετρώντας την ωμική αντίσταση μεταξύ των συνδυασμών (BE), (EC) και (CB) και με τις δύο πολικότητες ακροδεκτών. Η αντίσταση ορθής φοράς κυμαίνεται συνήθως από 20 Ω μέχρι 500 Ω σε διάφορους τύπους τρανζίστορ ενώ τυπικές τιμές για την ανάστροφη αντίσταση είναι από 10 kΩ ως και 10 MΩ. Η αντίσταση μεταξύ συλλέκτη και εκπομπού πρέπει να είναι πολύ μεγάλη (άπειρη) αφού δεν υπάρχει εσωτερική επαφή pn μεταξύ αυτών των δύο ακροδεκτών. Ακόμη, υπάρχουν στο εμπόριο και ειδικά όργανα ελέγχου. Τα όργανα αυτά εξετάζουν το ρεύμα διαρροής κι άλλες ποσότητες.

Ο απλούστερος έλεγχος ενός transistor, που βρίσκεται σε κύκλωμα, είναι η μέτρηση των τάσεων των ακροδεκτών σε σχέση με τη γη. Για παράδειγμα, η μέτρηση των τάσεων των ακροδεκτών συλλέκτη V_c κι εκπομπού V_e είναι μια καλή αρχή. Η διαφορά πρέπει να είναι μεγαλύτερη από 1 V και μικρότερη από την τάση της πηγής V_{cc} . Αν η ένδειξη του οργάνου είναι μικρότερη από 1 V, το transistor είναι βραχυκυκλωμένο. Αν είναι ίση με V_{cc} το transistor είναι ανοικτό.

3.3) MOS transistor



Μεταξύ καναλιού και πύλης υπάρχει μονωτικό (διοξείδιο του πυριτίου – SiO_2) πάχους 70-200 Å. Η πύλη είναι κατασκευασμένη από υλικό χαμηλής αντίστασης

(πολυκρυσταλλικό πυρίτιο). Το μήκος καναλιού είναι (ελάχιστη τιμή) : $0,18\mu\text{m}$ σε μια σύγχρονη CMOS τεχνολογία[1][2][4].

Υπάρχουν δύο είδη MOS τρανζίστορ : nMOS και pMOS.

Οι συνθήκες σωστής λειτουργίας τρανζίστορ nMOS είναι:

$$V_{SB} \geq 0$$

$$V_{DB} \geq 0$$

Έτσι, μόνο ένα μικρό ρεύμα διαρροής ($\approx 1\text{pA}$) θα ρέει ανάστροφα δια μέσου των pn διόδων BS και BD.

Το ρεύμα διαρροής από την πύλη είναι ακόμα μικρότερο. Επίσης θα θεωρούμε (χωρίς βλάβη της γενικότητας) ότι :

$$V_{DS} \geq 0$$

Η υποδοχή βρίσκεται πάντα σε μεγαλύτερο δυναμικό (ή ίσο) με την πηγή.

Ποιοτική περιγραφή λειτουργίας τρανζίστορ MOS

$$V_{DS} = 0$$

$$V_{SB} > 0, V_{DB} > 0$$

$$V_{GS} = V_{FB} \text{ (FB = flat-band)}$$

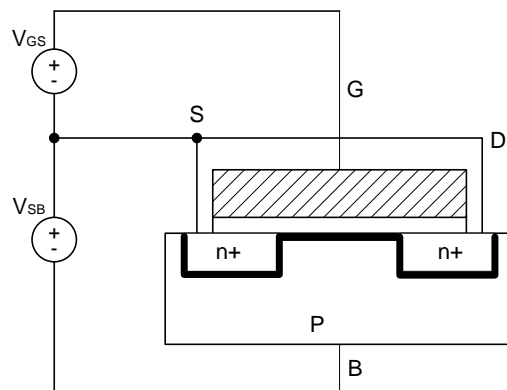
Λόγω του $V_{SB} > 0$ υπάρχει περιοχή απογύμνωσης στο υπόστρωμα γύρω από S και D.

Αύξηση του V_{SB} αυξάνει την περιοχή απογύμνωσης.

$V_{GS} < 0$: οπές συγκεντρώνονται στην επιφάνεια επαφής του υποστρώματος με το οξείδιο. Καθώς το V_{GS} αυξάνει, το φαινόμενο ελαχιστοποιείται και όταν $V_{GS} = V_{FB}$, η επιφάνεια επαφής είναι τελείως ουδέτερη(όπως στο σχήμα).

Καθώς η V_{GS} αυξάνει παραπέρα, οι οπές απομακρύνονται όλο και περισσότερο από την επιφάνεια επαφής και εμφανίζεται και εκεί περιοχή απογύμνωσης.

Για κάποια τιμή της V_{GS} (>0), η περιοχή απογύμνωσης της επιφάνειας επαφής γίνεται τόσο βαθιά όσο και γύρω από τις περιοχές S και D.

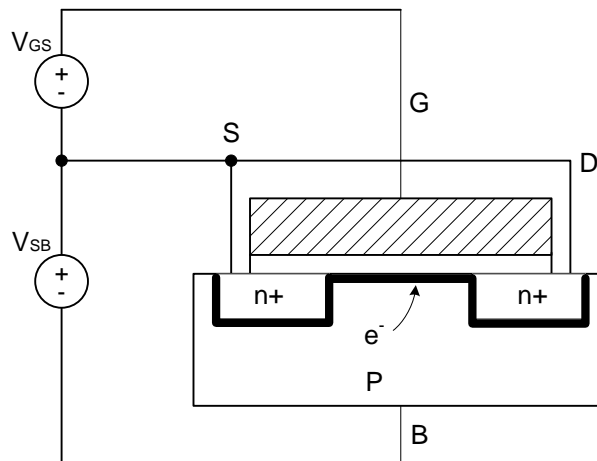


Σχ.3 Λειτουργία απογύμνωσης

Η κατάσταση του τρανζίστορ στην λειτουργία στην περιοχή απογύμνωσης, φαίνεται στο σχήμα.

Παραπέρα αύξηση της V_{GS} σημαίνει ότι περισσότερα θετικά φορτία εναποτίθενται στην πύλη και άρα πρέπει να ισοσταθμιστούν από αντίστοιχα αρνητικά φορτία στην επιφάνεια επαφής.

Έτσι, η περιοχή απογύμνωσης μεγαλώνει κατά μήκος του καναλιού και πλέον δεν υπάρχει διαφορά μεταξύ των περιοχών n+ (S και D) και της επιφάνειας επαφής, δηλαδή ελεύθερα ηλεκτρόνια μπορούν να κινούνται πλέον και στην επιφάνεια επαφής, η οποία έχει αναστραφεί (σχήμα).



Σχ.4 Λειτουργία αναστροφής

Ανάλογα με την τιμή της V_{GS} πλέον, ορίζονται τρεις περιοχές αναστροφής :

- Ασθενής
- Μέτρια
- Ισχυρή

Ο αριθμός των ελεύθερων ηλεκτρονίων στη ζώνη αναστροφής (inversion layer) κατά μήκος του καναλιού, αυξάνεται κατά τάξεις μεγέθους των τριών περιοχών αναστροφής. Στην ασθενή και μέτρια αναστροφή, τα επιπλέον θετικά φορτία της πύλης εξισορροπούνται εν μέρει από διαθέσιμα ελεύθερα ηλεκτρόνια και εν μέρει από αύξηση του βάθους της περιοχής απογύμνωσης στο κανάλι. Στην ισχυρή αναστροφή, σχεδόν όλα τα αρνητικά φορτία προέρχονται από ελεύθερα ηλεκτρόνια και έτσι το προφίλ της περιοχής απογύμνωσης δεν αλλάζει.

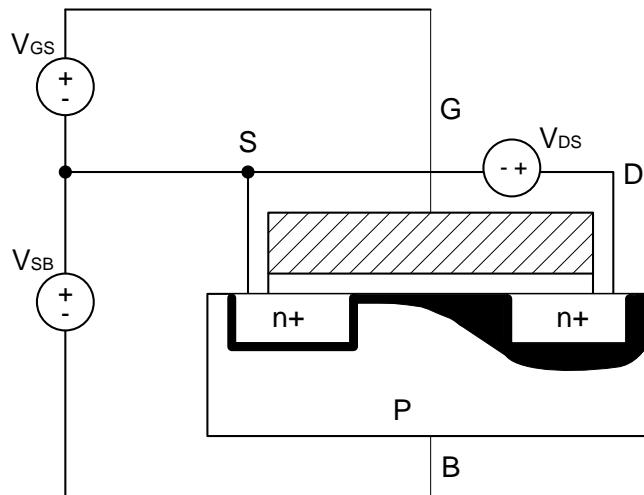
Το φαινόμενο σώματος (body effect)

Το φαινόμενο σώματος προκαλείται από τη μεταβολή της τάσης V_{SB} [2][4]. Αύξηση της V_{SB} προκαλεί αύξηση του βάθους της περιοχής απογύμνωσης κάτω από τα S και D (n+ περιοχές). Αυτό σημαίνει ότι για να μπορέσει η περιοχή απογύμνωσης στην

επιφάνεια επαφής να φθάσει στο ίδιο βάθος με τις n+ περιοχές, θα πρέπει να εφαρμοστεί V_{GS} τάση από πριν για να καταλήξουμε στο ίδιο αποτέλεσμα. Το φαινόμενο αυτό ονομάζεται φαινόμενο σώματος. Εφόσον $V_{SB} = -V_{BS}$, αύξηση της V_{SB} σημαίνει ότι το δυναμικό του σώματος γίνεται περισσότερο αρνητικό ως προς το δυναμικό της πηγής. Αυτό έχει ως αποτέλεσμα μείωση του αριθμού των ελεύθερων ηλεκτρονίων. Το ίδιο φαινόμενο θα συνέβαινε και αν ελαττωθεί το δυναμικό της πύλης. Δηλαδή το σώμα λειτουργεί ως μια δεύτερη πύλη για το τρανζίστορ γι' αυτό και πολλές φορές ονομάζεται πίσω πύλη.

Το ρεύμα υποδοχής (drain current)

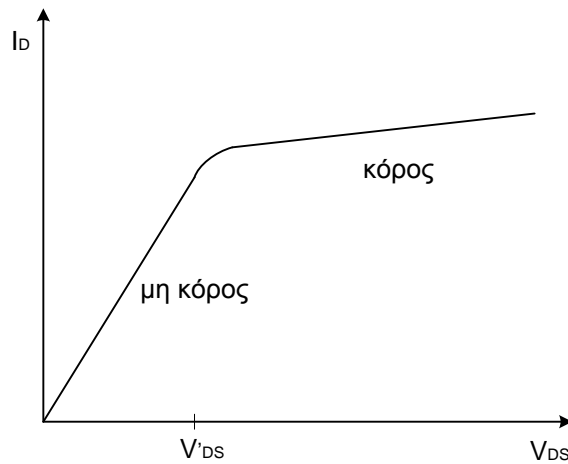
Μέχρι στιγμής, έχει θεωρηθεί ότι $V_{DS} = 0$. Αύξηση της V_{DS} ($V_{DS} > 0$) σημαίνει μεταβολή του προφίλ της περιοχής απογύμνωσης κάτω από τα S και D (n+ περιοχές). Το φαινόμενο φαίνεται στο σχήμα.



Σχ.5 $V_{DS} > 0$

Η αύξηση αυτή του δυναμικού της υποδοχής, έχει ως αποτέλεσμα, ένα ελεύθερο ηλεκτρόνιο που θα βρεθεί στην περιοχή υποδοχής, θα “τραβηχτεί” προς το μέρος της υποδοχής πιο εύκολα. Το φαινόμενο αυτό καθορίζει το ρεύμα υποδοχής I_D με συμβατική φορά από την υποδοχή προς την πηγή. Για μεγάλες τιμές της V_{DS} , τα ελεύθερα ηλεκτρόνια αρχίζουν και χάνουν ενέργεια λόγω συγκρούσεων οπότε και η ταχύτητά τους φτάνει σε μία οριακή τιμή (velocity saturation). Έτσι, από αυτή την τιμή της V_{DS} και πάνω, το I_D δεν μεταβάλλεται πολύ. Έτσι ορίζονται δύο περιοχές λειτουργίας : η περιοχή κόρου και η περιοχή μη κόρου (ή τριοδική περιοχή).

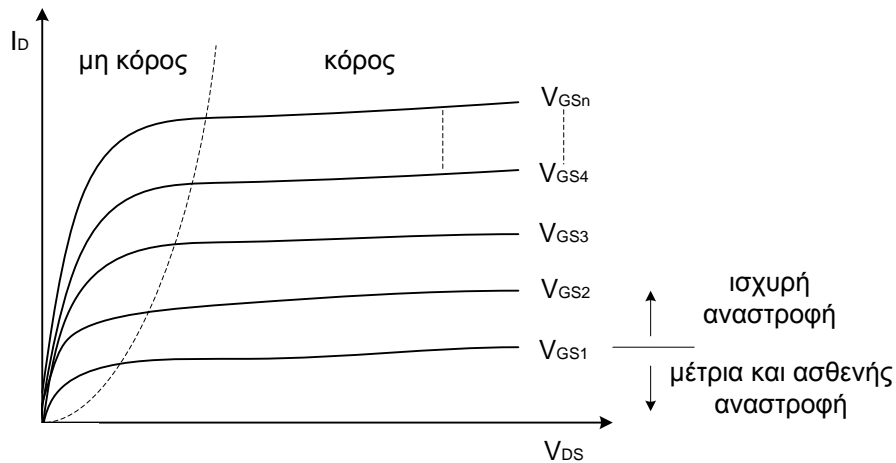
Στο παρακάτω σχήμα, φαίνεται η χαρακτηριστική $I_D - V_{DS}$ για σταθερές V_{GS} και V_{SB} , όπου το τρανζίστορ λειτουργεί στην ισχυρή αναστροφή.



Σχ.6 : Χαρακτηριστική $I_D - V_{DS}$

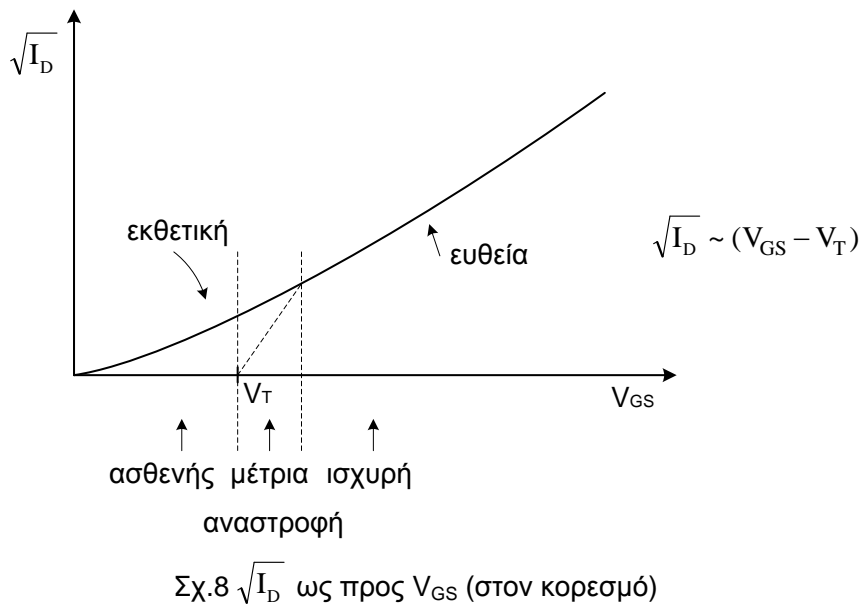
Ο μηχανισμός λειτουργίας του τρανζίστορ στη περιοχή κορεσμού, έχει ως εξής : Μεγάλη τιμή της V_{DS} , έχει ως αποτέλεσμα (λόγω του θετικού δυναμικού της υποδοχής) να απομακρύνονται τα ηλεκτρόνια από την υποδοχή και να τείνει η συγκέντρωσή τους προς το μηδέν. Η ροή βέβαια του ρεύματος δεν σταματά λόγω της μεγάλης ταχύτητας των ηλεκτρονίων, οπότε οδηγούμαστε σε σταθερό I_D , παρά την περαιτέρω αύξηση της V_{DS} . Στο σημείο της μετάβασης από την περιοχή κόρου στην περιοχή μη κόρου, η τάση υποδοχής – πηγής ονομάζεται V_{DS} .

Μοντέλο τρανζίστορ MOS



Σχ.7 : $I_D - V_{DS}$ Χαρακτηριστικές

Στο σχήμα, φαίνεται η λειτουργία του τρανζίστορ MOS για διάφορες συνθήκες πόλωσης[2]. Μια άλλη ενδιαφέρουσα χαρακτηριστική, είναι η καμπύλη $\sqrt{I_D}$ ως προς V_{GS} , για διάφορες τιμές της V_{GS} από την ασθενή μέχρι την ισχυρή αναστροφή, αλλά V_{DS} τέτοια ώστε το τρανζίστορ να λειτουργεί στον κορεσμό. Το αποτελέσματα φαίνονται στο διάγραμμα.



Συνήθως μας απασχολεί η λειτουργία του MOS στη ισχυρή αναστροφή. Ισχυρή αναστροφή έχουμε όταν $V_{GS} > V_T + 0.2V$ περίπου. Για την ισχυρή αναστροφή, ισχύουν οι ακόλουθες σχέσεις :

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \quad (A)$$

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (B)$$

- (A) $V_{DS} \leq V_{GS} - V_T$ (μη κόρος)
- (B) $V_{DS} \geq V_{GS} - V_T$ (κόρος)

$$K_n = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}, \quad K_p = \frac{1}{2} \mu_p C_{ox} \frac{W}{L}$$

Ασθενής αναστροφή :

$$I_D = I_0 e^{n\phi} \left(e^{\frac{V_{GS}}{\phi}} - e^{\frac{V_{DS}}{\phi}} \right)$$

$$I_{DC} = I_M e^{-\frac{V_M}{n\phi_i}}, \quad I_M = \frac{W}{L} \mu C_{ox} (n-1) \phi_i^2, \quad \phi_i = \frac{kT}{q}, \quad n=1 \div 2$$

δ μεταξύ 0 και 1 (για λόγους απλούστευσης χρησιμοποιούμε $\delta=0$ πολλές φορές)
 μ = κινητικότητα φορέων στο κανάλι
φορείς : ηλεκτρόνια στα nMOS
οπές στα pMOS

C_{ox} = χωρητικότητα οξειδίου ανά μονάδα επιφάνειας

W = πλάτος καναλιού

L = μήκος καναλιού

V_T = τάση κατωφλίου

$$V_T = V_{T0} + \gamma \sqrt{V_{SB}}$$

Η παραπάνω σχέση, εκφράζει το φαινόμενο σώματος. Η V_T αυξάνει όταν η V_{SB} αυξάνει.

V_{T0} = η τάση κατωφλίου όταν $V_{SB} = 0V$

Φ_B από 0,6 έως 0,7V (τυπικές τιμές)

γ = συντελεστής φαινομένου σώματος

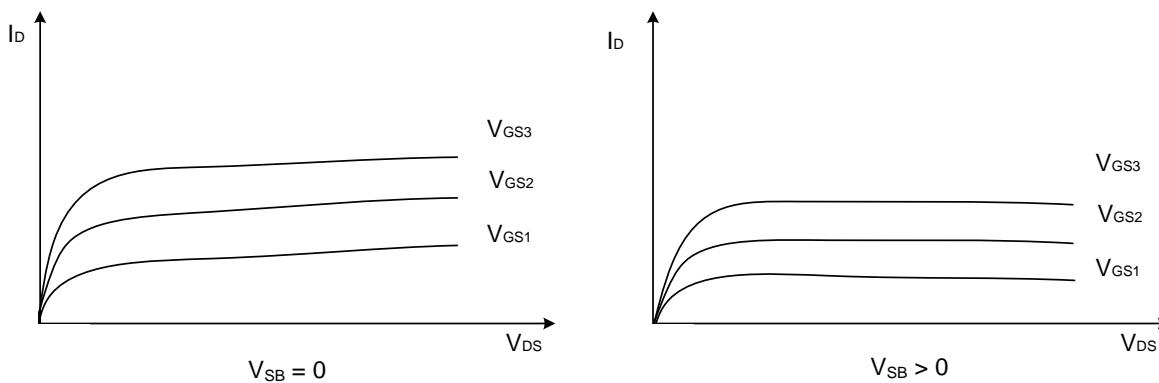
$$\gamma = \frac{\sqrt{2qN_A\epsilon_s}}{C_{ox}}$$

N_A = συγκέντρωση προσμίξεων στο σώμα

ϵ_s = διηλεκτρική σταθερά Si

q = φορτίο ηλεκτρονίου

Στα σχήματα φαίνεται γραφικά η επίδραση του φαινομένου σώματος στις $I_D - V_{DS}$ χαρακτηριστικές.



Σχ.9 Φαινόμενο σώματος

Μερικές φορές επίσης, δεν μπορούμε να αγνοήσουμε την κλήση στην περιοχή κορεσμού. Τότε το ρεύμα υποδοχής δίνεται από την εξής σχέση :

$$I_D = \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_T) (V_{DS} - V_A)$$

$V_A \sim L$ V_A είναι ισοδύναμη της τάσης Early των διπολικών.

- Στην ασθενή αναστροφή, το τρανζίστορ MOS λειτουργεί με εκθετική χαρακτηριστική ρεύματος υποδοχής (όπως το διπολικό τρανζίστορ).

Στην μέτρια αναστροφή δεν υπάρχει απλό μοντέλο.

- Όλες οι παραπάνω σχέσεις, αφορούν nMOS τρανζίστορ. Οι ίδιες σχέσεις ισχύουν και για τα pMOS τρανζίστορ με προφανείς αλλαγές αλγεβρικών σημείων.

Ισοδύναμο Κύκλωμα Ασθενούς Σήματος

Ορισμοί



Έχουμε $g_m = \begin{cases} \mu C_{ox} \frac{W}{L} V_{DS} & \text{μικρός} \\ \mu C_{ox} \frac{W}{L} V_{DS} & \text{ίφρος} \end{cases}$

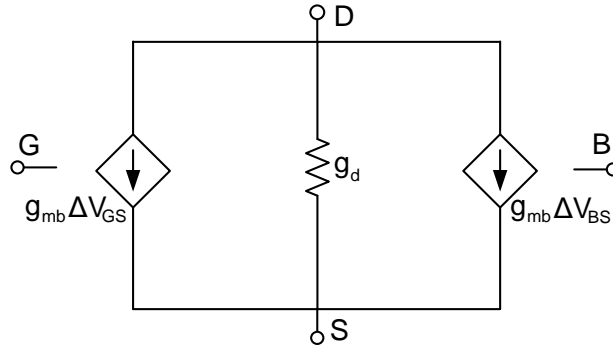
$g_{mb} = b g_m, \quad b = \frac{\gamma}{2\sqrt{V_{SB} + \Phi_B}}$

$g_m = \begin{cases} \mu C_{ox} \frac{W}{L} V_{GS} (1 - \theta) V_{DS} & \text{μικρός} \\ \mu C_{ox} \frac{W}{L} V_{GS} & \text{ίφρος} \end{cases}$

$\frac{g_{mb}}{g_m} = \frac{\gamma}{2\sqrt{V_{SB} + \Phi_B}}$

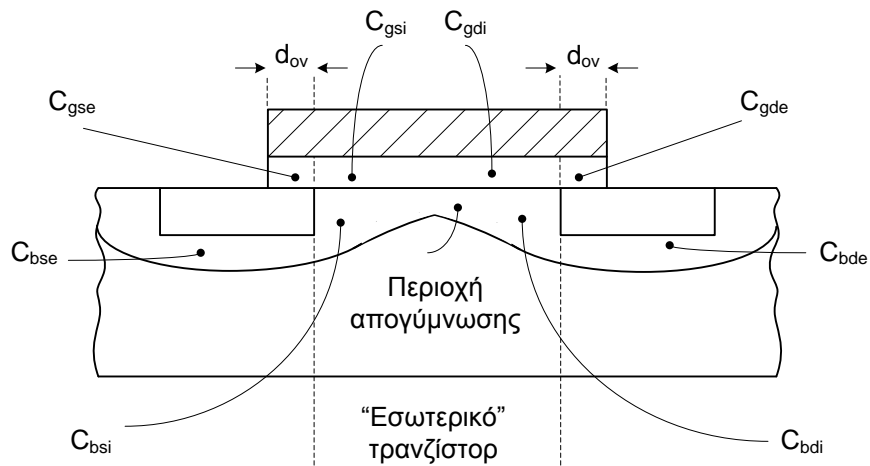
Μοντέλο για χαμηλές συχνότητες

Με βάση την προηγούμενη σχέση, το ΙΚΑΣ έχει ως εξής :



Σχ.10 : ΙΚΑΣ χαμηλών συχνοτήτων

Μοντέλο για υψηλές συχνότητες



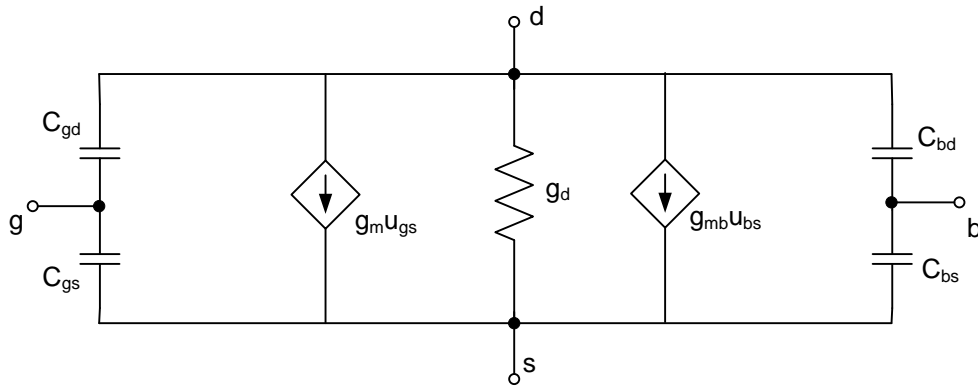
Σχ.11 Χωρητικότητα MOS

Χωρητικότητες υπερκάλυψης : $C_{gse} = (w_{ov}) \epsilon_0 \epsilon_{ox}$
 $C_{gde} = (w_{ov}) \epsilon_0 \epsilon_{ox}$

Χωρητικότητες ένωσης : C_{bse}, C_{bde}

Εσωτερικές χωρητικότητες : $C_{bsi}, C_{gsi}, C_{bdi}, C_{gdi}$

Το αντίστοιχο ισοδύναμο κύκλωμα φαίνεται στο σχήμα.



Σχ.12 ΙΚΑΣ μέτρων συχνοτήτων

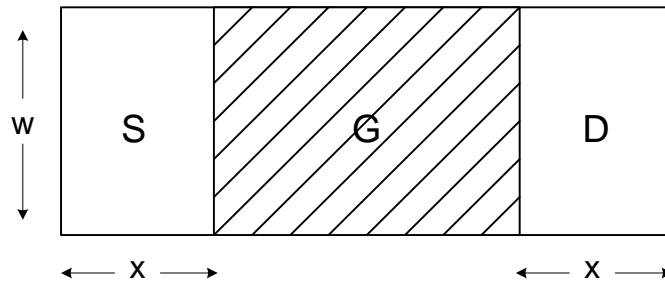
$$\begin{aligned} \text{όπου } C_{gs} &= C_{gse} + C_{gs}, & C_{bs} &= C_{bse} + C_{bs} \\ C_{gd} &= C_{gde} + C_{gc}, & C_{bd} &= C_{bde} + C_{bc} \end{aligned}$$

Μοντέλα MOS στο SPICE

Η μοντελοποίηση του MOS στο SPICE, παρουσιάζει πάρα πολλά προβλήματα (σε αντίθεση με τα μοντέλα του διπολικού τρανζίστορ), ιδιαίτερα σε προσομοιώσεις αναλογικών κυκλωμάτων[4]. Για το σκοπό αυτό, έχουν κατά καιρούς αναπτυχθεί πολλά μοντέλα από διάφορες εταιρείες ή πανεπιστήμια. Από τα πλέον σύγχρονα και αξιόπιστα μοντέλα είναι το Level 6 της Philips, το EKV από το EPFL της Ελβετίας και το BSIM3 version 3 που ξεκίνησε από το Πανεπιστήμιο του Berkeley και τείνει να γίνει βιομηχανικό πρότυπο. Σημειώνεται πάντως ότι όλες οι μεγάλες εταιρείες κατασκευής ολοκληρωμένων κυκλωμάτων έχουν τα δικά τους μοντέλα για εσωτερική χρήση. Για απλούστερες χρήσεις, μπορεί κανείς να χρησιμοποιήσει το μοντέλο Level 2 του Berkeley SPICE. Παρακάτω δίνονται τυπικές τιμές για ένα nMOS και ένα pMOS τρανζίστορ από μία τεχνολογία CMOS :

```
m1 1 1 3 2 mn w=10u l=3u as=30p ad=30p ps=26u pd=26u
m2 2 2 3 3 mp w=20u l=3u as=60p ad=60p ps=46u pd=46u
```

Τα as και ad συμβολίζουν τα εμβαδά πηγής και υποδοχής αντίστοιχα ενώ τα ps και pd τις αντίστοιχες περιμέτρους. Παρακάτω φαίνεται η γεωμετρία.



Σχ.13 Κάτοψη τρανζίστορ MOS

Τυπική τιμή για το x είναι $3\mu\text{m}$. Το w είναι το πλάτος του καναλιού. Είναι προφανές ότι η ένδειξη της γεωμετρίας των περιοχών S και D στο μοντέλο. Χρειάζεται για τους υπολογισμούς των χωρητικοτήτων του MOS.

3.5) Τεχνολογία CMOS

Αναφέρθηκε νωρίτερα η χρήση της τεχνολογίας CMOS χωρίς να αναλύουμε σε τι συνίσταται αυτή[1][2]. Το CMOS είναι αρκτικόλεξο του Complementary Metal Oxide Semiconductor δηλαδή συμπληρωματικός ημιαγωγός μετάλλου-οξειδίου. Η λέξη συμπληρωματικός αναφέρεται στην συμπληρωματική συμμετρία ζευγών MOSFET p και n τύπου, από τα οποία μόνο το ένα άγει κάθε φορά. Το κομμάτι του ονόματος «ημιαγωγός μετάλλου-οξειδίου» είναι κατάλοιπο των πρώτων διαδικασιών κατασκευής κυκλωμάτων CMOS, όπου τα FET κατασκευάζονταν υλοποιώντας το ηλεκτρόδιο πύλης με μέταλλο τοποθετημένο πάνω σε ένα οξείδιο που λειτουργούσε ως μονωτής, και το οποίο ήταν με τη σειρά του τοποθετημένο πάνω σε ημιαγωγό. Στις σημερινές διαδικασίες CMOS ως ηλεκτρόδιο πύλης χρησιμοποιείται πολυπυρίτιο, παρόλο που η ονομασία διατηρείται. Κύριοι λόγοι της ευρείας χρήσης της λογικής CMOS στις σύγχρονες σχεδιάσεις και υλοποιήσεις είναι η μεγάλη ανοχή στο θόρυβο, η χαμηλή κατανάλωση στατικής ισχύος, και η δυνατότητα που παρέχει για αρκετά «πυκνές» σχεδιάσεις. Όπως θα δούμε αμέσως, ο όρος CMOS αναφέρεται τόσο στη λογική σχεδίασης, όσο και στη διαδικασία κατασκευής του συγκεκριμένου κυκλώματος.

Τεχνολογία Επεξεργασίας Κυκλωμάτων CMOS

Η επεξεργασία κυκλωμάτων CMOS περιλαμβάνει ένα σύνολο χημικών διεργασιών υλικών σε κατάλληλες συνθήκες, οι οποίες οδηγούν στη δημιουργία ημιαγωγικών δομών που αποτελούν τα κυκλώματα. Όπως όλες οι τεχνολογίες επεξεργασίας κυκλωμάτων, έτσι και αυτή εισάγει κάποιους περιορισμούς, οι οποίοι αν και δεν δηλώνεται προφανώς, ορίζουν τις δυνατότητές μας σε κάθε σχεδίαση. Σκοπός

της συγκεκριμένης παραγράφου δεν είναι η πλήρης περιγραφή των διαδικασιών επεξεργασίας CMOS, αλλά θα περιοριστεί σε μια συνοπτική αναφορά των χημικών διεργασιών που χρησιμοποιούνται χωρίς να αναφέρεται σε ποιο στάδιο γίνεται αυτό.

Όπως έχουμε αναφέρει το πυρίτιο έχει ηλεκτρική συμπεριφορά μεταξύ αγωγού και μονωτή, η οποία καθορίζεται από το είδος και την συγκέντρωση των προσμείξεων που αυτό έχει στο εσωτερικό του ο μονοκρυσταλλός. Ανάλογα με το είδος τους λοιπόν αυτές οι προσμείξεις αποδίδουν στο πυρίτιο ηλεκτρόνια ή οπές οπότε υλικό αποκαλείται n και p τύπου αντίστοιχα. Το πυρίτιο όπως ξέρουμε αποτελεί το βασικό υλικό κατασκευής ημιαγωγών, με τη μορφή δισκίων (wafer) τα οποία προέρχονται από τον τεμαχισμό των ράβδων του μονοκρυσταλλικού πυριτίου που παίρνουμε με τη μέθοδο Czochralski. Πάνω σε αυτά τα δισκία και με κατάλληλες χημικές διεργασίες και μάσκες δημιουργούνται τα ολοκληρωμένα. Οι κύριες από αυτές τις διεργασίες είναι η οξείδωση, η επίταξη, η απόθεση, η εμφύτευση ιόντων και η διάχυση.

Η οξείδωση είναι η διαδικασία με την οποία λαμβάνονται οξείδια του πυριτίου μέσω της θέρμανσης δισκίων πυριτίου σε κατάλληλη ατμόσφαιρα οξείδωσης. Ανάλογα με το αν η ατμόσφαιρα είναι οξυγόνο ή ατμοί νερού η οξείδωση διακρίνεται σε ξηρή και υγρή. Το αποτέλεσμα της οξείδωσης είναι η δημιουργία οξειδίων του πυριτίου, κυρίως του διοξειδίου του πυριτίου (SiO_2), τα οποία χρησιμοποιούνται λόγω των (μονωτικών κυρίως) ιδιοτήτων τους.

Η δημιουργία ημιαγωγικών στοιχείων προϋποθέτει την νόθευση του πυριτίου με διάφορες ποσότητες και τύπους προσμίξεων. Αυτό γίνεται με τις διαδικασίες της επίταξης, της απόθεσης, της εμφύτευσης ιόντων και της διάχυσης. Η επίταξη είναι η ανάπτυξη μιας μονοκρυσταλλικής μεμβράνης στην επιφάνεια του δισκίου με ταυτόχρονη έκθεση σε αυξημένη θερμοκρασία και σε πηγή νόθευσης. Η απόθεση περιλαμβάνει την εξάτμιση υλικού νόθευσης στην επιφάνεια του πυριτίου, το οποίο υλικό οδηγείται στο εσωτερικό του δισκίου με κατάλληλη θέρμανση. Η εμφύτευση ιόντων το υπόστρωμα υπόκειται στην επίδραση ατόμων υψηλής ενέργειας δοτών ή αποδεκτών. Ως διάχυση εννοούμε την μεταφορά φορέων πλειονότητας από περιοχές υψηλής συγκέντρωσης φορέων σε περιοχές χαμηλής συγκέντρωσης και συντελείται σε υψηλή θερμοκρασία. Με αυτές τις διαδικασίες δημιουργούμε στο δισκίο πυριτίου περιοχές διαφορετικών διαχύσεων.

Ο τύπος της νόθευσης εξαρτάται από το υλικό νόθευσης (p-τύπου βόριο, n-τύπου αρσενικό, φώσφορος), ενώ η συγκέντρωση των φορέων εξαρτάται από το χρόνο έκθεσης του πυριτίου στο υλικό, τη θερμοκρασία και στην περίπτωση της εμφύτευσης ιόντων στην ενέργεια. Το που θα δημιουργηθούν οι περιοχές συγκέντρωσης φορέων καθορίζεται από τις μάσκες, οι οποίες με την ιδιότητά τους να φράσσουν τη νόθευση του υλικού (επιλεκτική νόθευση) μας επιτρέπουν να δημιουργούμε πάνω στο πυρίτιο περιοχές με τα γεωμετρικά χαρακτηριστικά της μάσκας, οι οποίες έχουν τις ηλεκτρικές ιδιότητες που θέλουμε. Τα κύρια υλικά που χρησιμοποιούνται ως μάσκες είναι το φωτοευαίσθητο υλικό, το πολυπυρίτιο, το διοξείδιο του πυριτίου (SiO_2) και το νιτρίδιο

του πυριτίου (SiN). Με τη χρήση των διαδικασιών αυτών και των κατάλληλων μασκών είναι δυνατή η δημιουργία όλων των περιοχών που αποτελούν τα CMOS κυκλώματα. Η τεχνολογία CMOS μπορεί να διαιρεθεί σε τέσσερις διαφορετικές, οι οποίες επιγραμματικά είναι η επεξεργασία CMOS n-πηγαδιού (η οποία χρησιμοποιείται και στην εργασία), η επεξεργασία p-πηγαδιού, οι διαδικασίες δίδυμου κάδου και η τεχνολογία πυριτίου πάνω σε μονωτή (SOI). Ακολουθώντας αυτές τις διαδικασίες και τους περιορισμούς της εκάστοτε τεχνολογίας κατασκευάζουμε κυκλώματα συμπληρωματικής λογικής CMOS με διαδικασίες CMOS.

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΑΙΟΥ 3

- [1] Sedra, Adel S., and Kenneth C. Smith. Microelectronic CIRCUITS. 5th ed. New York: Oxford University Press, Inc, 2004.
- [2] Allen, Phillip E., and Douglas R. Holberg. CMOS Analog Circuit Design. 2nd ed. New York:Oxford University Press, 2003.
- [3] Alexander, Charles K., and Matthew N.O. Sadiku. Fundamentals of Electric Circuits. 2nd ed.New York: McGraw-Hall Companies, Inc., 2004.
- [4] Σημειώσεις «MOS transistor fundamentals» Ι.Παπανάνου

ΚΕΦΑΛΑΙΟ 4^ο

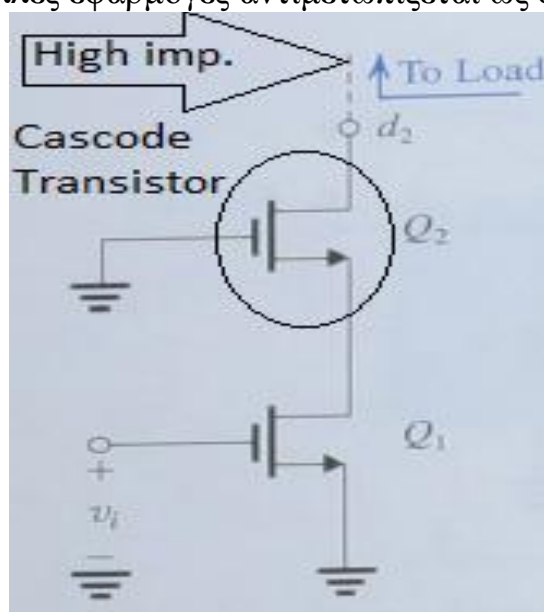
4.1) Τοπολογία ενισχυτή τύπου cascode

Τα κυκλώματα κοινής πύλης ή κοινής πηγής έχουν ένα κέρδος τάσης σχεδόν ίδιο και ίσο με $A_{vo}[1][2][3]$. Ωστόσο η αντίσταση εισόδου τους είναι πολύ μικρή και η αντίσταση εξόδου τους είναι πολύ μεγάλη. Οι δύο λοιπόν ιδιότητες αυτές είναι αν και συνήθως δεν είναι επιθυμητές σε πηγές τάσης καθιστούν τα κυκλώματα αυτά (κυρίως συνδεσμολογίας CG) κατάλληλα για χρήση σαν απομονωτές ρεύματος. Η σημαντικότερη εφαρμογή των κυκλωμάτων CG είναι σε μια ειδική συνδεσμολογία γνωστή ως ενισχυτής cascode.

Τοποθετώντας ένα στάδιο ενισχυτή κοινής πύλης διαδοχικά με ένα στάδιο ενισχυτή κοινής πηγής προκύπτει ένα κύκλωμα ενισχυτή πολύ χρήσιμο και ευέλικτο. Αποκαλείται συνδεσμολογία cascode και χρησιμοποιείται για εβδομήντα και πλέον χρόνια προφανώς σε μεγάλη γκάμα τεχνολογιών.

Το σκεπτικό στο οποίο βασίζεται ο ενισχυτής cascode είναι ο συνδυασμός της υψηλής αντίστασης εισόδου και της μεγάλης διαγωγιμότητας που επιτυγχάνει ένας ενισχυτής κοινής πηγής με την ιδιότητα της απομόνωσης ρεύματος και την ανώτερη απόκριση υψηλών συχνοτήτων του κυκλώματος CG. Ο ενισχυτής cascode μπορεί να σχεδιαστεί ώστε να επιτυγχάνει μεγαλύτερο εύρος ζώνης αλλά και ίσο dc κέρδος συγκριτικά με τον ενισχυτή κοινής πηγής. Εναλλακτικά μπορεί να σχεδιαστεί ώστε να αυξάνει το dc κέρδος αφήνοντας το γινόμενο κέρδους-εύρους ζώνης αμετάβλητο.

Αν και ο ενισχυτής cascode σχηματίζεται από διαδοχική (cascade) σύνδεση δύο σταδίων ενισχυτών σε πολλές εφαρμογές αντιμετωπίζεται ως ενισχυτής ενός σταδίου.



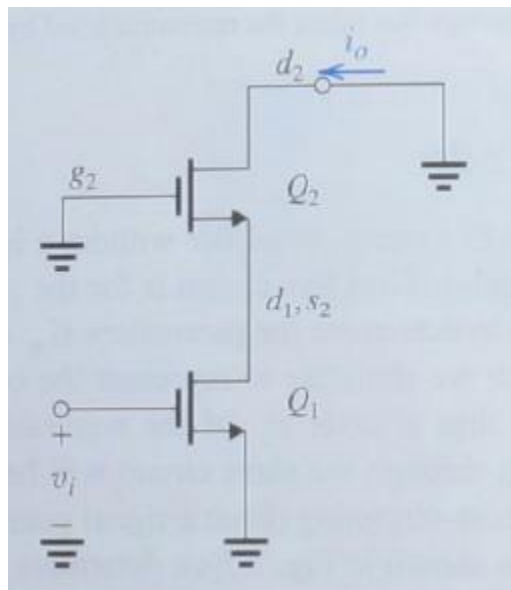
Εικόνα 1: Ενισχυτής cascode υλοποιημένος με στοιχεία MOS

Στο παραπάνω σχήμα παρουσιάζεται ένας ενισχυτής cascode υλοποιημένος με

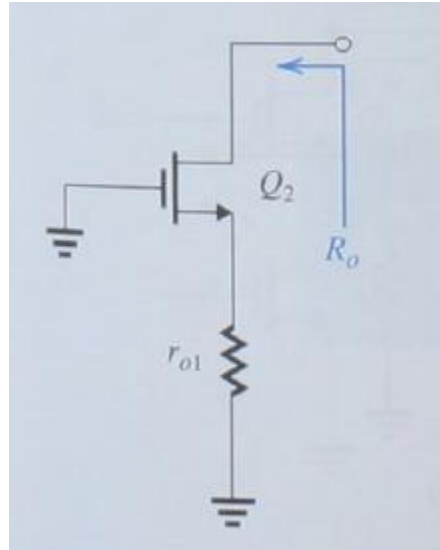
στοιχεία MOS. Εδώ το transistor Q1 είναι σε συνδεσμολογία CG και παρέχει την έξοδο του στον ακροδέκτη εισόδου(πηγή) του transistor Q2. Το transistor Q2 πολώνεται με μια σταθερή dc τάση, V_{bias} , στην πύλη του. Συνεπώς το σήμα τάσης στην πύλη του Q2 είναι μηδέν και το Q2 λειτουργεί σαν ενισχυτής CG με φορτίο σταθερού ρεύματος I . Προφανώς αμφότερα τα Q1 και Q2 λειτουργούν με dc ρεύματα υποδοχής ίσα με I . Όπως στις προηγούμενες περιπτώσεις, η ανάδραση στο συνολικό κύκλωμα που ενσωματώνει τον ενισχυτή cascode δημιουργεί μια κατάλληλη dc στάθμη στην πύλη του Q1, έτσι ώστε το ρεύμα υποδοχής του να είναι ίσο με I . Επίσης η τιμή της V_{bias} πρέπει να επιλεγεί με τέτοιο τρόπο ώστε αμφότερα τα Q1 και Q2 να λειτουργούν συνεχώς στην περιοχή κορεσμού.

Μια ποιοτική περιγραφή της λειτουργίας του κυκλώματος είναι η εξής. Σε απόκριση προς το σήμα τάσης στην είσοδο v_i , το transistor κοινής πηγής Q1 άγει ένα σήμα ρεύματος $g_{m1} \cdot v_i$ στον ακροδέκτη υποδοχής του και το τροφοδοτεί στον ακροδέκτη πηγής του transistor κοινής πύλης Q2, το οποίο αποκαλείται cascode transistor. Το transistor Q2 περνάει σήμα ρεύματος $g_{m1} \cdot v_i$ στην υποδοχή του όπου παρέχεται σε μια αντίσταση φορτίου R_{load} . Το transistor Q2 λειτουργεί ουσιαστικά ως απομονωτής, παρουσιάζοντας χαμηλή αντίσταση εισόδου στην υποδοχή του Q1 παρέχοντας υψηλή αντίσταση στην έξοδο του ενισχυτή.

Στα δύο επόμενα σχήματα φαίνεται ένα κύκλωμα cascode με βραχυκυκλωμένη την έξοδο(αυτή η τοπολογία χρησιμοποιείται για τον προσδιορισμό του $G_m = i_o \cdot v_i$) και ένα κύκλωμα ενισχυτή cascode με βραχυκυκλωμένη την είσοδο(αυτή η τοπολογία χρησιμοποιείται για τον προσδιορισμό του $R_{out} = v_x / i_x$ όπου v_x μια πηγή που τοποθετείται στην έξοδο του κυκλώματος και i_x το ρεύμα που «τραβάει» αυτή η πηγή). το κύκλωμα του ενισχυτή cascode έτοιμο για ανάλυση ασθενούς σήματος, όπως αυτό διαμορφώνεται με τις διάφορες αντιστάσεις εισόδου και εξόδου.



Εικόνα 2: Ενισχυτής cascode με βραχυκυκλωμένη την έξοδο του



Εικόνα 3: Ενισχυτής cascode βραχυκυκλωμένη την είσοδο του

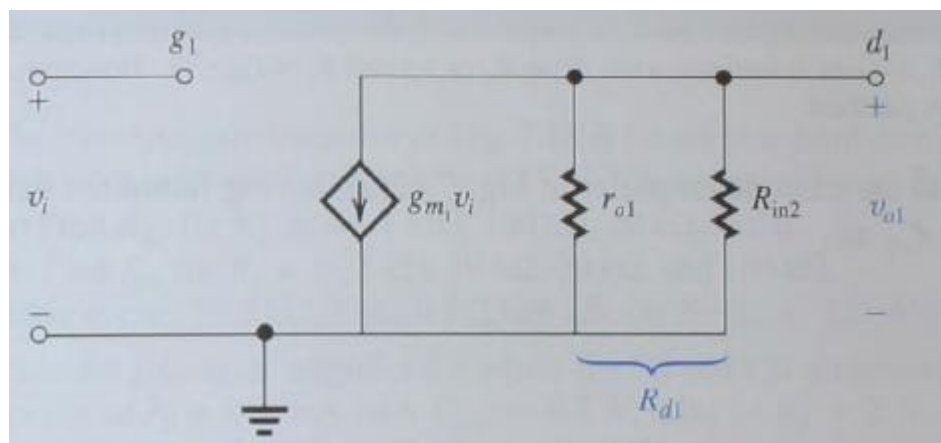
Με ανάλυση χρησιμοποιώντας τους νόμους του Kirchhoff προκύπτει ότι:

$$R_{out} = r_{o1} + r_{o2} + g_{m2} * r_{o2} * r_{o1} \approx (g_{m2} * r_{o2}) * r_{o1}$$

και

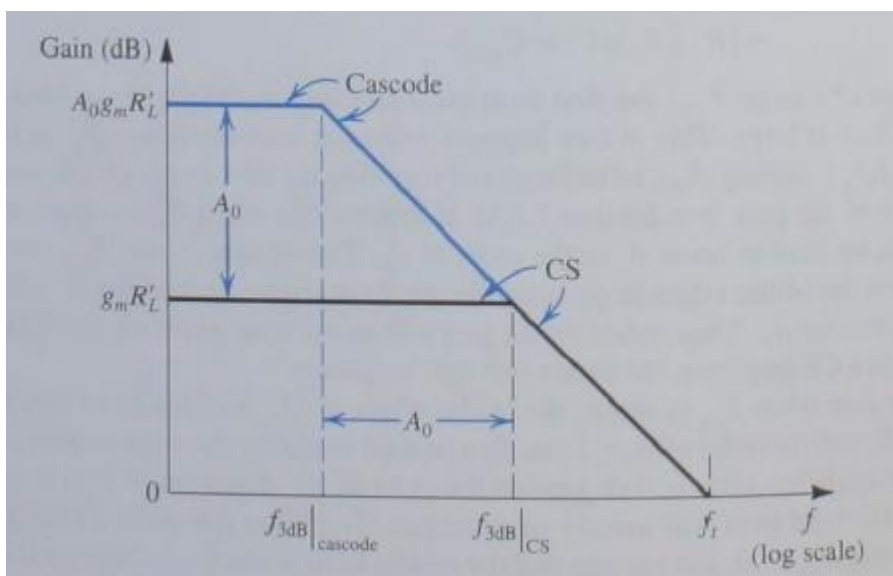
$$G_m = \frac{i_{out}}{v_{in}} = g_{m1} \text{ αφού } i_{out} \approx g_{m1} * v_i$$

Στο επόμενο σχήμα, φαίνεται το στάδιο εξόδου του cs ενισχυτή σε ανάλυση ασθενούς σήματος.



Εικόνα 4: το στάδιο εξόδου του cs ενισχυτή σε ανάλυση ασθενούς σήματος

Μια σύγκριση του απλού cascode ενισχυτή με αυτόν κοινής βάσης (CG), που μπορεί να γίνει στο πεδίο των συχνοτήτων φαίνεται στο σχήμα:



Εικόνα 5: Σύγκριση των τοπολογιών ενισχυτών cascode και common gate

Η cascode τοπολογία φαίνεται ότι μπορεί να αυξήσει το dc κέρδος κατά το συντελεστή A_0 κρατώντας τη συχνότητα μοναδιαίου κέρδους σταθερή. Για να επιτευχθεί υψηλό κέρδος, η αντίσταση φορτίου πρέπει να αυξηθεί κατά το συντελεστή A_0 .

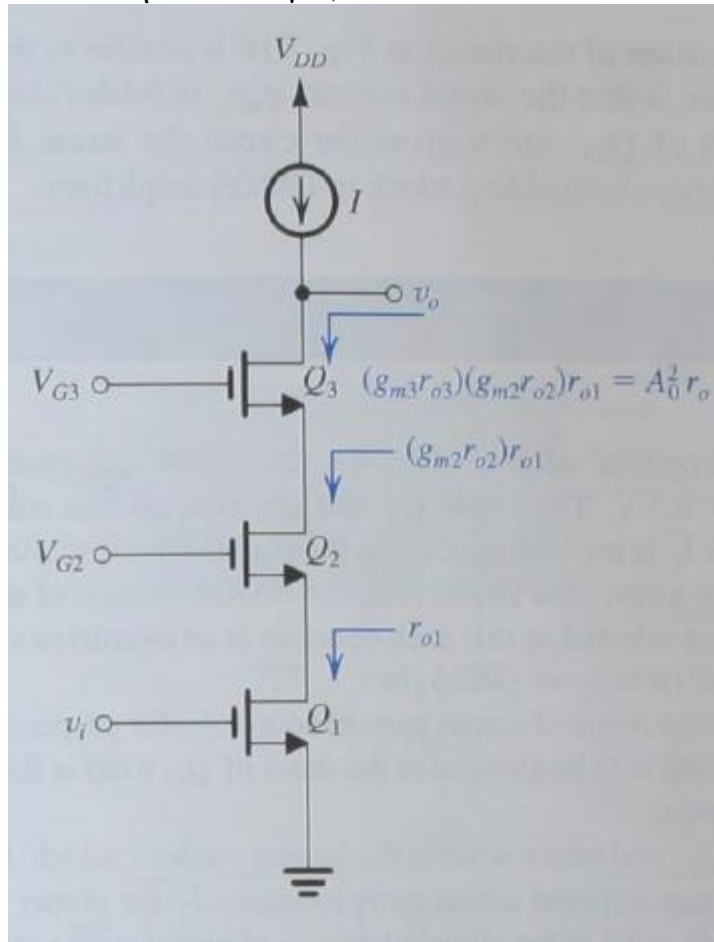
Τέλος ακολουθεί ένας πίνακας όπου μπορεί κανείς να διαπιστώσει πως συμπεριφέρεται το κύκλωμα του ενισχυτή για τέσσερις διαφορετικές περιπτώσεις φορτίων (δηλαδή R_{load}). Η περίπτωση 1 είναι η ιδανική περίπτωση που βοηθάει ώστε να υπολογιστούν οι μέγιστες τιμές κέρδους. Η δεύτερη περίπτωση η αντίσταση φορτίου είναι ίση με την αντίσταση εξόδου του ενισχυτή. Αυτό αποτελεί πάλι μια ιδανική περίπτωση για το πραγματικό μέγιστο κέρδος του ενισχυτή.

Case	R_L	R_{in2}	R_{d1}	A_{v1}	A_{v2}	A_v
1	∞	∞	r_o	$-g_m r_o$	$g_m r_o$	$-(g_m r_o)^2$
2	$(g_m r_o) r_o$	r_o	$r_o/2$	$-\frac{1}{2}(g_m r_o)$	$g_m r_o$	$-\frac{1}{2}(g_m r_o)^2$
3	r_o	$\frac{2}{g_m}$	$\frac{2}{g_m}$	-2	$\frac{1}{2}(g_m r_o)$	$-(g_m r_o)$
4	0	$\frac{1}{g_m}$	$\frac{1}{g_m}$	-1	0	0

Εικόνα 6: Πίνακας όπου μπορεί κανείς να διαπιστώσει πως συμπεριφέρεται το κύκλωμα του ενισχυτή για τέσσερις διαφορετικές περιπτώσεις φορτίων

Αξίζει να σημειωθεί ότι η γραμμικότητα και το κέρδος του cascode ενισχυτή

μπορεί να βελτιωθεί χρησιμοποιώντας τη λεγόμενη double cascoding τοπολογία. Η ανάλυση γίνεται με τον ίδιο ακριβώς τρόπο όπως με αυτή του cs ενισχυτή(όπως μπορεί να καταλάβει κάποιος και από την τοπολογία)

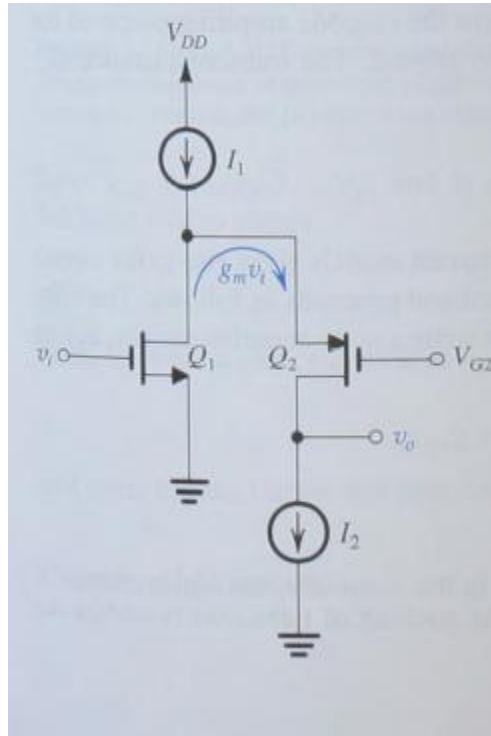


Εικόνα 7: τοπολογία double cascoding

4.2) Τοπολογία ενισχυτή τύπου folded cascode

Όμως η τοπολογία του διπλού cascode που θα μπορούσε να φανεί πολύ χρήσιμη έχει αρκετά μειονεκτήματα[1][5]. Ένα μειονέκτημα είναι το εξής: το επιπλέον transistor τοποθετείται μεταξύ των γραμμών τροφοδοσίας. Επιπλέον δεδομένου ότι σε αυτή τη τοπολογία οι αντιστάσεις εξόδου είναι της τάξης μεγέθους $A^2 * r_o$, η πηγή ρεύματος θα πρέπει να υλοποιηθεί με τοπολογία cascode, πράγμα που προσθέτει ένα ακόμα transistor. Όμως αυτό συνεπάγεται μεγάλη δυσκολία καθώς στις σύγχρονες τεχνολογίες CMOS η τάση Vdd είναι ελάχιστα μεγαλύτερη από το 1V(στην τεχνολογία που είναι κατασκευασμένο το P4DI είναι 1.8V). Τέλος, σε τοπολογίες διπλού cascode ενισχυτή εμφανίζεται ένα φαινόμενο γνωστό ως latch up[6]. Το φαινόμενο του latch up λαμβάνει χώρα λόγω των low impedance διαδρομών που εμφανίζονται κατά την υλοποίηση των κυκλωμάτων πάνω στο wafer.

Για την αποφυγή του προβλήματος που συνεπάγεται η τοποθέτηση μεγάλου αριθμού transistor σε μια γραμμή τροφοδοσίας χαμηλής τάσης, μπορεί κανείς να χρησιμοποιήσει ένα στοιχείο PMOS σαν cascode transistor όπως φαίνεται στο σχήμα. Όπως και πριν το NMOS transistor Q1 λειτουργεί σε συνδεσμολογία CS, αλλά το στάδιο CG υλοποιείται χρησιμοποιώντας το PMOS transistor Q2.



Εικόνα 8: Τοπολογία ενισχυτή τύπου folded cascode

Φυσικά απαιτείται μια πρόσθετη πηγή ρεύματος I_2 για να πολώσει το Q2 και να του παρέχει το ενεργό φορτίο του. Το Q1 τώρα λειτουργεί σε ρεύμα πόλωσης ίσο με $(I_1 - I_2)$. Τέλος απαιτείται μια dc τάση V_{bias} για να παρέχει την κατάλληλη στάθμη dc για την πύλη του cascode transistor Q2. Η τιμή της πρέπει να επιλεγθεί με τέτοιο τρόπο ώστε τα Q2 και Q1 να λειτουργούν σε περιοχή κορεσμού.

Η λειτουργία ασθενούς σήματος είναι σχεδόν ίδια με το απλό κύκλωμα cascode. Η διαφορά είναι ότι το σήμα ρεύματος $g_m \cdot v_i$ “διπλώνεται προς τα κάτω” και ρέει προς τον ακροδέκτη πηγής του Q2, γεγονός που προσδίδει στο κύκλωμα το όνομα του folded cascode[1][2].

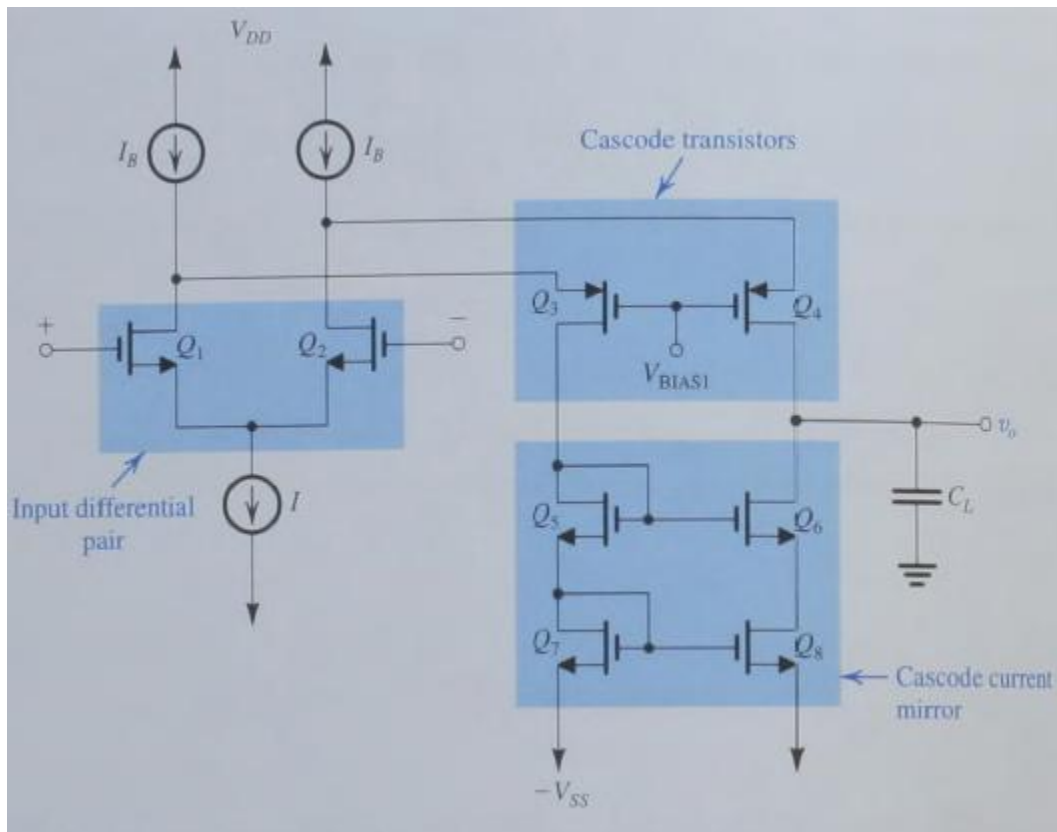
Folded Cascode Τελεστικός ενισχυτής CMOS

Το κύκλωμα του τελεστικού ενισχυτή folded cascode που βασίζεται στην τοπολογία cascode θεωρείται τελεστικός ενισχυτής ενός σταδίου[1]. Ωστόσο αυτό το

κύκλωμα μπορεί να σχεδιαστεί ώστε να παρέχει εφάμιλλη η και ανώτερη απόδοση από αυτό της τοπολογίας ενισχυτή δυο σταδίων. Αυτό επιλέχθηκε από τους σχεδιαστές του P4DI.

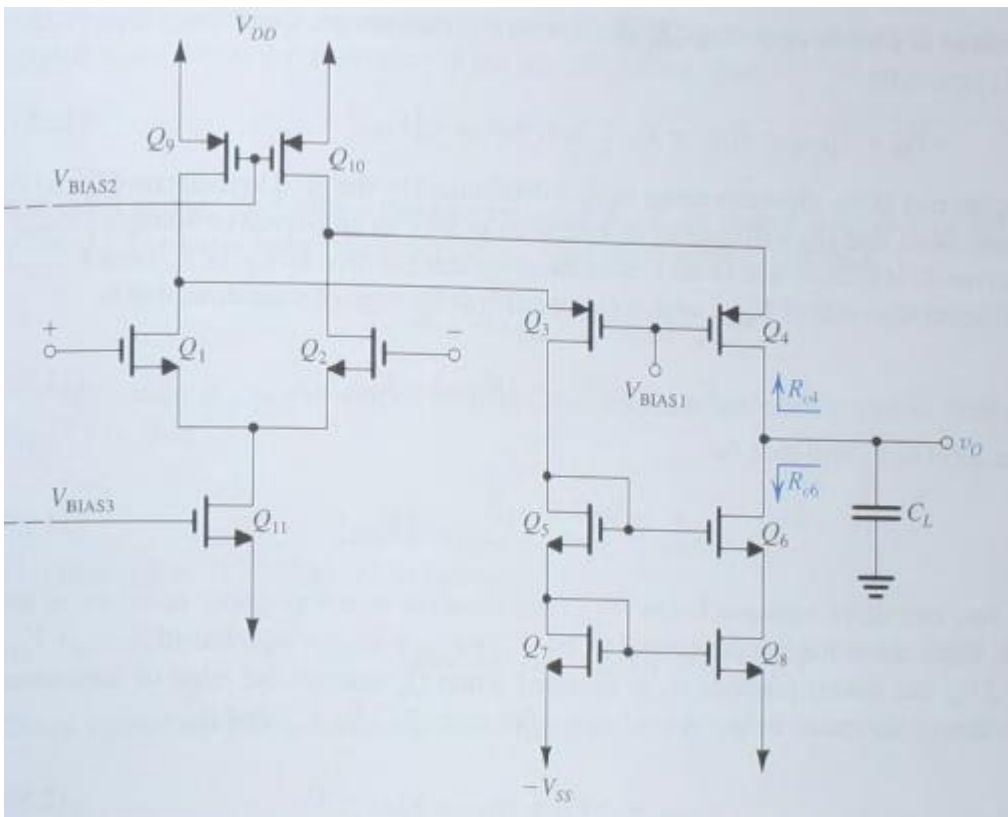
Στο σχήμα παρακάτω φαίνεται μια γενική δομή του folded cascode τελεστικού ενισχυτή. Εδώ τα Q1 και Q2 απαρτίζουν το διαφορικό ζεύγος εισόδου, ενώ τα Q3 και Q4 είναι τα cascode transistor. Οι ακροδέκτες της πύλης των Q3 και Q4 είναι συνδεδεμένοι σε σταθερή dc τάση, δηλαδή βρίσκονται σε γείωση σήματος.

Συνεπώς για διαφορικά σήματα εισόδου, κάθε ένα από τα ζεύγη transistor Q1-Q3 και Q2-Q4 λειτουργεί σαν ενισχυτής folded cascode. Το διαφορικό ζεύγος εισόδου πολώνεται με πηγή ρεύματος I. Συνεπώς καθένα από τα Q1 και Q2 λειτουργεί με ρεύμα πόλωσης I/2. Χρησιμοποιώντας την κατάλληλη εξίσωση κόμβων στις υποδοχές των Q1 και Q2 βλέπουμε το ρεύμα πόλωσης καθενός από τα Q3 και Q4 είναι $(I\beta/2)$.



Εικόνα 9: Folded Cascode Τελεστικός ενισχυτής CMOS

Ένα πιο ολοκληρωμένο κύκλωμα για τον folded cascode τελεστικό ενισχυτή CMOS παρουσιάζεται παρακάτω. Εδώ τα transistor Q9 και Q10 παρέχουν σταθερό ρεύμα πόλωσης $I\beta$, ενώ το transistor Q1, το οποίο παρέχει το σταθερό ρεύμα χρησιμοποιείται για την πόλωση του διαφορικού ζεύγους.

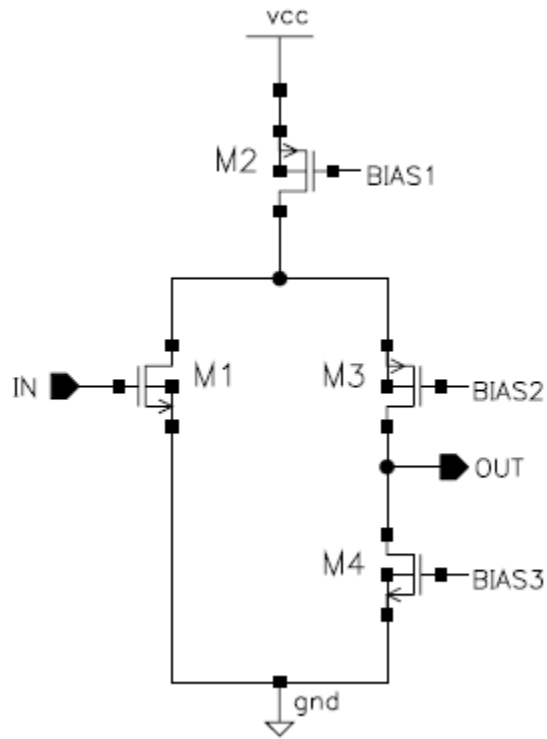


Εικόνα 10: Ένα πιο ολοκληρωμένο κύκλωμα για τον folded cascode τελεστικό ενισχυτή CMOS

Προφανώς ακόμα και η τοπολογία του folded cascode ή του ενισχυτή δύο σταδίων μπορούν να βελτιωθούν αρκετά χρησιμοποιώντας διάφορες τεχνικές σχεδίασης όπως η τοπολογία rail-to-rail για το στάδιο εισόδου(χρησιμοποιείται για αύξηση της περιοχής κοινού σήματος εισόδου) ή του wide-swing καθρέφτη ρεύματος(χρησιμοποιείται για αύξηση του εύρους τιμών της εξόδου) ή με τις λεγόμενες τεχνικές LNA(Low-noise-amplification)[2][3].Κάτι τέτοιο όμως θα είχε ως αποτέλεσμα ένα εξαιρετικά πολύπλοκο κύκλωμα ενισχυτή που με τη σειρά του οδηγεί σε ένα δύσκολο layout (φυσική σχεδίαση)[4].Άρα το testing και το debugging του ASIC θα ήταν πιο πολύπλοκο όπως και η συνολική επιφάνεια του ολοκληρωμένου θα έπρεπε να είναι μεγαλύτερη.

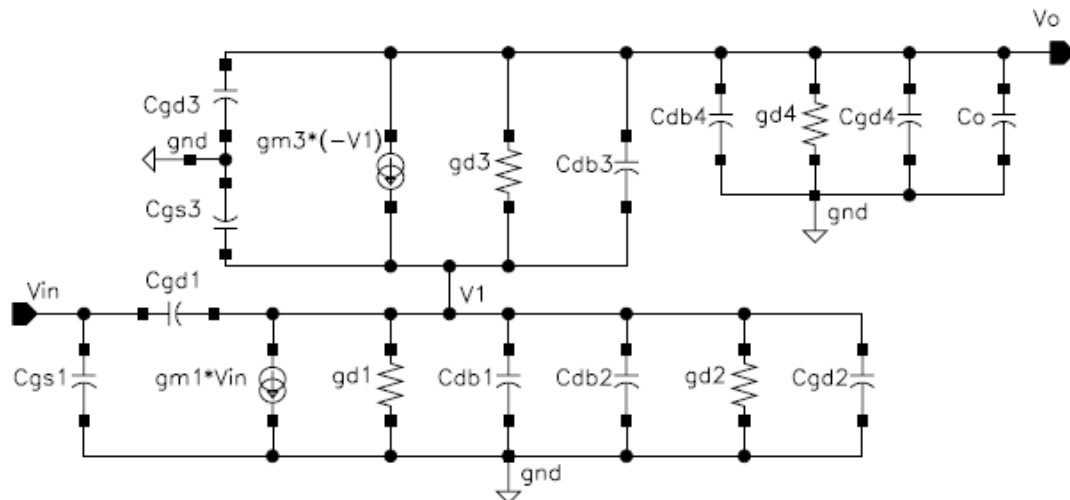
Όπως έχει αναφερθεί λοιπόν, η επιλογή του τελεστικού ενισχυτή που θα χρησιμοποιηθεί τόσο στον charge amplifier όσο και στον shaper είναι πολύ κρίσιμη μια και η απόδοση του επηρεάζει σε σημαντικό βαθμό όλη την αλυσίδα των ηλεκτρονικών ανάγνωσης. Άς γίνει λοιπόν και η ανάλυση του ενισχυτή μονής εισόδου(παραπάνω έχουμε διαφορεική είσοδο).

Το σχηματικό του ενισχυτή folded cascode που χρησιμοποιείται στο P4DI είναι το παρακάτω.



Εικόνα 11: Το σχηματικό του ενισχυτή folded cascode που χρησιμοποιείται στο P4DI

Όπως είναι φανερό, το AC ρεύμα κυκλοφορεί από το transistor M1 στο M3 και μετά στη γη χωρίς να περνά πουθενά από θετική τροφοδοσία. Το M2 είναι η πηγή ρεύματος ενώ το transistor M4 το φορτίο. Το ισοδύναμο κύκλωμα ασθενούς σήματος φαίνεται στο σχήμα με την ανάλυση του οποίου προκύπτει η συνάρτηση μεταφοράς του ενισχυτή folded cascode.



Εικόνα 12: Το σχηματικό του ισοδύναμου κυκλώματος ασθενούς σήματος για ενισχυτή folded cascode που χρησιμοποιείται στο P4DI

Όπου g_{mi} η διαγωγιμότητα του i transistor

G_{di} η αγωγιμότητα καναλιού του i transistor

C_{gd} η χωρητικότητα καναλιού του i transistor

C_{db} χωρητικότητα μεταξύ εκροής και υποστρώματος του i transistor

$C_{ot}=C_{gd3}+C_{db3}+C_{gd4}+C_{db4}+C_o$ η ολική χωρητικότητα του κόμβου εξόδου

$C_{ct}=C_{gd1}+C_{db1}+C_{gd2}+C_{db2}+C_{gs3}+C_{db3}$ η ολική χωρητικότητα στο εξωτερικό κόμβο

Η συνάρτηση μεταφοράς δίνεται από τη σχέση[1]:

$$H(s) = \frac{V_o(s)}{V_{in}(s)}$$

$$= - \frac{(g_{m1} - C_{gd1} * s) * (g_{m3} + g_{d3} + C_{db3} * s)}{(g_{d1} + g_{d2} + g_{d3} + g_{m3} + C_{ct}s)(g_{d3} + g_{d4} + C_{ot}s) - (g_{d3} + C_{db3}s)(g_{d3} + g_{m3} + C_{db3}s)}$$

Στις χαμηλές συχνότητες η επίδραση όλων των χωρητικοτήτων μπορεί να θεωρηθεί αμελητέα οπότε το ισοδύναμο απλοποιείται περαιτέρω. Αναλύοντας το απλοποιημένο ισοδύναμο προσδιορίζεται η αναλυτικές έκφραση για το κέρδος του ενισχυτή.

$$G = \frac{g_{m1}(g_{m3} + g_{d3})}{(g_{d3} + g_{d4})(g_{d1} + g_{d2} + g_{d3} + g_{m3}) - g_{d3}(g_{m3} + g_{d3})}$$

Οι σχέσεις που προσδιορίστηκαν με την ως τώρα ανάλυση και οι οποίες παρουσιάζουν με ακρίβεια την λειτουργία του ενισχυτή folded cascode στην πραγματικότητα είναι πολύ πολύπλοκες, με αποτέλεσμα οι διάφοροι υπολογισμοί να είναι μια χρονοβόρα και επίπονη διαδικασία. Για το λόγο αυτό κρίνεται απαραίτητο να γίνουν κάποιες προσεγγίσεις ώστε να εξαχθούν απλές και πρακτικές σχέσεις. Θεωρώντας λοιπόν ότι ισχύουν οι προσεγγίσεις $g_m \gg g_d, C_{ot} \gg C_{db3}$ και $C_{ct} \gg C_{db3}$ διαπιστώνεται ότι για τον παρονομαστή της συνάρτησης μεταφοράς ισχύει:

$$(g_{d1} + g_{d2} + g_{d3} + g_{m3} + C_{ct}s)(g_{d3} + g_{d4} + C_{ot}s) \gg (g_{d3} + g_{m3} + C_{db3}s)(g_{d3} + C_{db3}s)$$

Σε αυτή τη περίπτωση μια νέα απλουστευμένη συνάρτηση μεταφοράς προκύπτει οποία δίνεται από τη σχέση:

$$H(s) = - \frac{g_{m1}}{g_{d3} + g_{d4}} \frac{\left(1 - \frac{C_{gd1}}{g_{m1}} s\right) \left(1 + \frac{C_{db3}}{g_{m3}} s\right)}{\left(1 + \frac{C_{ot}}{g_{d3} + g_{d4}} s\right) \left(1 + \frac{C_{ct}}{g_{m3}} s\right)}$$

Η απλοποιημένη συνάρτηση μεταφοράς του folded cascode παρουσιάζει δύο πόλους και δύο μηδενικά. Ο πρωτεύον πόλος βρίσκεται σε συχνότητα $f_d = \frac{g_{d3} + g_{d4}}{2\pi C_{ot}}$ και ο δευτερεύον σε συχνότητα $f_{nd} = \frac{g_{m3}}{2\pi C_{ct}}$. Διαπιστώνεται δηλαδή ότι ο πρωτεύον πόλος παρουσιάζεται στον κόμβο εξόδου και η τιμή του εξαρτάται από την ολική

χωρητικότητα στον κόμβο αυτό και την ολική αγωγιμότητα εξόδου. Ο δευτερεύον πόλος παρουσιάζεται στον κόμβο χαμηλής αντίστασης και εξαρτάται από την αντιστοιχη χωρητικότητα αλλά και την διαγωγιμότητα του cascode transistor M3. Το συνολικό κέρδος βαθμίδας δίνεται από την σχέση:

$$G = \frac{g_{m1}}{g_{d3} + g_{d4}}$$

Το γινόμενο κέρδους-εύρους ζώνης καθορίζεται από τον πρωτεύον πόλο και δίνεται από τη εξίσωση:

$$GBWP = \frac{g_{m1}}{2\pi C_{ot}}$$

Όπως ήταν αναμενόμενο το GBWP εξαρτάται μόνο από την διαγωγιμότητα του πρώτου transistor και τη χωρητικότητα στον κόμβο εξόδου. Τα δυο μηδενικά που παρουσιάζει ο ενισχυτής βρίσκονται το ένα στο αριστερό ημιεπίπεδο το ένα, ενώ στο δεξή το άλλο. Η ακριβείς τους θέση παίζει σημαντικό ρόλο στην ευστάθεια του ενισχυτή[1].

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΑΙΟΥ 4

- [1] Sedra, Adel S., and Kenneth C. Smith. Microelectronic CIRCUITS. 5th ed. New York: Oxford University Press, Inc, 2004.
- [2] Allen, Phillip E., and Douglas R. Holberg. CMOS Analog Circuit Design. 2nd ed. New York:Oxford University Press, 2003.
- [3] Alexander, Charles K., and Matthew N.O. Sadiku. Fundamentals of Electric Circuits. 2nd ed.New York: McGraw-Hall Companies, Inc., 2004.
- [4] Baker, R. Jacob. CMOS Circuit Design, Layout, and Simulation. 2nd ed. Hoboken, NJ: John Wiley& Sons, Inc., 2005.
- [5] Yannis P. Tsividis. Operation and Modeling of the MOS Transistor, McGraw-Hill, New York, 1987 pp. 343.
- [6] FairChild Semiconductor. Understanding Latch-Up in Advanced CMOS Logic, 1999 pp. 5.

ΚΕΦΑΛΑΙΟ 5^ο

Σχεδίαση Απλού Λογικού Κυκλωμάτος

Στο κεφάλαιο αυτό θα παρουσιαστούν όλα τα βήματα ενός bottom-up design flow για την υλοποίηση αρχικά ενός απλού λογικού αναστροφέα σε τεχνολογία TSMC 0.18 μm [1][2][3]. Στο παρακάτω σχεδιάγραμμα φαίνονται όλα τα στάδια μιας πλήρους διαδικασίας σχεδίασης και προσομοίωσης του αναστροφέα με χρήση των CADENCE Custom IC Design Tools, διαδικασία η οποία ακολουθήθηκε και στην υλοποίηση των υπολοίπων λογικών κυκλωμάτων που θα παρουσιαστούν στη συνέχεια αυτής της εργασίας με διαφοροποιήσεις, όπου αυτό κρίθηκε αναγκαίο, και οι οποίες σε κάθε περίπτωση θα αναφέρονται και θα εξηγούνται.

Ροή Σχεδίασης (Design Flow)

Σε κάθε στάδιο του επόμενου σχεδιαγράμματος που ακολουθεί θα αναφέρονται τα συγκεκριμένα εργαλεία που χρησιμοποιούνται

Συνοπτικά τα στάδια που ακολουθούν με τη σειρά που παρουσιάζονται είναι:

- Σχεδίαση σχηματικού (schematic), ή εναλλακτικά εισαγωγή δικτυώματος.
- Δημιουργία συμβόλου για την προσομοίωση του σχηματικού.
- Προσομοίωση για εξακρίβωση ορθής λειτουργίας.
- Σχεδίαση φυσικού σχεδίου σύμφωνα με τις προδιαγραφές της εκάστοτε τεχνολογίας και των προδιαγραφών του κυκλώματος.
- Εξακρίβωση τήρησης σχεδιαστικών, ηλεκτρικών κ.α. κανόνων.
- Σύγκριση του φυσικού σχεδίου με το schematic.
- Εξαγωγή των αποτελεσμάτων.

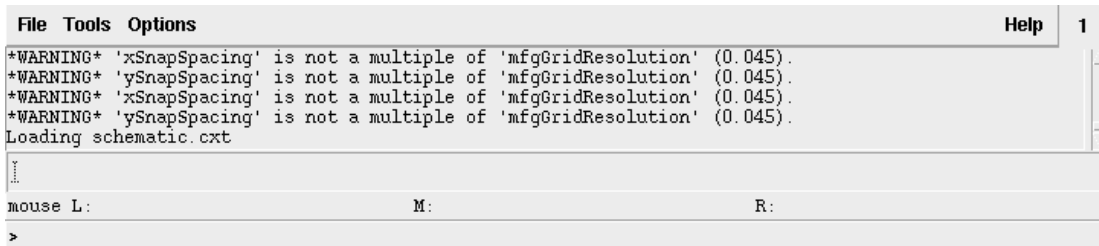
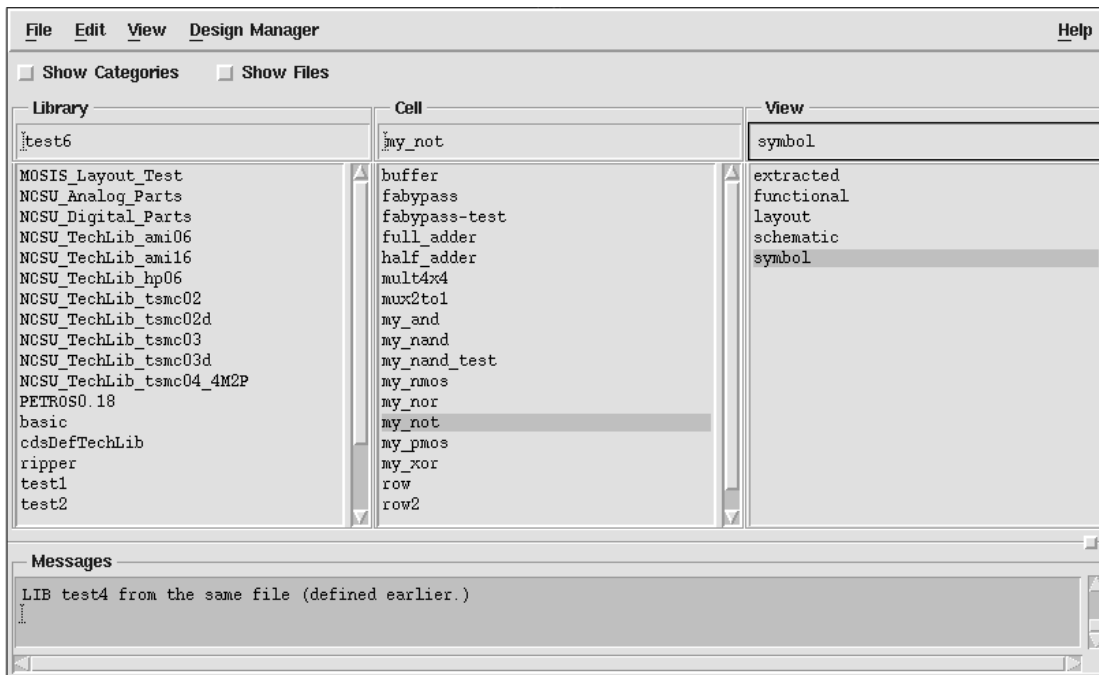
Προδιαγραφές Αναστροφέα:

Η σχεδίαση του αναστροφέα επιλέχθηκε για να παρουσιαστούν οι δυνατότητες του Cadence καθώς αποτελεί ένα πάρα πολύ απλό κύκλωμα που αποτελείται από ένα μόνο ζεύγος τρανζίστορ[4][5].

Για να βοηθηθεί η λειτουργικότητα των εργασιών μας αλλά και για να ελαχιστοποιήσουμε τις πιθανότητες λαθών που θα επηρεάσουν τις βιβλιοθήκες που πήραμε από το North Carolina State University (NCSU) επιλέξαμε να χρησιμοποιήσουμε τη δυνατότητα που παρέχει το Cadence για δημιουργία δικών μας βιβλιοθηκών. Έτσι δημιουργήθηκε η βιβλιοθήκη *test2* η οποία συνδέθηκε με την τεχνολογία της βιβλιοθήκης NCSU tsmc02d που υπήρχε και αντιστοιχεί στην 0.18 που μας ενδιαφέρει. Ένας άλλος λόγος για τον οποίο δημιουργήσαμε δική μας βιβλιοθήκη είναι το ότι επιθυμούσαμε να βασίσουμε τη σχεδίαση μεγαλύτερων κυκλωμάτων όχι πλέον στα έτοιμα cells βιβλιοθηκών που υπάρχουν, αλλά σε τρανζίστορ και cells των οποίων τις διαστάσεις και τη συμπεριφορά έχουμε καθορίσει πλήρως ανάλογα με αυτά που θέλουμε. Ουσιαστικά η σχεδίαση άρχισε από δύο βασικά τρανζίστορ (pMOS και nMOS) εδώ όμως θα παρουσιαστεί πρώτα ο αναστροφέας, καθώς βοηθά περισσότερο την παρουσίαση. Για την κατασκευή του χρησιμοποιήθηκαν τα έτοιμα τρανζίστορ που φτιάξαμε, αλλά εδώ θα αναλυθεί μια διαδικασία από την αρχή χωρίς έτοιμα εξαρτήματα της βιβλιοθήκης. Όλες αυτές οι διαδικασίες θα αναλυθούν διεξοδικά παρακάτω.

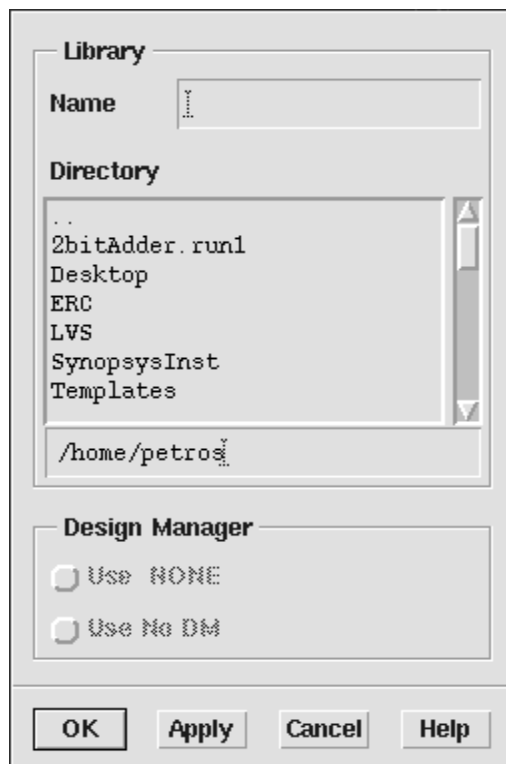
Δημιουργία Βιβλιοθήκης test2:

Η αρχικοποίηση του Cadence γίνεται με την πληκτρολόγηση της εντολής **icfb** σε κάποιο terminal του Linux[5]. Αυτό που ακολουθεί είναι η εμφάνιση του CIW που είναι το βασικό παράθυρο εντολών και εργαλείων του Cadence καθώς και το παράθυρο του Library Manager που χρησιμοποιείται τόσο για τη διαχείριση βιβλιοθηκών όσο και αρχείων. Τα δύο αυτά παράθυρα φαίνονται στην παρακάτω εικόνα.



Εικόνες 1,2 Βιβλιοθήκη του σχεδιαστικού πακέτου

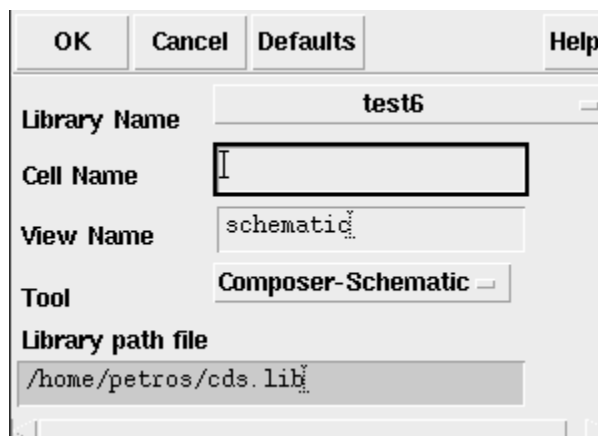
- 1 Από τη γραμμή εργαλείων του Library Manager: File->New Library
- 2 Εμφανίζεται ένα καινούριο παράθυρο, στο οποίο εισάγουμε το όνομα της νέας βιβλιοθήκης
- 3 Εισάγουμε το πλήρες path της βιβλιοθήκης
- 4 Επιλέγουμε Attach to an existing techfile με την βιβλιοθήκη NCSU tsmc02d



Εικόνα 3 Παράθυρο για την δημιουργια νέας βιβλιοθήκης

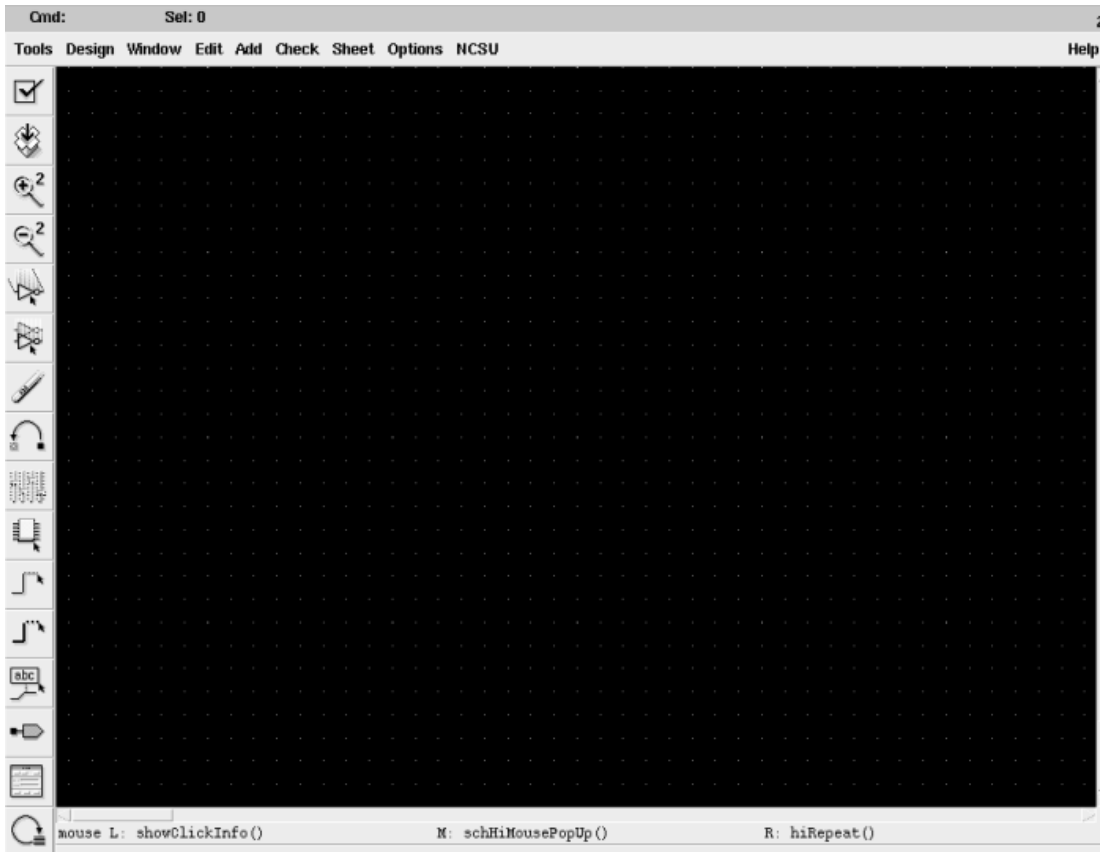
Δημιουργία σχηματικού αναστροφέα:

Από τη γραμμή εργαλείων του Library Manager File->NewCellview οπότε εμφανίζεται το επόμενο παράθυρο[5]. Εκεί ονομάζουμε τον αντιστροφέα not στο πεδίο cell name, επιλέγουμε τη βιβλιοθήκη που δημιουργήσαμε στο αντίστοιχο πεδίο και επιλέγουμε ως εργαλείο το Composer Schematic αφού σχηματικό θέλουμε να δημιουργήσουμε. Εάν θέλαμε άλλου είδους περιγραφή του κυκλώματος θα επιλέγαμε άλλο εργαλείο όπως αναφέρθηκε. Όλα τα παραπάνω φαίνονται στην εικόνα .



Εικόνα 4 Δημιουργία Νέου Φακέλου

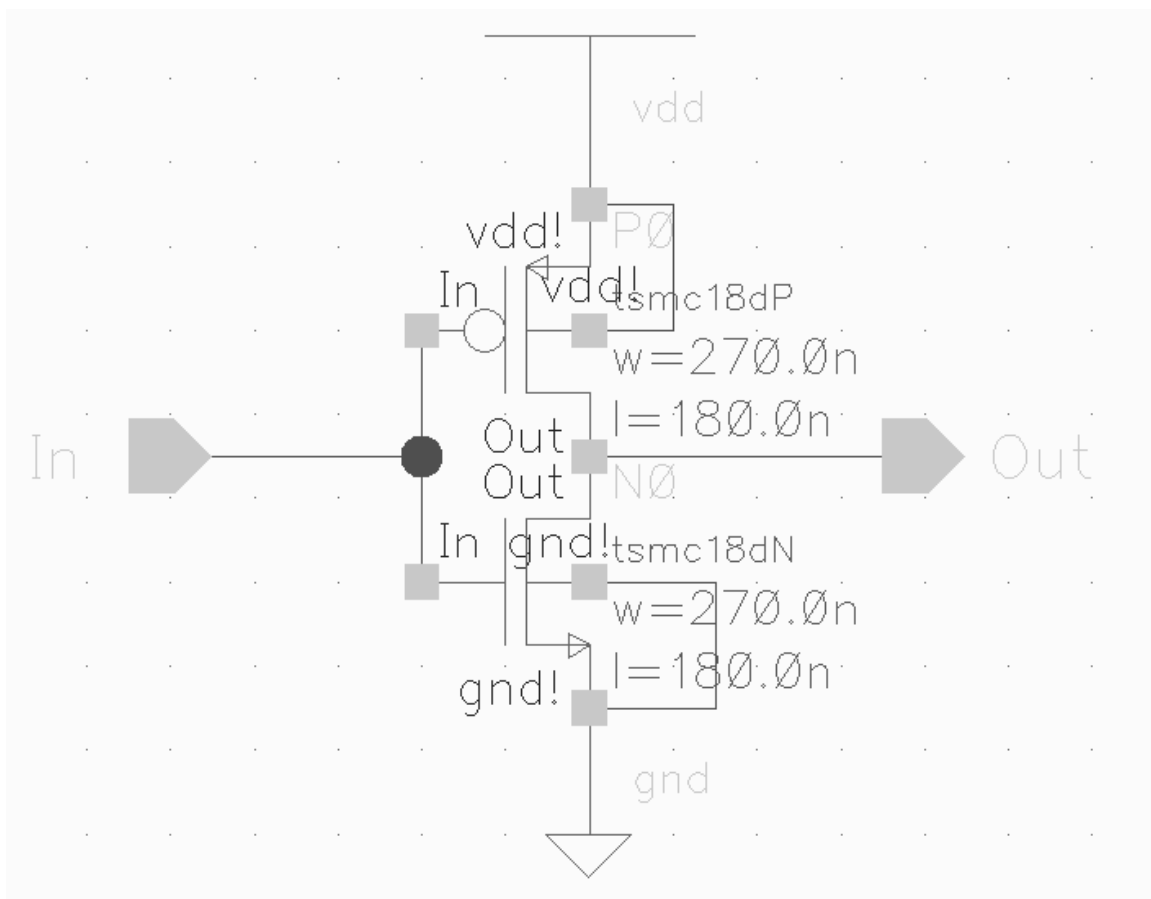
Πατώντας OK ανοίγει το κεντρικό παράθυρο σχεδίασης όπως φαίνεται παρακάτω, με τις εξηγήσεις των διαφόρων εργαλείων του, και είμαστε έτοιμοι να δημιουργήσουμε το σχηματικό.



Εικόνα 5 Παράθυρο σχεδίασης

Τα διάφορα εξαρτήματα (components) μπορούμε να τα εισάγουμε με δύο τρόπους. Είτε από τη γραμμή εργαλείων Add Component είτε μέσω της συντόμευσής της στο πληκτρολόγιο, δηλαδή το πλήκτρο i. Εμφανίζεται τότε το παράθυρο του Component Browser στο οποίο τα διάφορα εξαρτήματα ταξινομούνται ανάλογα με τη βιβλιοθήκη τους. Για το σχηματικό του αντιστροφέα χρειαζόμαστε δύο τρανζίστορ (pMOS4 και nMOS4) μια πηγή τάσης (vdd) και μία γείωση (gnd). Τα τρανζίστορ τα παίρνουμε από τη βιβλιοθήκη NCSU_Analog_Parts καθώς και τη γείωση και την τροφοδοσία. Τοποθετούμε κατάλληλα τα εξαρτήματα με βάση τη συμπληρωματική λογική CMOS και τα διασυνδέουμε με καλώδιο (wire) από τη γραμμή εργαλείων Add Wire. Προσθέτουμε ακροδέκτες εισόδου και εξόδου στο κύκλωμα είτε από το κατάλληλο πλήκτρο του παραθύρου είτε από τη γραμμή εργαλείων Add Pin, οπότε και

εμφανίζεται κατάλληλο παράθυρο στο οποίο καθορίζουμε το όνομα του ακροδέκτη και καθώς και τον τύπο του (είσοδος, έξοδος κτλ.). Μετά από όλα αυτά το σχηματικό του αντιστροφέα είναι όπως φαίνεται παρακάτω. Επίσης για να γίνει η πρόσδεση του κάθε υποστρώματος με την αντίστοιχη τάση τροφοδοσίας θα πρέπει να συνδέσουμε τους ακροδέκτες υποστρώματος των τρανζίστορ στην τάση vdd για το μεν pMOS και gnd για το δε nMOS. Η σύνδεση αυτή εξασφαλίζει τη σωστή πόλωση του υποστρώματος και όπως θα δούμε αργότερα θα γίνει και στο φυσικό σχέδιο[1].



Εικόνα 6 Σχηματικό Αναστροφέα

Πρέπει εδώ να πούμε ότι δεν αρκούν τα όσα παρουσιάστηκαν παραπάνω για την ολοκλήρωση της σχεδίασης του σχηματικού καθώς δεν καθορίστηκαν οι παράμετροι των διαφόρων εξαρτημάτων. Έτσι για να επιλέξουμε τα ξεχωριστά χαρακτηριστικά κάθε εξαρτήματος, αρκεί να το επιλέξουμε με το ποντίκι, και έπειτα είτε με δεξί κλικ να επιλέξουμε Properties είτε να πατήσουμε q τη συντόμευση δηλαδή του πληκτρολογίου. Τότε ανοίγει το παράθυρο Edit Object Properties στο οποίο καθορίζονται οι παράμετροι

των αντικειμένων. Εναλλακτικά ανοίγουμε αυτό το παράθυρο από τη γραμμή εργαλείων μέσω του : Edit Properties ->Objects. Το παράθυρο αυτό φαίνεται παρακάτω. Πρέπει να σημειωθεί εδώ ότι οι διαστάσεις που επιλέχθηκαν για τα τρανζίστορ ήταν τέτοιες ώστε να εξασφαλίζουν το ελάχιστο μέγεθος στη συγκεκριμένη τεχνολογία, ούτως ώστε να επιτευχθεί η συμβατότητα του σχηματικού με το φυσικό σχέδιο.

Property	Value	Display
Library Name	NCSU_Analog_Parts	off
Cell Name	pmos4	off
View Name	symbol	off
Instance Name	P0	off

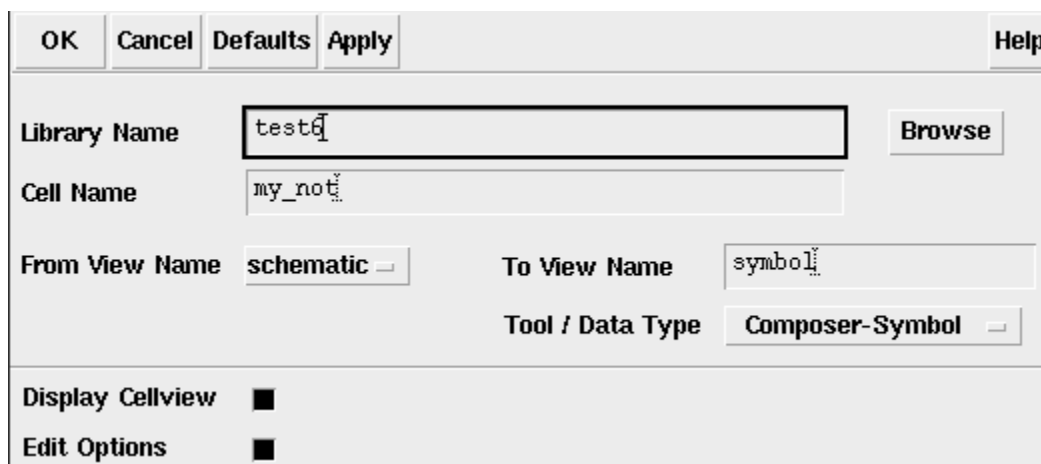
CDF Parameter	Value	Display
Model name	tsmc18dP	off
Model Type	◆ system ◇ user	off
Multiplier	1	off
Fingers	1	off
Width (grid units)	6	off
Width	270.0n M	off
Width (minimum)	270.0n M	off
Length (grid units)	4	off
Length	180.0n M	off

Εικόνα 7 Τροποποίηση Παραμέτρων

Η διαδικασία δημιουργίας του σχηματικού ολοκληρώνεται με τον έλεγχο του και την αποθήκευσή του από τη γραμμή εργαλείων Design Check and Save, όπου αν δεν υπάρχει σφάλμα το σχηματικό θα αποθηκευτεί. Αν υπάρχει σφάλμα θα εμφανιστεί κατάλληλη ένδειξη στο CIW, ή μπορούμε να το βρούμε μέσω της γραμμής εργαλείων

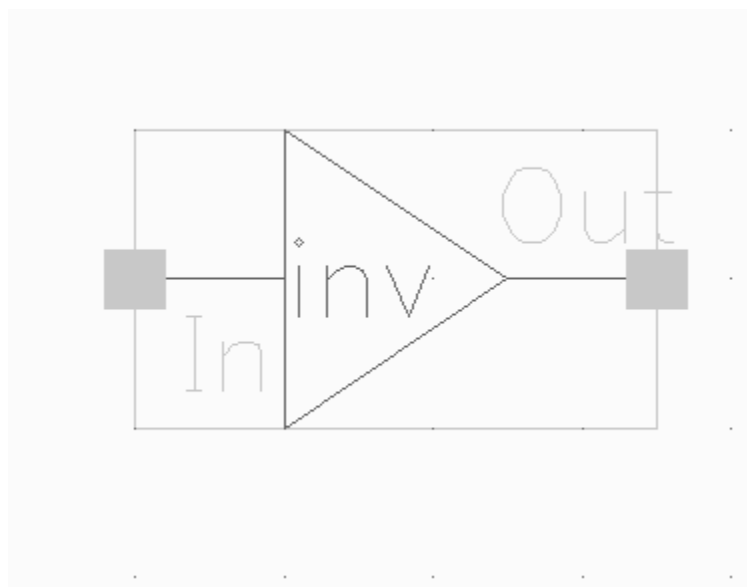
Δημιουργία Συμβόλου Αναστροφέα:

Συχνά σε σχεδιαστικές διαδικασίες χρησιμοποιούνται ιεραρχικές δομές οι οποίες διευκολύνουν κατά πολύ τη σχεδίαση, μειώνοντας την πολυπλοκότητα των κυκλωμάτων αφού πλέον αναγνωρίζοντας συγκεκριμένα τμήματα ενός κυκλώματος μπορούμε να τα αναπαραστήσουμε με ένα σύμβολο γλυτώνοντας χρόνο αλλά και κόπο. Ένα άλλο στοιχείο είναι το ότι συνήθως στις προσομοιώσεις χρησιμοποιούμε σύμβολα (έτοιμα block) αντί για ξεχωριστά τρανζίστορ. Διαφορά ως προς τη συμπεριφορά δεν υπάρχει μεταξύ των δύο αναπαραστάσεων, παρά μόνο στην ιεραρχική δομή και απεικόνιση πολύπλοκων συστημάτων. Η διαδικασία δημιουργίας ενός συμβόλου που να αναπαριστά ένα σχηματικό αρχίζει με το άνοιγμα από τον Library Manager του σχηματικού που θέλουμε να συσχετίσουμε με ένα σύμβολο. Από τη γραμμή εργαλείων του παραθύρου πάμε DesignCreate-> Cellview From Cellview οπότε ανοίγει το παρακάτω παράθυρο.



Εικόνα 8 Δημιουργία Συμβόλου

Εδώ μας ενδιαφέρει το πεδίο To View Name όπου θέτουμε (αν δεν είναι ήδη έτσι) symbol. Πατώντας OK ανοίγει το παράθυρο του Composer Symbol πού φαίνεται παρακάτω.



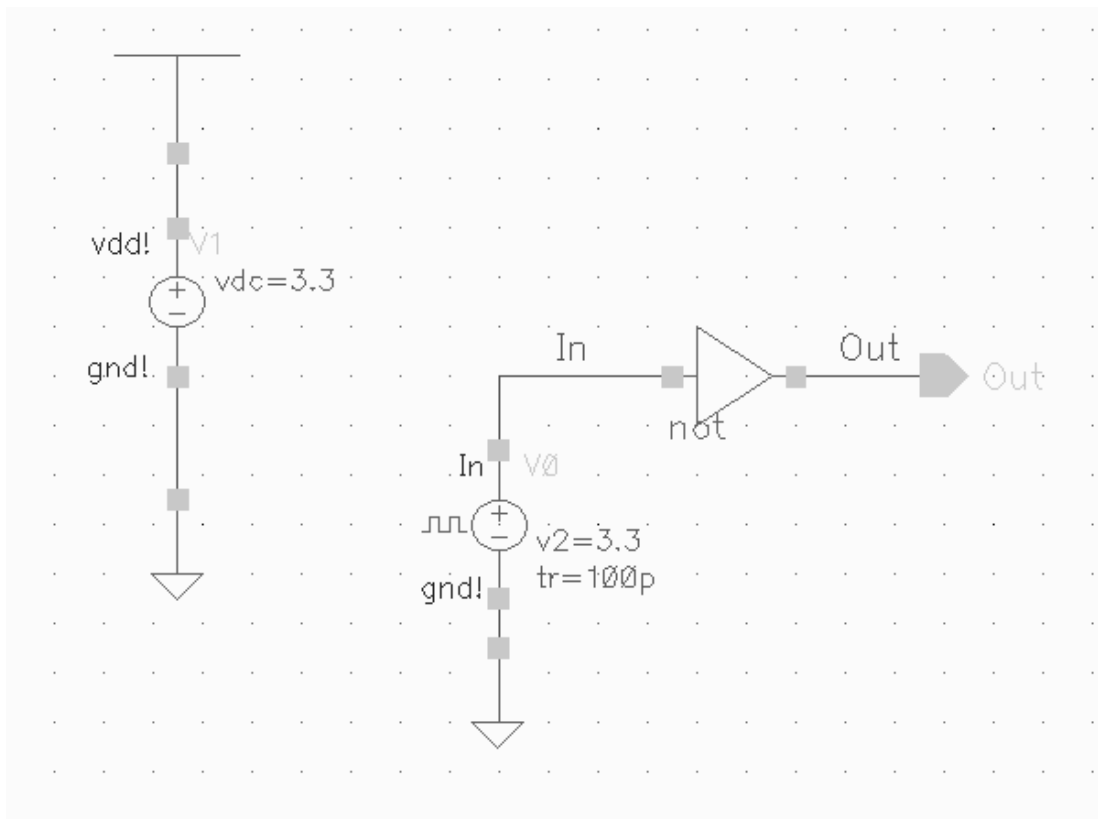
Εικόνα 9 Παράθυρο Σχεδίασης Συμβόλου Αναστροφείας

Σε αυτό το παράθυρο θα εμφανιστεί ένα αρχικό σύμβολο του σχηματικού (ορθογώνιο) στο οποίο θα ξεχωρίζουν οι ακροδέκτες που είχαμε ορίσει. Από εκεί και έπειτα μας παρέχεται η δυνατότητα να το μετατρέψουμε όπως θέλουμε, να μετακινήσουμε τους ακροδέκτες ή ακόμα και να προσθέσουμε ετικέτες. Η διαδικασία αυτή είναι πολύ απλή οπότε δε θα περιγραφεί απλά θα αναφερθούν δύο παράμετροι. Πρώτα για να αποθηκευτεί το σύμβολο που δημιουργήσαμε θα πρέπει πρώτα να το ελέγξουμε, ούτως ώστε όντως να συσχετιστούν οι ακροδέκτες του μετά τη μετατροπή με αυτούς του σχηματικού (check and save). Κάτι άλλο το οποίο θα αναφέρουμε είναι ότι πλέον αυτό το σύμβολο θα εμπεριέχεται στη βιβλιοθήκη και θα μπορεί να εισαχθεί στη δημιουργία άλλων σχηματικών ως έχει.

Προσομοίωση λειτουργίας αναστροφείας

Μετά την περιγραφή σε επίπεδο τρανζίστορ του κυκλώματος, είναι απαραίτητη η εξακρίβωση της λειτουργικότητας και των ηλεκτρικών ιδιοτήτων και παραμέτρων του. Αυτό γίνεται εφικτό μέσω της διαδικασίας προσομοίωσης με κατάλληλο εργαλείο (SpectreS ή hspiceS). Μέσω αυτής της πρώτης διαδικασίας προσομοίωσης εξακριβώνονται και κάποια σχεδιαστικά σφάλματα που δεν σχετίζονται με «συντακτικά» λάθη, αλλά περισσότερο με λογικά λάθη συνδέσεων μεταξύ των σημάτων.

Το πρώτο βήμα για την προσομοίωση του κυκλώματός μας είναι η δημιουργία ενός νέου σχηματικού κατά τα γνωστά. Τα components που θα χρησιμοποιηθούν είναι το σύμβολο του αναστροφέα που σχεδιάσαμε (not), μία πηγή DC τάσης (vdc), μία γεννήτρια παλμών (vpulse), τα οποία θα τα πάρουμε από τις βιβλιοθήκες test2,NCSU_Analog_Parts αντίστοιχα. Η σύνδεση των εξαρτημάτων φαίνεται στο παρακάτω σχήμα και πρέπει να σημειωθεί ότι η σύνδεση του vdd με την πηγή συνεχούς vdc έχει το νόημα του ότι σε όλα τα σύμβολα-αναπαραστάσεις σχηματικών που αντιστοιχούν σε «υποκυκλώματα» -και τα οποία περιέχουν τροφοδοσίες vdd θα εφαρμοστεί συνεχής τάση ίση με την τιμή της vdc και θα παίζει το ρόλο της τροφοδοσίας του κυκλώματος. Επίσης πρέπει να σημειωθεί ότι σε αυτή την προσομοίωση μας ενδιέφερε περισσότερο η μελέτη της διακοπτικής συμπεριφοράς των τρανζίστορ και λιγότερο οι χαρακτηριστικές μεταφοράς του αναστροφέα, για αυτό και στην έξοδο του κυκλώματος δεν χρησιμοποιήθηκε χωρητικότητα (πυκνωτής) ως φορτίο που να αναπαριστά ενδεχόμενη χωρητικότητα επόμενων βαθμιδών. Οπότε θα δημιουργήσουμε έναν ακροδέκτη εξόδου (Out pin) όπως σε προηγούμενες περιπτώσεις και θα τον συνδέσουμε στον ακροδέκτη Out του συμβόλου. Μετά από όλα αυτά το σχηματικό θα είναι ως εξής.



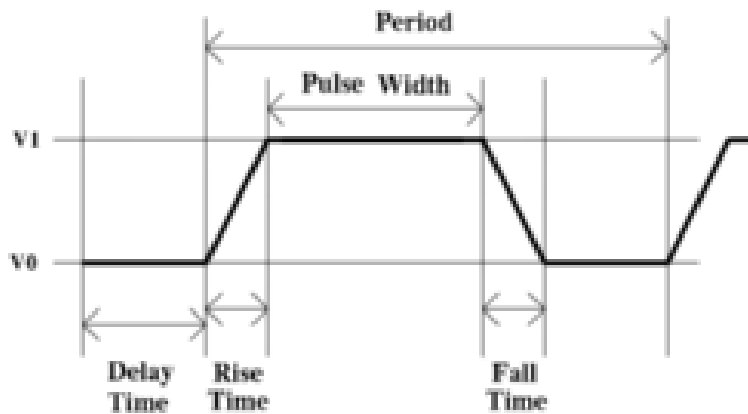
Εικόνα 10 Διάταξη προσομοίωσης Αναστροφέα

Το επόμενο βήμα πριν την έναρξη της προσομοίωσης είναι ο καθορισμός των παραμέτρων των πηγών τάσης. Έτσι, ανοίγοντας το παράθυρο των Properties για την πηγή συνεχούς τάσης, αρκεί να θέσουμε στο πεδίο DC Voltage την τιμή που επιθυμούμε, ανάλογα με την τιμή που απαιτεί κάθε τεχνολογία. Αυτή στην περίπτωση της τεχνολογίας TSMC 0.18um είναι 1.8V. Πρέπει επίσης να πούμε ότι δεν έχει σημασία το πόσες γειώσεις gnd θα εισάγουμε στο κύκλωμα καθώς αυτές βραχυκυκλώνονται κατά την προσομοίωση ως κόμβοι με κοινό όνομα. Πρέπει επίσης να καθοριστούν οι παράμετροι της παλμογεννήτριας vrpulse. Με τον ίδιο τρόπο θα ανοιχτεί το παράθυρο Properties και θα εισαχθεί η παρακάτω λίστα παραμέτρων.

Πίνακας 1 Παράμετροι Προσομοίωσης Αντιστροφέα

Voltage 1	0 V
Voltage 2	1.8 V
Delay time	0 s
Rise time	100 ps
Fall Time	100 ps
Pulse Width	5 ns
Period	12 ns

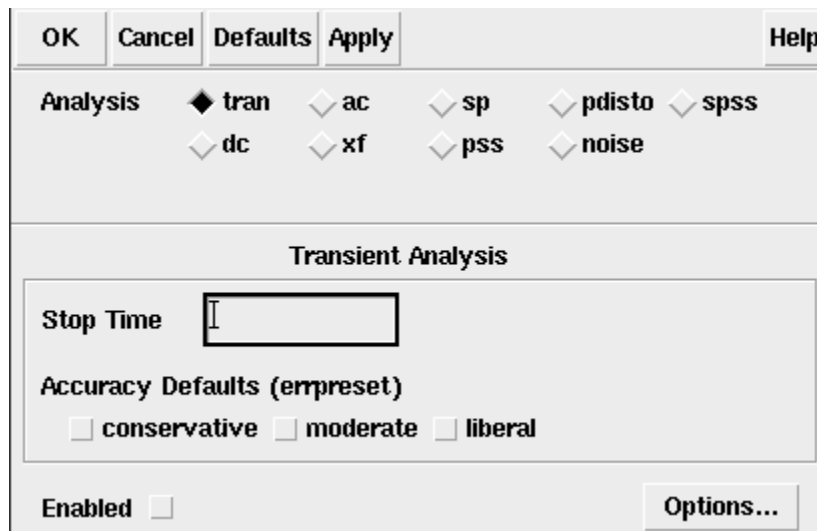
Πατώντας OK οι παράμετροι αυτές αποθηκεύονται και περνούν στο κύκλωμα. Αποθηκεύοντας το σχηματικό προχωράμε στο επόμενο βήμα για την προσομοίωση. Στο παρακάτω γράφημα φαίνεται σε τι αναφέρονται τα μεγέθη που ορίσαμε.



Ακολουθώντας τη διαδρομή Tools → Analog Artist τώρα ανοίγει το παράθυρο του Analog Artist τα εργαλεία του οποίου χρησιμοποιούμε για την προσομοίωση της λειτουργίας του αντιστροφέα. Εδώ παρατηρούμε ότι από το Cadence μας παρέχονται πολλά είδη προσομοιωτών και εργαλείων προσομοίωσης. Εμείς εδώ επιλέξαμε το εργαλείο SpectreS λόγω της χρηστικότητάς του, το οποίο όμως παρέχει πολλές επιλογές προσομοίωσης αλλά και επεξεργασίας των αποτελεσμάτων.

Επειδή το SpectreS ενδέχεται να μην είναι προεπιλεγμένο ως εργαλείο προσομοίωσης, από τη γραμμή εντολών του Cadence Analog Design Environment επιλέγω Setup → Simulator → Directory → Host όπου εκεί γίνεται η επιλογή της «μηχανής» προσομοίωσης. Επειδή θέλουμε να μελετήσουμε τη συμπεριφορά του κυκλώματος για διαφορετικές τιμές εισόδου (δηλαδή την συμπεριφορά του στην πάροδο του χρόνου) θα επιλέξουμε Transient Analysis από τις επιλογές που μας παρέχει το πρόγραμμα. Εδώ πρέπει να σημειωθεί ότι το SpectreS παρέχει τη δυνατότητα άλλων ειδών αναλύσεων (όπως π.χ. DC ανάλυση για τον προσδιορισμό των σημείων κανονικής λειτουργίας ενός κυκλώματος), καθώς και επιλογές που αφορούν τον καθορισμό άλλων παραμέτρων που δυνητικά θα μπορούσαν να επηρεάσουν τη λειτουργία του κυκλώματος, όπως π.χ. η θερμοκρασία λειτουργίας του κυκλώματος. Ο προσδιορισμός του τρόπου προσομοίωσης γίνεται επιλέγοντας Analyses → Choose οπότε ανοίγει το

παράθυρο Choosing Analyses που φαίνεται στο παρακάτω σχήμα.

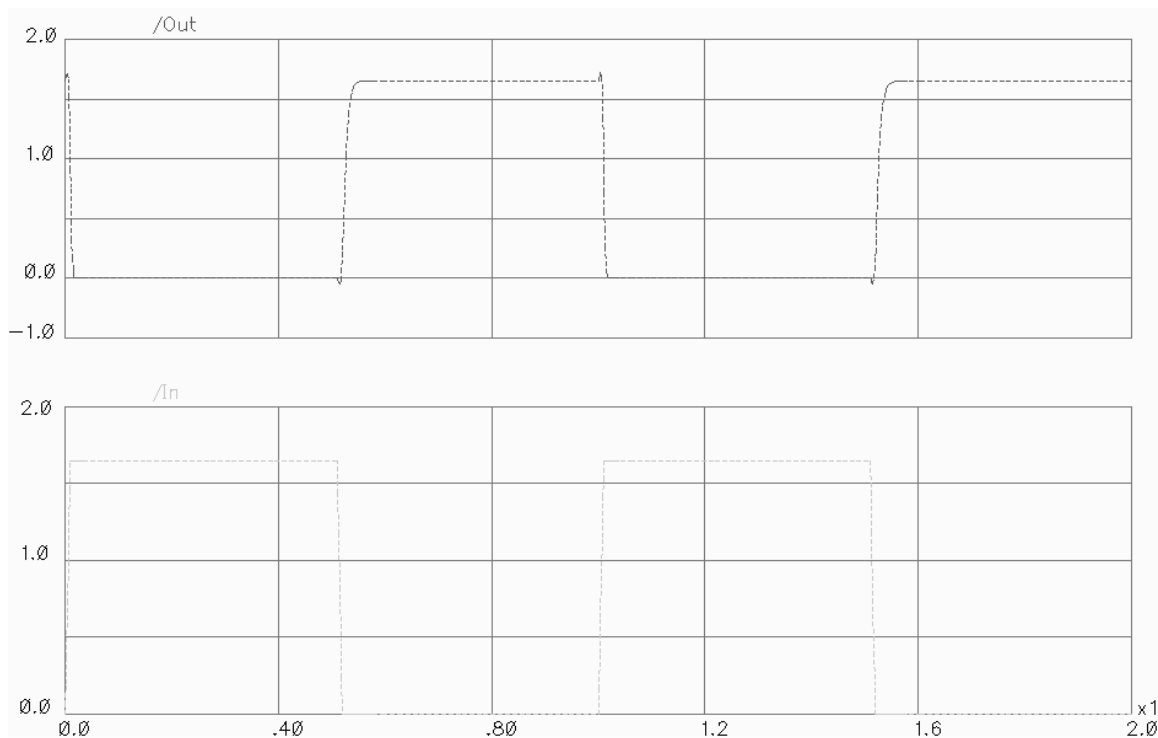


Εικόνα 11 Επιλογή Ανάλυσης

Όπως φαίνεται και στην εικόνα σε αυτό επιλέγω tran που αντιστοιχεί σε Transient Analysis, και καθορίζω στο πεδίο Stop Time την επιθυμητή διάρκεια της προσομοίωσής μου. Η επιλογή ανά κύκλωμα γίνεται με γνώμονα το μήκος της περιόδου των παλμών εισόδου ούτως ώστε η ανάλυση να επιτρέπει όλες τις δυνατές τιμές εξόδου που μπορούν να εμφανιστούν. Επόμενο στάδιο είναι ο καθορισμός εκείνων των κυματομορφών του κυκλώματος των οποίων η συμπεριφορά μας ενδιαφέρει. Αυτό γίνεται μέσω του Outputs→To Be Plotted→Select on Schematic. Το αποτέλεσμα της επιλογής αυτής είναι να επιλέξουμε με το ποντίκι μας πάνω στο ίδιο το σχηματικό τα καλώδια εκείνα ή τους αντίστοιχους ακροδέκτες και κόμβους των οποίων τα χαρακτηριστικά μεγέθη θέλουμε να μελετήσουμε. Στο συγκεκριμένο παράδειγμα επιλέχθηκαν οι ακροδέκτες εισόδου και εξόδου In, Out καθώς αυτούς μας ενδιαφέρει η μεταβολή του επιπέδου της τάσης για να πιστοποιηθεί η ορθή λειτουργία του κυκλώματος. Το τελευταίο βήμα στη διαδικασία γίνεται με την επιλογή Simulation→Run οπότε και πραγματοποιείται η προσομοίωση. Τότε εμφανίζονται στην οθόνη οι κυματομορφές που είχαμε επιλέξει και πιστοποιείται η ορθή λειτουργία του αντιστροφέα. Εφόσον αυτό ισχύει μπορούμε να προχωρήσουμε στο επόμενο βήμα της διαδικασίας σχεδίασης.

Πρέπει να παρατηρηθεί εδώ το ότι ενώ το SpectreS είναι ένα αρκετά εύχρηστο εργαλείο προσομοίωσης έχει εντούτοις το μειονέκτημα του ότι δεν ενδείκνυται για την

προσομοίωση κυκλωμάτων πολλαπλών εισόδων και εξόδων, καθώς αυτό θα σήμαινε να τις τοποθετήσουμε και να καθορίσουμε τις παραμέτρους όλων με το χέρι και μία προς μία κάτι που είναι πολύ χρονοβόρο. Για αυτό το λόγο σε επόμενα κυκλώματα υπάρχουν περιπτώσεις όπου για τις προσομοιώσεις επιλέχθηκε το hspiceS το οποίο αν και λιγότερο εύχρηστο δίνει τη δυνατότητα παρέμβασης για την προσομοίωση απευθείας στο δικτύωμα. Αντιθέτως το SpectreS αυτόματα εξάγει το δικτύωμα και γράφει αρχεία Spice σύμφωνα με τις παραμέτρους του κυκλώματος. Το αποτέλεσμα της προσομοίωσης φαίνεται στην παρακάτω εικόνα.



Εικόνα 12 Κυματομορφές Εξόδου Αναστροφεία

Μέχρι αυτό το σημείο έχουμε δημιουργήσει το σχηματικό ενός λογικού κυκλώματος, έχουμε δημιουργήσει το αντίστοιχο σύμβολο, και έχουμε ελέγξει μέσω της προσομοίωσης τη λειτουργία του. Επαναλαμβάνεται εδώ ότι αυτή η διαδικασία προσομοίωσης μελετά μόνο τη διακοπτική συμπεριφορά και όχι τους χρονισμούς, την καθυστέρηση και την κατανάλωση ισχύος του κυκλώματος.

Κατασκευή του Φυσικού Σχεδίου:

Η σχεδίαση του Φυσικού σχεδίου ενός ψηφιακού κυκλώματος είναι ίσως το πιο “επίπονο” μέρος της διαδικασίας σχεδίασης, καθώς παίζει το σημαντικότερο ρόλο στη φυσική υλοποίησή του και τα χαρακτηριστικά που αυτό τελικά θα έχει. Κεντρικός άξονας της σχεδίασης ενός ολοκληρωμένου θα πρέπει να είναι βελτιστοποίηση της απόδοσής του, της οποίας ο χαρακτηρισμός εξαρτάται από παραμέτρους όπως η ταχύτητα μετάδοσης, η επιφάνεια που καταλαμβάνει τελικά το ολοκληρωμένο πάνω στο chip, καθώς και η κατανάλωση ισχύος. Λαμβάνοντας αυτά υπόψη μας μπορούμε να πούμε ότι η φιλοσοφία της σχεδίασης θα πρέπει να καθορίζει αυτά ακριβώς τα χαρακτηριστικά (των οποίων η βελτιστοποίηση δεν είναι συνήθως συμβατή), σύμφωνα με τις εκάστοτε ανάγκες μας. Ο καθορισμός των παραπάνω γίνεται μέσω της σχεδίασης του Φυσικού σχεδίου, το οποίο μας δίνει μια γεωμετρική περιγραφή της φυσικής υλοποίησης, καθώς και μια σχετική τοποθέτηση των μασκών της υλοποίησης.

Συγκεκριμένα, στο φυσικό σχέδιο καθορίζονται τα μεγέθη των τρανζίστορ, των γραμμών διασύνδεσης πολυπυριτίου και μετάλλου καθώς και των επαφών μεταξύ διαφορετικών στρωμάτων και υλικών. Όσον αφορά λοιπόν το μέγεθος ενός ολοκληρωμένου, σε σχέση με την επιφάνεια που καταλαμβάνει στο chip στόχος είναι η κατασκευή όσο πιο συγκεντρωμένων (lumped) κυκλωμάτων που εξασφαλίζουν τις μικρές καθυστερήσεις που αυτά εισάγουν κατά τη μεταφορά ενός σήματος. Επίσης το όσο το δυνατόν μικρότερο πλάτος γραμμών μεταφοράς και μέγεθος τρανζίστορ και επαφών ελαχιστοποιεί τις παρασιτικές χωρητικότητες οι οποίες επίσης συμβάλλουν αρνητικά στα φαινόμενα καθυστερήσεων του κυκλώματος. Όμως ένας άλλος παράγοντας που πρέπει να ληφθεί υπόψη είναι η αντίσταση των επιμέρους στοιχείων ενός κυκλώματος. Ενώ λοιπόν για μείωση των παρασιτικών χωρητικοτήτων επιζητούμε στοιχεία με όσο το δυνατόν μικρότερα μεγέθη, για να μειώσουμε τις αντιστάσεις προσπαθούμε να έχουμε στοιχεία με μικρό μήκος πάλι αλλά αντιθέτως με πριν μεγάλο πλάτος. Επειδή κοινός τόπος σε όλα αυτά είναι η μείωση του μήκους των γραμμών μεταφοράς, στη σχεδίαση κυρίως αυτό ήταν το μέλημά μας.

Ιδιαίτερα για τον αναστροφέα όπως είναι γνωστό από την ανάλυση του παρατηρούμε ότι συνήθως στη συμπληρωματική λογική CMOS επιδιώκουμε τα μεγέθη των συμπληρωματικών τρανζίστορ PMOS, NMOS και ειδικά τα πλάτη αυτών να είναι

σε αναλογία $W_p=2/3W_n$ ούτως ώστε να επιτυγχάνονται ίδιοι χρόνοι ανόδου και καθόδου ενός σήματος που διέρχεται από αυτόν. Εδώ δεν θα ακολουθήσουμε αυτόν τον κανόνα καθώς αυτό δεν είναι αναγκαίο πάντα, ιδιαίτερα σε τεχνολογίες μικρότερων διαστάσεων όπως θα φανεί και από τις υλοποιήσεις της εργασίας αυτής. Εδώ προτιμήσαμε να διατηρήσουμε τις ελάχιστες διαστάσεις της τεχνολογίας.

Για τη σχεδίαση του φυσικού σχεδίου γενικά υπάρχουν σχεδιαστικοί κανόνες που σχετίζονται με την εκάστοτε τεχνολογία, η λογική και χρησιμότητα των οποίων θα αναλυθούν διεξοδικότερα στο επόμενο στάδιο της ροής σχεδίασης (DRC έλεγχος).

Σχεδίαση

Για τη σχεδίαση του φυσικού σχεδίου εκτός από τα παραπάνω που αναφέρθηκαν θα πρέπει να έχουμε επιλέξει την λογική της σχεδίασης η οποία ανάλογα με τα επιθυμητά χαρακτηριστικά του κυκλώματος μπορεί να διαφέρει ανάμεσα στη συμπληρωματική λογική CMOS, τη λογική BiCMOS, τη λογική Ψευδό-nMOS κ.ο.κ.[1][2][3] Οι διαφορετικές λογικές σχεδίασης προσφέρουν ανάλογα με το επιθυμητό αποτέλεσμα κατάλληλες διαστάσεις στο κύκλωμα, κατάλληλη ταχύτητα και ηλεκτρικά χαρακτηριστικά. Για τη συγκεκριμένη σχεδίαση καθώς και σε όλη την εργασία χρησιμοποιείται τελικά η συμπληρωματική λογική CMOS για να εξασφαλίζεται η σωστή λειτουργία του κυκλώματος σε όλες τις περιπτώσεις (κάτι που δε συμβαίνει πάντα με όλες τις λογικές οικογένειες CMOS).

Για τη σχεδίαση όπως αναφέραμε θα χρησιμοποιήσουμε το σχηματικό που σχεδιάσαμε (schematic) καθώς και προαιρετικά ένα διάγραμμα ροής σήματος το οποίο αναπαριστά τον τρόπο που διατρέχουν τα διάφορα σήματα εισόδου εξόδου το κύκλωμα καθώς και οι τάσεις τροφοδοσίας. Αυτό το στάδιο είναι ιδιαίτερα σημαντικό στον καθορισμό του προσανατολισμού της σχεδίασης ενός ψηφιακού κυκλώματος καθώς στις περισσότερες περιπτώσεις αυτό θα αποτελέσει κομμάτι ενός μεγαλύτερου κυκλώματος. Εδώ επιλέχθηκε ο οριζόντιος προσανατολισμός με τις γραμμές τροφοδοσίας vdd και gnd στο πάνω και το κάτω μέρος του κυκλώματος αντίστοιχα και την είσοδο και την ανεστραμμένη έξοδο ενδιάμεσα και παράλληλα προς αυτές.

Πρέπει εδώ να αναφερθεί ότι κάθε τεχνολογία παρέχει συγκεκριμένα υλικά ή

στρώματα καλύτερα (layers) για την μεταφορά σημάτων (εδώ poly, Metal-1, Metal-2, Metal-3) από τα οποία επιλέγουμε αυτά που βοηθούν στη σχεδίαση (θέματα γεωμετρίας σχεδίασης, χωρητικότητας, μεγέθους, βελτιστοποίησης σχεδίασης κτλ.).

Με βάση αυτά στο συγκεκριμένο αναστροφέα επιλέχθηκε η γραμμές τροφοδοσίας και εξόδου να υλοποιηθούν στο στρώμα Metal-1 ενώ η είσοδος στο poly. Η επιλογή του poly έγινε εδώ για να μη χρησιμοποιηθεί επαφή περάσματος μεταξύ poly και Metal-1 κάτι που θα αύξανε τις παρασιτικές χωρητικότητες λόγω της επιφανείας της επαφής. Βέβαια αυτό εδώ γίνεται για λόγους απλοποίησης, και δε σημαίνει ότι τελικά στη διασύνδεση του αναστροφέα με το υπόλοιπο ολοκληρωμένο δε θα χρησιμοποιηθεί μια τέτοια επαφή (αντίθετα είναι πολύ πιο επιθυμητή μια επαφή poly και Metal-1 η οποία θα διοχετεύει ένα σήμα σε έναν αγωγό μετάλλου παρά ένας μεγάλου μήκους αγωγός πολυπυριτίου ο οποίος θα εισαγάγει μεγάλες καθυστερήσεις στο σήμα μας λόγω της μεγάλης αντίστασης του υλικού).

Είμαστε πλέον έτοιμοι να δημιουργήσουμε το φυσικό σχέδιο του αναστροφέα. Με την ίδια διαδικασία που ακολουθήσαμε προηγουμένως ανοίγουμε ένα καινούργιο Cellview μέσα στην ίδια βιβλιοθήκη που δημιουργήσαμε και το σχηματικό, με τη μόνη διαφορά του ότι εδώ στο πεδίο επιλογής του εργαλείου επιλέγουμε το Virtuoso που αυτόματα συμπληρώνει το πεδίο View Name με την περιγραφή layout. Πατώντας OK ανοίγει το κεντρικό παράθυρο σχεδίασης του Virtuoso καθώς και ένα άλλο παράθυρο το παράθυρο επιλογής στρώματος (Layer Selection Window ή LSW) όπως φαίνεται στο παρακάτω σχήμα.



Εικόνα 13 Παράθυρο Φυσικής Σχεδίασης και LSW

LSW

Το παράθυρο επιλογής στρώματος επιτρέπει στον χρήστη την επιλογή του στρώματος του φυσικού σχεδίου. Σε αυτό είναι καταχωρημένα όλα τα διαφορετικά στρώματα που επιτρέπει η τεχνολογία και μέσω αυτού ο χρήστης μπορεί να καθορίσει ποια στρώματα θα είναι ορατά στο παράθυρο σχεδίασης καθώς και ποια είναι επιλέξιμα από το χρήστη. Σημειώνουμε εδώ ότι το παράθυρο του Virtuoso πάντα χρησιμοποιεί και ανοίγει μαζί με το LSW.

VIRTUOSO

Ο Virtuoso είναι το κύριο εργαλείο σχεδίασης φυσικού σχεδίου του Cadence. Στο παράθυρο που εμφανίζεται παρατηρείται στο δεξιό μέρος μια κάθετη γραμμή εργαλείων που προσφέρει εύκολη πρόσβαση σε λειτουργίες του εργαλείου. Επίσης στο πάνω μέρος υπάρχει μια γραμμή πληροφοριών που παρέχει πληροφορίες σχετικά με τις συντεταγμένες του σχεδιαγράμματος και της λειτουργίας που έχει επιλεγθεί.

NMOS

Η σχεδίαση θα ξεκινήσει σε πρώτη φάση από το φυσικό σχέδιο του nMOS τρανζίστορ του αναστροφέα. Από το σχηματικό γνωρίζουμε τις διαστάσεις αυτού όπως τις είχαμε ορίσει εμείς ($w=270\text{nm}$, $l=180\text{nm}$). Στην πραγματικότητα κάθε τεχνολογία ορίζει κάποιες ελάχιστες διαστάσεις που καθιστούν το σχεδιαζόμενο κύκλωμα υλοποιήσιμο και λειτουργικό με σκοπό την αποφυγή σφαλμάτων υλοποίησης και μη επιθυμητών ηλεκτρικών φαινομένων. Έτσι για τη συγκεκριμένη σχεδίαση προσπαθήσαμε να διατηρήσουμε τη λογική των ελάχιστων διαστάσεων τόσο στην κατασκευή των τρανζίστορ όσο και στα μεγέθη των πηγαδιών, περιοχών διαχύσεων, γραμμών μεταφοράς κτλ.

Όπως είναι γνωστό και από την εισαγωγή τα ψηφιακά κυκλώματα κατασκευάζονται πάνω σε δισκία πυριτίου τα οποία έχουν υποστεί ελαφρά νόθευση με φορείς φορτίου. Έτσι έχουμε ανάλογα υπόστρωμα με ελαφρά νόθευση p (οπών) ή n (ηλεκτρονίων). Το υπόστρωμα σχεδίασης υποτίθεται ότι είναι τύπου p οπότε η n-διάχυση του τρανζίστορ σχεδιάζεται απευθείας πάνω στην επιφάνεια σχεδίασης (εν αντιθέσει με το pMOS που είναι απαραίτητη η σχεδίαση πηγαδιού τύπου n μέσα στο οποίο τοποθετούνται οι διαχύσεις του τρανζίστορ). Το πλάτος του τρανζίστορ (width) καθορίζεται από το πλάτος της n-διάχυσης του τρανζίστορ ενώ το μήκος (length) από αυτό του πολυπυριτίου της πύλης που θα σχεδιαστεί. Για τη σχεδίαση της περιοχής n-διάχυσης πηγαίνουμε στο LSW και επιλέγουμε το layer n-active. Έπειτα από τη γραμμή εργαλείων του Virtuoso ακολουθούμε τη διαδρομή Create Rectangle (ή εναλλακτικά το αντίστοιχο πλήκτρο της κάθετης γραμμής εργαλείων) οπότε έχουμε πλέον επιλεγμένη τη λειτουργία δημιουργίας παραλληλογράμμου. Ανάλογα που θέλουμε αυτό να δημιουργηθεί επιλέγουμε τη μία γωνία του με το ποντίκι (αριστερό κλικ) και μετά το σύρουμε έως ότου φτάσει στην επιθυμητή διάσταση η οποία φαίνεται στην γραμμή πληροφοριών όπου όλες οι διαστάσεις είναι σε μm). Η επιλεγμένες διαστάσεις εδώ είναι οι $0,27\mu\text{m} \times 0,27\mu\text{m}$ οι οποίες είναι οι ελάχιστες της συγκεκριμένης τεχνολογίας για δημιουργία n-διάχυσης.

Κάθε περιοχή διάχυσης πρέπει να χαρακτηρίζεται ως τύπου p ή n. Αυτό επιτυγχάνεται ορίζοντας ένα παράθυρο νόθευσης που ονομάζεται n-active (αντίστοιχα p-active). Με την ίδια διαδικασία με πριν δημιουργούμε ένα παραλληλόγραμμο στο

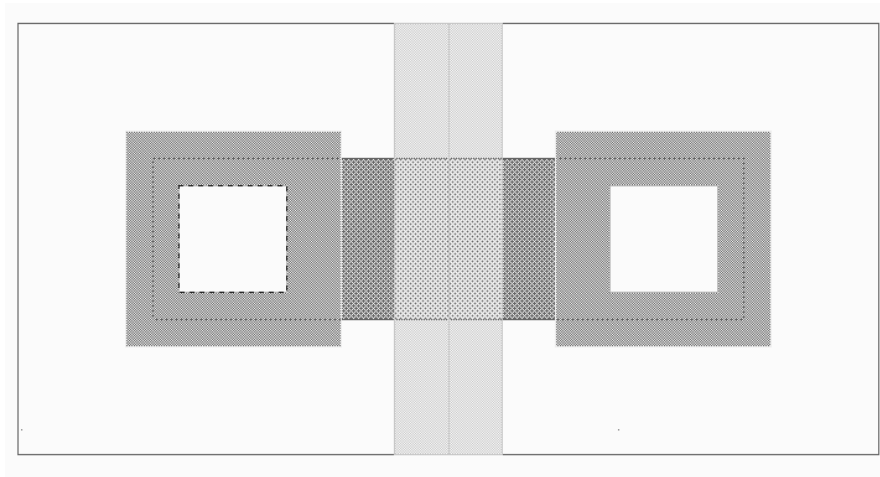
layer n-select το οποίο εκτείνεται τουλάχιστον $0.18\mu\text{m}$ από το κάθε πλευρά της περιοχής διάχυσης.

Το επόμενο βήμα είναι η δημιουργία του πολυπυριτίου της πύλης. Πάλι επιλέγουμε από το LSW το layer poly αλλά αυτή τη φορά ακολουθούμε τη διαδρομή Create Path (η από την αντίστοιχη επιλογή της κάθετης γραμμής εργαλείων). Το πολυπυρίτιο σχεδιάζεται στο μέσο της περιοχής διάχυσης και εκτείνεται από τη μία πλευρά της περιοχής n-active έως την απέναντί της. Σημειώνεται εδώ ότι το μήκος καναλιού του τρανζίστορ (το μήκος δηλαδή που αναφέραμε και πριν) καθορίζεται από το πολυπυρίτιο της πύλης και είναι σε εκ των προτέρων καθορισμένο στην ελάχιστη διάσταση. Αν γενικά θελήσουμε να μεταβάλλουμε κάποια από τις διαστάσεις ή τις ιδιότητες ενός στρώματος μπορούμε να το κάνουμε αυτό από τις ιδιότητες του συγκεκριμένου με τρόπο παρόμοιο με αυτόν που περιγράψαμε κατά την δημιουργία του σχηματικού, ή και με κατάλληλες διαδικασίες επεξεργασίας που παρέχει το Virtuoso οι οποίες και θα περιγραφούν όπου αυτό κριθεί αναγκαίο.

Μετά το πολυπυρίτιο δημιουργούνται οι επαφές ένωσης των περιοχών πηγής και υποδοχής του τρανζίστορ. Συνοπτικά αναφέρουμε ότι δημιουργούμε δύο τετράγωνα διαστάσεων $0,18\mu\text{m}$ τα οποία τοποθετούνται στο εσωτερικό της διάχυσης σε απόσταση $0.09\mu\text{m}$ από την άκρη της και εκατέρωθεν του πολυπυριτίου της πύλης. Αυτά πραγματοποιούνται στο στρώμα Active Contact (ca). Εδώ πρέπει να προσέξουμε το εξής. Παρόλο που η περιοχή της διάχυσης σχεδιάστηκε με την ελάχιστη διάσταση, αυτή δεν περικλείει ικανοποιητικά την επαφή. Αυτό επιλύεται με τη δημιουργία δύο τετραγώνων n-διάχυσης με μέγεθος τέτοιο ώστε να περικλείουν τις επαφές κατά $0.09\mu\text{m}$ από κάθε πλευρά. Αντίστοιχα θα πρέπει να επεκτείνουμε και την περιοχή του n-select. Αυτό θα γίνει μέσω μιας λειτουργίας επεξεργασίας του Virtuoso. Ακολουθώντας τη διαδρομή Edit Stretch (ή απλά πατώντας s στο πληκτρολόγιο) επιλέγουμε το εργαλείο επέκτασης σχημάτων. Έπειτα επιλέγουμε προς ποια διάσταση θέλουμε να επεκτείνουμε το σχήμα έως ότου να μην έχουμε σχεδιαστικό σφάλμα (να περικλείει δηλαδή την περιοχή διάχυσης όσο κα πριν το n-select).

Στην ουσία οι ενεργές επαφές ορίζουν οπές στο οξειδίο και όχι τις ίδιες τις επαφές. Οι πραγματικές επαφές στις αντίστοιχες περιοχές διάχυσης γίνονται στο layer Metal-1. Για την πραγματοποίησή τους δημιουργούνται δύο τετράγωνα περιοχές που επικαλύπτουν τις επαφές κατά $0.09\mu\text{m}$ από κάθε πλευρά, όσο δηλαδή και η περιοχή

διάχυσης. Μετά από αυτή τη διαδικασία το NMOS είναι όπως φαίνεται στο παρακάτω σχήμα.



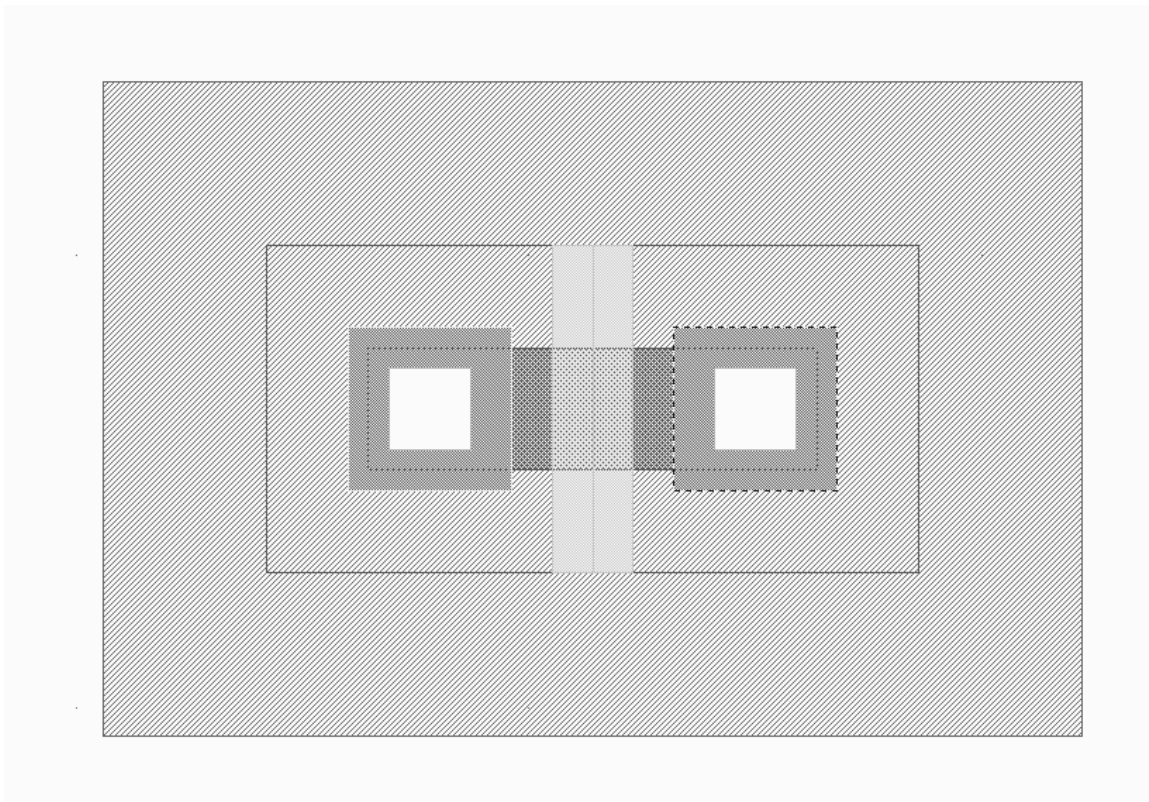
Εικόνα 14 Φυσικό Σχέδιο NMOS

PMOS

Η διαδικασία σχεδίασης του PMOS είναι σχεδόν ίδια με αυτή του NMOS με τη μόνη διαφοροποίηση του ότι αυτό υλοποιείται σε διαφορετικό υπόστρωμα και με διαφορετικά υλικά. Έτσι ακολουθούμε την ίδια με πριν διαδικασία (η οποία χάριν συντομίας δε θα περιγραφεί ξανά) με την διαφορά ότι εδώ αντί για n-διάχυση έχουμε p-διάχυση (χρησιμοποιούμε το layer p- active αντί του n- active), ενώ αυτό περικλείεται από παράθυρο p-select αντί για n-select που είχαμε προηγουμένως. Κατά τα άλλα, οι ενεργές επαφές, η υλοποίηση της πύλης με πολυπυρίτιο κτλ σχεδιάζονται κατά τον ίδιο ακριβώς τρόπο.

Αναφέρθηκε προηγουμένως ότι τα PMOS στοιχεία υλοποιούνται σε διαφορετικό υπόστρωμα από τα NMOS. Όπως είπαμε το υπόστρωμα σχεδίασης υποτίθεται ότι έχει υποστεί ελαφρά νόθευση p-τύπου. Προφανώς λοιπόν δεν μπορούμε να δημιουργήσουμε περιοχή p-διάχυσης πάνω στο υπόστρωμα καθώς θα είχαμε αγωγή φορέων (οπών στη συγκεκριμένη περίπτωση) από την περιοχή υψηλότερης προς την περιοχή χαμηλότερης συγκέντρωσης, με αποτέλεσμα η περιοχές διάχυσης του τρανζίστορ να μην έχουν τις επιθυμητές συγκεντρώσεις και χαρακτηριστικά. Έτσι είναι αναγκαία η δημιουργία ενός «πηγαδιού» n-τύπου το οποίο να απομονώνει την διάχυση του τρανζίστορ από το υπόστρωμα. Οπότε θα δημιουργήσουμε μια παραλληλόγραμμη περιοχή στο layer n-well

κατά τα γνωστά η οποία θα περικλείει το PMOS. Η τελική μορφή του PMOS φαίνεται στο παρακάτω σχήμα.



Εικόνα 15 Φυσικό Σχέδιο PMOS

Σημειώνεται εδώ ότι η σειρά με την οποία σχεδιάζονται τα διάφορα στρώματα δεν αντιστοιχεί με την πραγματική αλληλουχία στρώσεων στην παρασκευή του ολοκληρωμένου και μπορεί να γίνει τυχαία χωρίς αυτό να δημιουργεί πρόβλημα. Επίσης δεν παίζει ιδιαίτερο ρόλο το σε ποιο σημείο της επιφάνειας εργασίας θα σχεδιαστεί κάποιο αντικείμενο καθώς αυτό μπορεί να μετακινηθεί στην επιθυμητή θέση μέσω της διαδρομής Edit Move (ή απλά πατώντας το πλήκτρο m του πληκτρολογίου). Καλό θα είναι πάντως τα σχήματα να δημιουργούνται βάσει της τοπολογίας που προκύπτει από το σχηματικό (η από κάποια διαδικασία βελτιστοποίησης) εξ αρχής. Εδώ λοιπόν το PMOS θα πρέπει -αν δεν έχει ήδη σχεδιαστεί εκεί -να μεταφερθεί πάνω από το NMOS στην επιφάνεια εργασίας ώστε οι περιοχές διαχύσεων πηγής και υποδοχής καθώς και το πολυπυρίτιο της πύλης να είναι ευθυγραμμισμένα ως προς τον κάθετο άξονα. Επίσης η απόστασή μεταξύ τους θα πρέπει να είναι ίση η μεγαλύτερη από την ελάχιστη επιτρεπόμενη της τεχνολογίας.

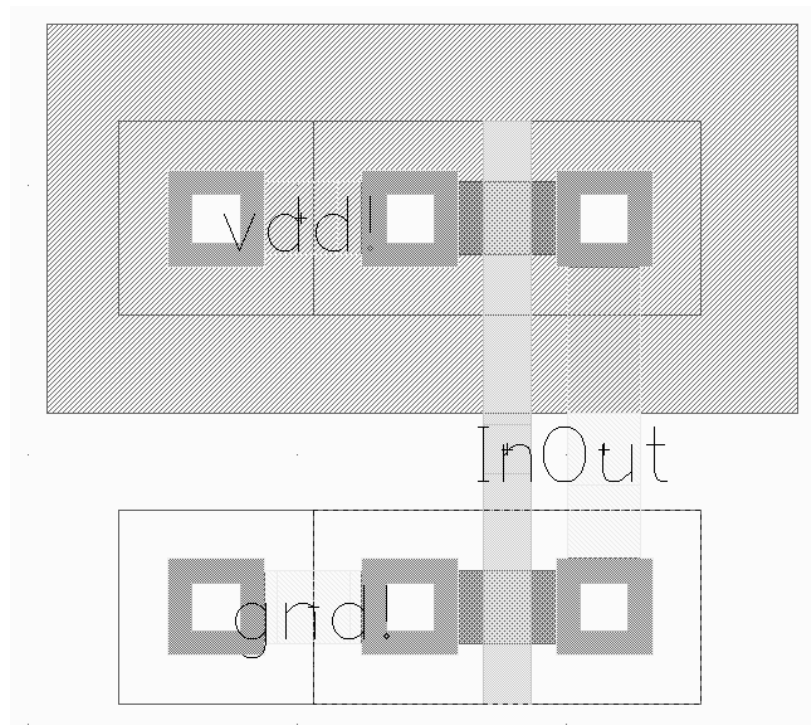
Η σύνδεση της εξόδου του αναστροφέα γίνεται με τη σύνδεση των περιοχών υποδοχής των τρανζίστορ PMOS και NMOS. Καθώς πρόκειται για συμμετρικές τοπολογίες δεν έχει σημασία ποιο τέτοιο ζεύγος θα επιλέξουμε. Έτσι δημιουργούμε ένα μονοπάτι αγωγής στο στρώμα Μέταλλο 1 και συνδέουμε τις επαφές των διαχύσεων. Η είσοδος του αντιστροφέα πραγματοποιείται με τη σύνδεση των πολυπυριτίων πύλης των δύο τρανζίστορ μέσω ενός μονοπατιού στο στρώμα poly.

Επόμενο βήμα είναι η δημιουργία των γραμμών τροφοδοσίας του κυκλώματος, οι οποίες γενικά θα πρέπει να σχεδιάζονται με τέτοιο τρόπο ώστε να είναι «κοντά» με τα αντίστοιχα τρανζίστορ με τα οποία θα συνδεθούν. Έτσι η γραμμή υψηλότερης κατάστασης (το λογικό '1') ή αλλιώς vdd πρέπει να κατασκευαστεί κοντά στο PMOS και αντίστοιχα η γείωση gnd κοντά στο NMOS. Αυτές θα υλοποιηθούν στο στρώμα Metal 1 ως μονοπάτια οριζόντιας κατεύθυνσης (όπως ορίστηκε στο διάγραμμα ροής σήματος και για τους λόγους που αναφέρθηκαν εκεί) και θα συνδεθούν με κάθετα μονοπάτια μετάλλου με τις πηγές των αντιστοίχων τρανζίστορ.

Αφού ολοκληρώσουμε και τη σύνδεση των τρανζίστορ με τις γραμμές τροφοδοσίας θα πρέπει να πολώσουμε το υπόστρωμα πάνω στο οποίο είναι κατασκευασμένο κάθε τρανζίστορ στη αντίστοιχη τάση τροφοδοσίας. Αυτό γίνεται μέσω των επαφών υποστρώματος οι οποίες συνδέουν κάθε υπόστρωμα με την αντίστοιχη τάση τροφοδοσίας. Έτσι p-υπόστρωμα πάνω στο οποίο είναι κατασκευασμένο το NMOS θα πρέπει να συνδεθεί με την γραμμή gnd μέσω μιας επαφής υποστρώματος p-τύπου. Αυτή υλοποιείται ως εξής. Πάνω στο p-υπόστρωμα δημιουργούμε μια τετράγωνη περιοχή στο layer p-select αφού θέλουμε p-τύπου επαφή. Μέσα σε αυτή δημιουργούμε διάχυση p-τύπου στο layer p-active κατά τα γνωστά φροντίζοντας να μην παραβαίνουμε τους σχεδιαστικούς κανόνες της τεχνολογίας. Μέσα σε αυτή τη διάχυση δημιουργούμε κατά τα γνωστά ενεργή επαφή στο layer ca και καλύπτουμε ολόκληρη την περιοχή διάχυσης με Μέταλλο 1 και δημιουργούμε μονοπάτι αγωγής στο ίδιο επίπεδο με την γραμμή τροφοδοσίας gnd οπότε ολοκληρώνεται και η διαδικασία σχεδίασης της επαφής υποστρώματος και η πόλωση του πηγαδιού. Με αντίστοιχο τρόπο γίνεται και η πόλωση του n-πηγαδιού με αντίστοιχη επαφή n-τύπου και σύνδεση με τη γραμμή τροφοδοσίας vdd. Ενδέχεται να χρειαστεί να επεκτείνουμε και τα όρια του n-πηγαδιού καθώς αυτό θα πρέπει να περικλείει ικανοποιητικά και την

καινούρια περιοχή διάχυσης που δημιουργήσαμε.

Για να είναι λειτουργικό και «ευανάγνωστο» το σχέδιό μας θα πρέπει να δημιουργήσουμε ακροδέκτες τροφοδοσίας του φυσικού σχεδίου καθώς και labels αναγνώρισης αυτών. Για τη δημιουργία label ακολουθούμε τη διαδρομή Create Label οπότε εμφανίζεται το αντίστοιχο παράθυρο. Σε αυτό ορίζουμε το όνομα του label και το μέγεθος με το οποίο θα εμφανίζεται στην οθόνη. Πατώντας OK μπορούμε να επιλέξουμε που πάνω στο αντίστοιχο layer θα τοποθετηθεί το label και το τοποθετούμε με απλό κλικ. Έτσι δημιουργούμε labels (In, Out αντίστοιχα) καθώς και για τις γραμμές τροφοδοσίας vdd, gnd. Για να δημιουργήσουμε τους αντίστοιχους ακροδέκτες επιλέγουμε τους ακροδέκτες που βρίσκονται στα ίδια layers και ακολουθούμε τη διαδρομή Create Pins From Labels. Εκεί επιλέγουμε Selected στα ειδικά πλήκτρα και ορίζουμε το αντίστοιχο layer πάνω στο οποίο τοποθετήσαμε το label. Πατάμε OK και οι ακροδέκτες τοποθετούνται αυτόματα. Για να καθορίσουμε το είδος καθενός από αυτούς τους επιλέγουμε και πηγαίνοντας στις ιδιότητές τους κατά τα γνωστά καθορίζουμε αν είναι ακροδέκτες Εισόδου, Εξόδου ή E/E. Μετά από όλα αυτά το φυσικό σχέδιο του αναστροφέα έχει ολοκληρωθεί και φαίνεται στο παρακάτω σχήμα.

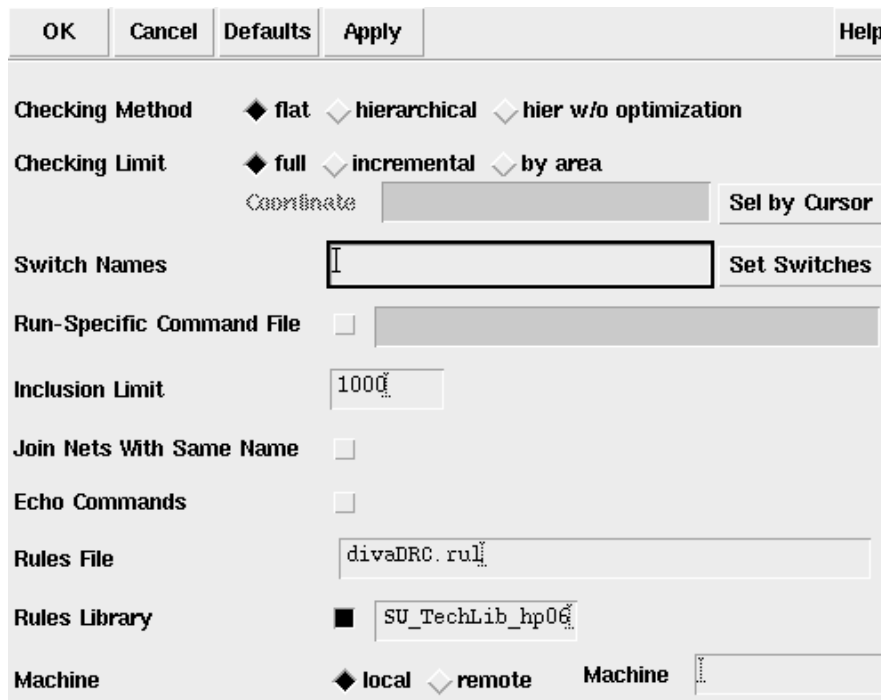


Εικόνα 16 Φυσικό Σχέδιο Αναστροφέα

Έλεγχος Σχεδιαστικών Κανόνων (DRC)

Ως κανόνες σχεδίασης ορίζουμε ένα σύνολο γεωμετρικών περιορισμών στην τεχνική εργασία φυσικής σχεδίασης που εξασφαλίζουν τη διατήρηση στο δισκίο της τοπολογίας και της γεωμετρίας της σχεδίασης. Γενικά αφορούν τους γεωμετρικούς κανόνες που πρέπει να ακολουθήσουμε στη σχεδίαση ώστε να αποφευχθούν σφάλματα υλικού που επηρεάζουν τόσο την αναπαραγωγή των σχημάτων από τις διάφορες μάσκες όσο και την αλληλεπίδραση μεταξύ διαφορετικών στρώσεων. Ουσιαστικά δεν αποτελούν τόσο αυστηρούς κανόνες σχεδίασης καθώς μπορούν σχεδιάσεις που τους παραβαίνουν να αποδειχτούν λειτουργικές, όσο περισσότερο όρια σφαλμάτων τα οποία μας οδηγούν σε σχεδιάσεις με μικρότερες πιθανότητες αποτυχίας. Το Cadence μας παρέχει τη δυνατότητα ελέγχου αυτών των σφαλμάτων μέσω του ελέγχου DRC που είναι ενσωματωμένη στο Virtuoso διαδικασία. Τα τυχόντα σφάλματα που θα εντοπιστούν με αυτή τη διαδικασία θα εμφανιστούν τόσο στο ίδιο το φυσικό σχέδιο όσο και σε ειδικό ξεχωριστό παράθυρο.

Για να εκτελέσουμε τον DRC έλεγχο ακολουθούμε τη διαδρομή της γραμμής εργαλείων Verify→DRC οπότε και ανοίγει το αντίστοιχο παράθυρο του ελέγχου που φαίνεται παρακάτω.



Εικόνα 17 Παράθυρο DRC

Σε αυτό το παράθυρο προσφέρονται διάφορες επιλογές σχετικά με το τι πρέπει να περιλαμβάνει ο έλεγχος καθώς και η τεχνολογία η οποία χρησιμοποιείται. Αναφέρεται εδώ ότι υπάρχει η επιλογή να συνενωθούν (και άρα να αγνοηθούν ως λάθη) pins με το ίδιο όνομα, κάτι που αργότερα σε μεγαλύτερα και πιο πολύπλοκα φυσικά σχέδια θα χρησιμοποιήσουμε για να αποφύγουμε την εισαγωγή μεγάλων γραμμών διασύνδεσης που θα εισήγαγαν μεγάλες χωρητικότητες.

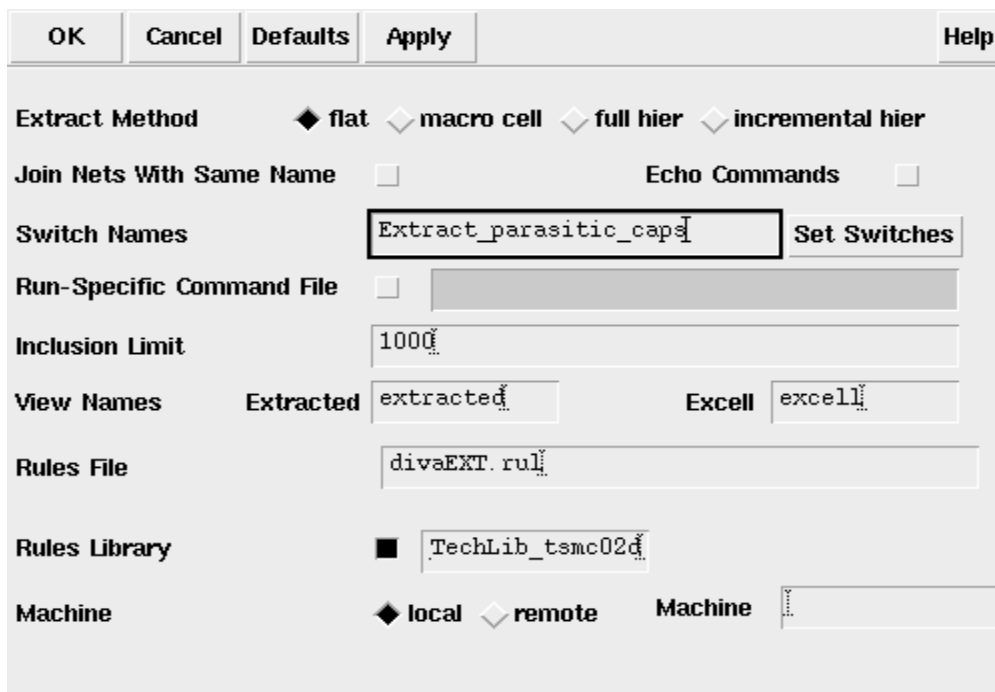
Πατώντας OK ο έλεγχος πραγματοποιείται και εάν υπάρχουν σφάλματα αυτά θα εμφανιστούν στο φυσικό σχέδιο ως λευκές γραμμές. Για να αναγνωρίσουμε ακριβώς τι είδους είναι το καθένα από αυτά, ακολουθούμε τη διαδρομή Verify→Markers→Explain οπότε στην οθόνη εμφανίζεται ένα άλλο παράθυρο στο οποίο με επιλογή κάθε λάθους ξεχωριστά αναφέρεται ο κανόνας σχεδίασης που έχουμε παραβεί. Η διαδικασία αυτή συνήθως επαναλαμβάνεται συχνά κατά τη σχεδίαση πολύπλοκων διατάξεων για την αποφυγή μεγάλου αριθμού λαθών.

Εξαγωγή (Extract-δημιουργία δικτύωματος)

Η διαδικασία που προηγήθηκε (δηλαδή η σχεδίαση του φυσικού σχεδίου) περιέχει μόνο φυσικές παραμέτρους, και στην πραγματικότητα πρόκειται για συντεταγμένες πολυγώνων διαφορετικών υλικών που βρίσκονται σε διαφορετικά στρώματα. Η διαδικασία της εξαγωγής δημιουργεί μια ακριβή λίστα των σχεδιασμένων συσκευών. Η διαδικασία πραγματοποιείται μετά τη σχεδίαση της μάσκας (layout) με σκοπό τη δημιουργία αυτής της λίστας η οποία θα χρησιμοποιηθεί για την περεταίρω προσομοίωση του κυκλώματος. Η εξαγωγή του κυκλώματος αναγνωρίζει τα διάφορα τρανζίστορ που αποτελούν το κύκλωμα, τις διασυνδέσεις μεταξύ τους και μεταξύ των διαφόρων στρωμάτων, καθώς και τις παρασιτικές χωρητικότητες και αντιστάσεις που αναγκαστικά υπάρχουν. Έτσι το δίκτυωμα που έχει εξαχθεί περιλαμβάνει ακριβείς περιγραφές των πραγματικών διαστάσεων και παρασιτικών των συσκευών οι οποίες καθορίζουν την απόδοση του κυκλώματος. Αυτή η περιγραφή θα χρησιμοποιηθεί επίσης για τη σύγκριση του φυσικού σχεδίου που σχεδιάσαμε με το σχηματικό που χρησιμοποιήσαμε ως «οδηγό».

Για την εξαγωγή του κυκλώματος από το κεντρικό παράθυρο του Virtuoso

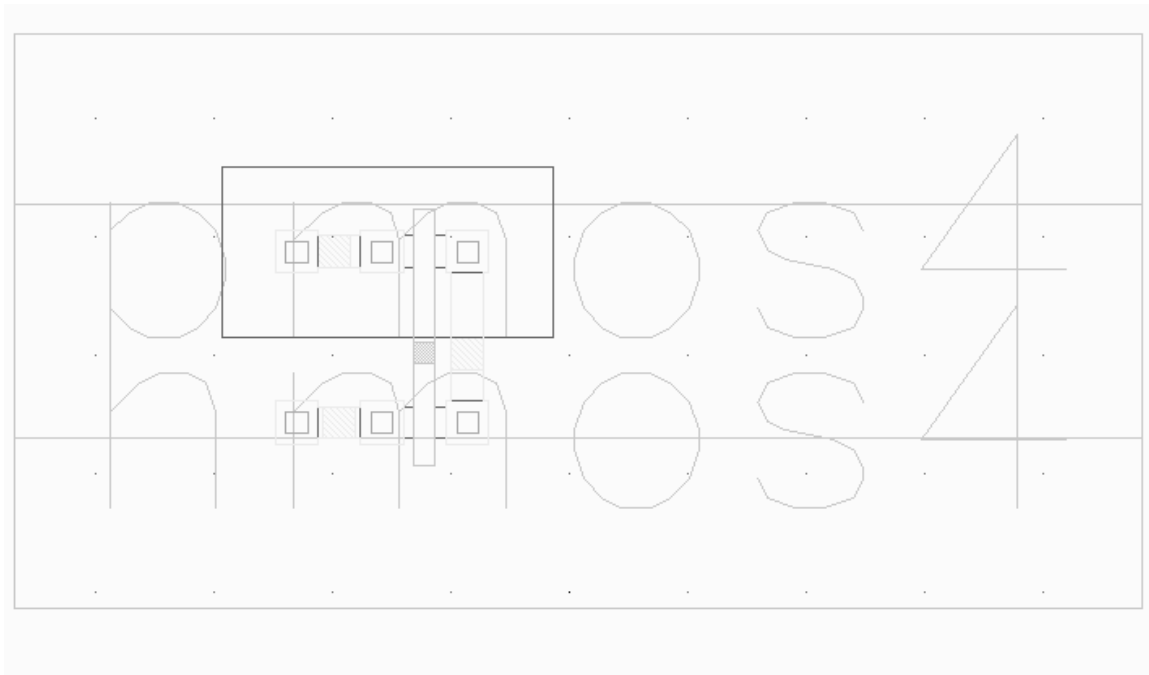
ακολουθούμε τη διαδρομή Verify Extract οπότε και εμφανίζεται το παράθυρο του εξαγωγέα. Πρέπει να σημειωθεί ότι με τις προεπιλεγμένες παραμέτρους αυτού του παραθύρου θα εξαχθούν ιδανικές συσκευές, οι οποίες θα προσεγγίζουν κατά πολύ αυτές που χρησιμοποιήθηκαν στο σχηματικό (αν δεν ταυτίζονται ήδη). Επειδή όμως μας ενδιαφέρουν τα παρασιτικά φαινόμενα που εμφανίζουν οι συσκευές που δημιουργήσαμε θα πρέπει να τροποποιήσουμε κατάλληλα τη μέθοδο εξαγωγής. Στο παρακάτω σχήμα φαίνεται το παράθυρο του εξαγωγέα.



Εικόνα 18 Παράθυρο Εξαγωγέα

Στο πεδίο Switch Names πατάμε το πλήκτρο Set Switches και στο παράθυρο επιλογής επιλέγουμε Extract_parasitic_caps. Αυτό επιτρέπει την εξαγωγή παρασιτικών χωρητικότητας. Πρέπει επίσης να πούμε ότι εάν προηγουμένως κατά το DRC έλεγχο έχουμε συσχετίσει pins με το ίδιο όνομα θα πρέπει να κάνουμε το ίδιο και σε αυτή την περίπτωση (με την επιλογή στο κεντρικό παράθυρο του εξαγωγέα Join Nets With Same Name). Πατώντας OK το φυσικό σχέδιο εξάγεται και δημιουργείται στη βιβλιοθήκη μας στο συγκεκριμένο Cell μια άλλη περιγραφή, η Εξαγμένη την οποία μπορούμε να ανοίξουμε κατά τα γνωστά από τον Library Manager. Η διαδικασία αυτή μπορεί να αποτύχει αν υπάρχουν λάθη, τα οποία φαίνονται στο παράθυρο του CIW.

Ανοίγοντας το εξαγμένο cellview από τον Library Manager θα παρουσιαστεί στην οθόνη μας το περίγραμμα του φυσικού σχεδίου που σχεδιάσαμε εκτός από τους ακροδέκτες E/E που εμφανίζονται ως συμπαγή παραλληλόγραμμα. Σε αυτό το παράθυρο έχουν αναγνωριστεί οι συσκευές που σχεδιάσαμε και παρουσιάζονται με τις διαστάσεις τους καθώς και οι παρασιτικές χωρητικότητες που εμφανίζονται, όπως φαίνεται στο παρακάτω σχήμα.



Εικόνα 19 Εξαγμένο Σχέδιο

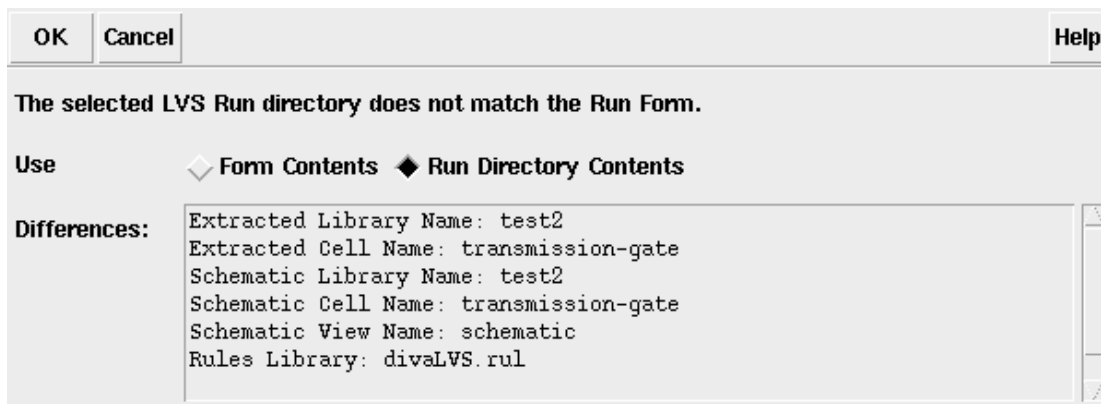
Πρέπει να αναφερθεί εδώ ότι σε περιπτώσεις μικρών παρασιτικών χωρητικότητων υπάρχει πιθανότητα να μην τις αναγνωρίσει το Cadence καθώς έχει ένα κατώφλι αναφοράς παρασιτικών χωρητικότητων κάτω από το οποίο δεν συμπεριλαμβάνει χωρητικότητες στο δικτύωμα (και το οποίο είναι τα $2 \times 10^{-15} \text{F}$).

Έλεγχος LVS (αντιστοίχιση σχηματικού – φυσικού σχεδίου)

Μέχρι τώρα και ακολουθώντας την προηγούμενη διαδικασία έχουμε δύο περιγραφές ενός κυκλώματος αναστροφέα εκ των οποίων η μία δημιουργήθηκε βασισμένη στην άλλη (το φυσικό σχέδιο με βάση το σχηματικό). Όμως δεν μπορούμε να είμαστε σίγουροι αν το σχεδιασμένο φυσικό σχέδιο αντιστοιχεί στο αντίστοιχο σχηματικό, με την έννοια του ότι μπορούν να υπάρχουν διαφορετικά μεγέθη συσκευών,

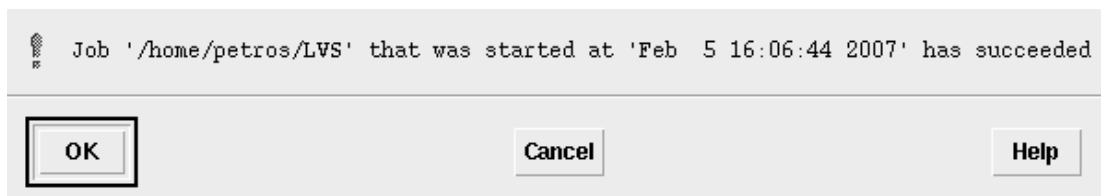
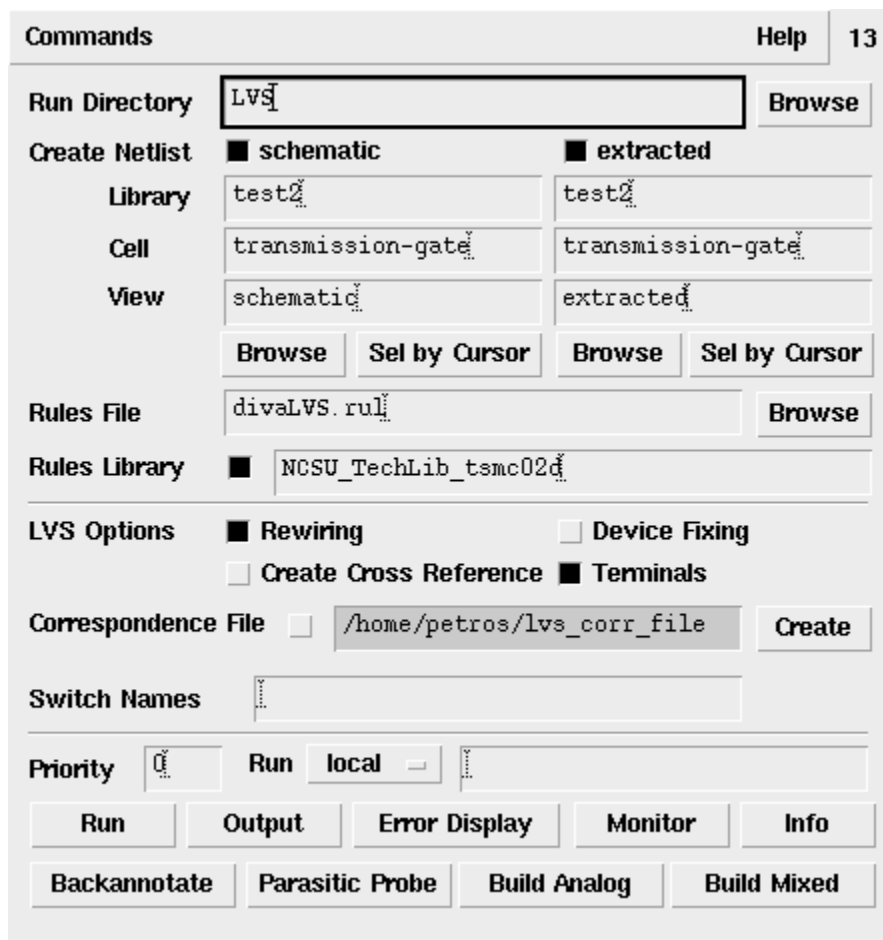
διαφορετική διασύνδεση μεταξύ τους κ.α.. Για να πιστοποιήσουμε ότι τα δικτυώματα που δημιουργήθηκαν για τις δύο περιγραφές ταιριάζουν θα πρέπει να γίνει ο συγκεκριμένος έλεγχος. Με αυτόν θα γίνει σύγκριση των δύο δικτυωμάτων για συνδέσεις που δεν ταιριάζουν ή συσκευές χωρίς να συμπεριλαμβάνονται στη σύγκριση οι παρασιτικές χωρητικότητες που αναγνωρίστηκαν κατά τη διαδικασία εξαγωγής του φυσικού σχεδίου. Αυτό γίνεται γιατί προφανώς δεν υπάρχουν αυτές στο σχηματικό αφού μιλάμε για ιδανικές συσκευές σε αυτό.

Από το παράθυρο του εξαγμένου cellview ακολουθούμε τη διαδρομή Verify→LVS οπότε και ανοίγει το παρακάτω παράθυρο. Σε αυτό επιλέγουμε Form Contents και πατάμε OK.



Εικόνα 20 Δημιουργία Περιεχομένου

Τότε ανοίγει το κεντρικό παράθυρο του LVS στο οποίο παρατηρούμε δύο στήλες, εκ των οποίων η μία αντιστοιχεί στην περιγραφή του σχηματικού και η άλλη στην εξαγμένη περιγραφή οι οποίες και θα συγκριθούν. Υπάρχουν διάφορες επιλογές για αυτό τον έλεγχο αλλά προς το παρόν θα αρκεστούμε στις προεπιλεγμένες του προγράμματος. Πατάμε RUN και αρχίζει ο αλγόριθμος της σύγκρισης. Μετά το τέλος της διαδικασίας, εμφανίζεται στην οθόνη το παρακάτω παράθυρο που μας ειδοποιεί αν έχει ολοκληρωθεί η διαδικασία.



Εικόνα 21 Παράθυρο και Μήνυμα Ολοκλήρωσης LVS

Πρέπει να τονιστεί εδώ ότι ενώ μας εμφανίζεται μήνυμα για την περάτωση της σύγκρισης αυτό δε σημαίνει και ότι τα δικτυώματα ταιριάζουν. Για να εξακριβωθεί αυτό από το παράθυρο του LVS πατάμε το πλήκτρο Output οπότε εμφανίζεται στην οθόνη το παρακάτω παράθυρο, το οποίο περιέχει πληροφορίες για την κάθε περιγραφή του κυκλώματος, καθώς και αναφορά στο πού αυτές ταιριάζουν και εάν διαφέρουν τελικά. Σε περίπτωση διαφοροποίησης θα πρέπει να επιστρέψουμε σε κάποια από τις δύο περιγραφές και να κάνουμε τις απαραίτητες διορθώσεις ακολουθώντας τελικά τις ίδιες με πριν διαδικασίες. Παρακάτω φαίνεται η έξοδος του LVS ελέγχου.

```

File                                                                    Help 14
|@(#)$GDS: LVS version 5.1.0 06/11/2004 23:14 (intelb5.Cadence.COM) $
Command line: /skata/tools.lnx86/dfII/bin/32bit/LVS -dir /home/petros/LVS -l -s -t /home/petros/LVS/layout /home/petros/LVS/sche
Like matching is enabled.
Net swapping is enabled.
Using terminal names as correspondence points.
Compiling Diva LVS rules...

Net-list summary for /home/petros/LVS/layout/netlist
count
  6          nets
  5          terminals
  2          pmos
  2          rmos

Net-list summary for /home/petros/LVS/schematic/netlist
count
  6          nets
  5          terminals
  2          pmos
  2          rmos

Terminal correspondence points
N2      N4      A
N4      N5      B
N3      N6      S
N1      N1      gnd!
N0      N0      vdd!

The net-lists match.

                                layout schematic
                                instances
un-matched                       0      0
rewired                           0      0
size errors                        0      0
pruned                             0      0

```

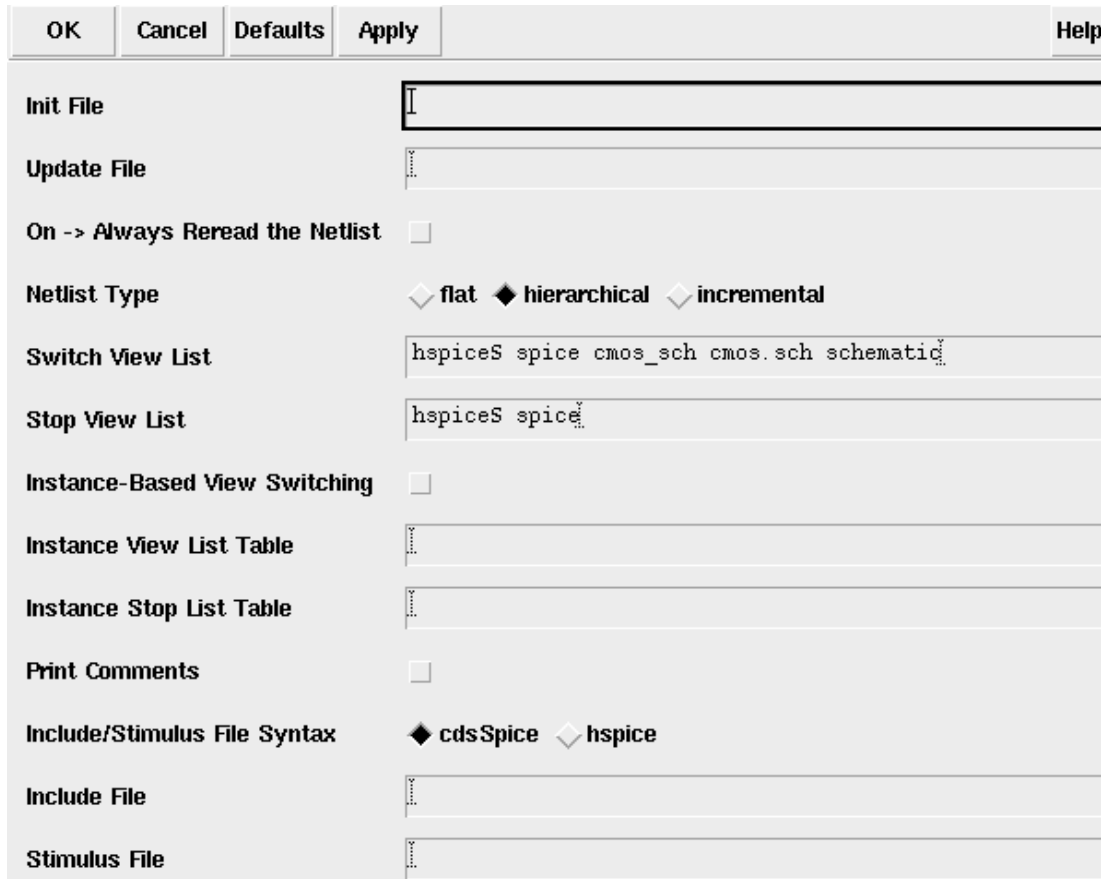
Εικόνα 22 Αποτέλεσμα LVS

Τελευταίο αλλά απαραίτητο βήμα για την προσομοίωση αργότερα του πλήρους κυκλώματος με το SpectreS είναι το να πατήσουμε μετά το τέλος του ελέγχου το πλήκτρο Build Analog του παραθύρου του LVS και μετά στο παράθυρο που ανοίγει OK. Αυτό δημιουργεί μια άλλη περιγραφή του κυκλώματος, την analog_extracted την οποία θα χρησιμοποιήσουμε αργότερα (σε περίπτωση προσομοίωσης με το HSpice αυτό δεν είναι αναγκαίο).

Προσομοίωση Πλήρους Κυκλώματος

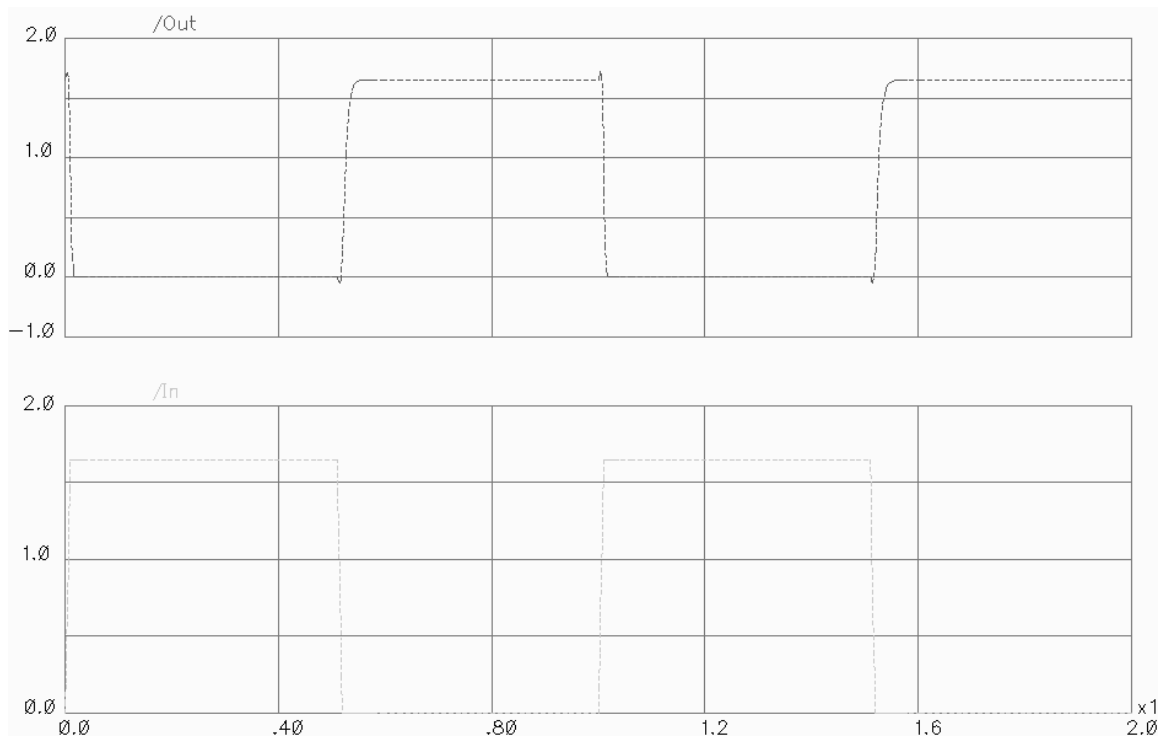
Μέχρι τώρα έχουμε σχεδιάσει και προσομοιώσει ένα ψηφιακό κύκλωμα αναστροφέα σε περιγραφή σχηματικού και έχουμε υλοποιήσει μια φυσική σχεδίαση σε επίπεδο φυσικού σχεδίου η οποία ταιριάζει σε αυτή του σχηματικού. Για να μελετήσουμε τη συμπεριφορά των πραγματικών συσκευών με τις παρασιτικές χωρητικότητες ωστόσο, θα πρέπει να αλλάξουμε κατά μία παράμετρο τον τρόπο προσομοίωσης. Ενώ λοιπόν η διαδικασία είναι ίδια με αυτή που περιγράψαμε

προηγουμένως, με μία διαφορά. Στο παράθυρο του Analog Artist ακολουθούμε τη διαδρομή Setup Environment οπότε και ανοίγει το παρακάτω παράθυρο επιλογών του Analog Artist.



Εικόνα 23 Παράθυρο Επιλογών του Analog Artist

Στο πεδίο Switch View List όπου υπάρχουν διάφορες περιγραφές του κυκλώματος αρκεί να προσθέσουμε στην αρχή την περιγραφή analog_extracted οπότε και πλέον ο προσομοιωτής θα συμπεριλάβει και αυτή την περιγραφή. Όλη η άλλη διαδικασία είναι ίδια με προηγουμένως και τελικά το αποτέλεσμα της προσομοίωσης είναι το ίδιο με αυτό του σχηματικού. Αυτό ισχύει εδώ λόγω του ότι το μέγεθος του αντιστροφέα είναι αρκετά μικρό με αποτέλεσμα τα παρασιτικά φαινόμενα που εμφανίζονται να είναι αμελητέα σε σχέση με το κατώφλι των $2 \times 10^{-15} \text{F}$. Έτσι στην προσομοίωση χρησιμοποιούνται ιδανικές συσκευές τελικά. Το αποτέλεσμα αυτής της προσομοίωσης φαίνεται στο παρακάτω σχήμα:



Εικόνα 24 Προσομοίωση Πλήρους Κυκλώματος

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΙΟΥ 5

- [1] Baker, R. Jacob. CMOS Circuit Design, Layout, and Simulation. 2nd ed. Hoboken, NJ: John Wiley & Sons, Inc., 2005.
- [2] Hastings, Alan. The Art of ANALOG LAYOUT. 2nd ed. NJ: Pearson Education, Inc., 2006.
- [3] Maloberti, Franco. Analog Design for CMOS VLSI Systems. Boston, MA: Kluwer Academic Publishers, 2001.
- [4] Pucknell, Douglas A., and Eshraghian Kamran. Basic VLSI Design. 3rd ed. Australia: Prentice Hall Australia, 1994
- [5] www.cadence.com

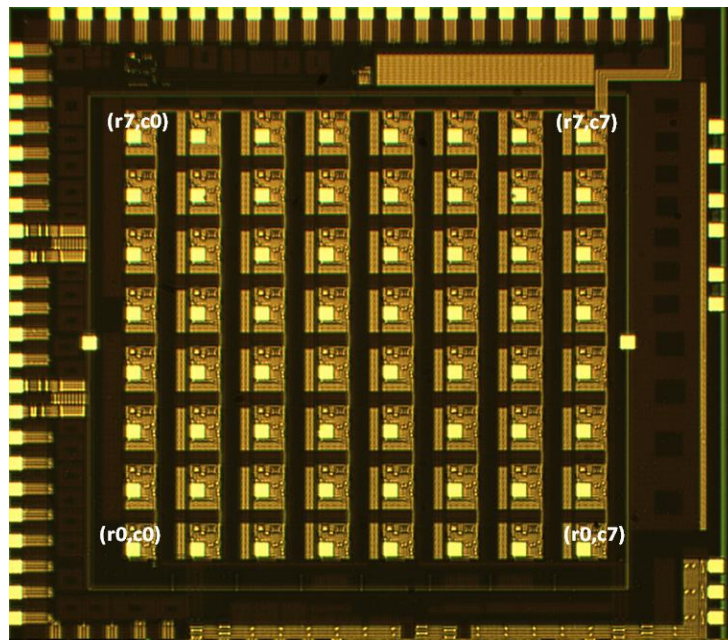
ΚΕΦΑΛΑΙΟ 6^ο

5.1) Overview του chip

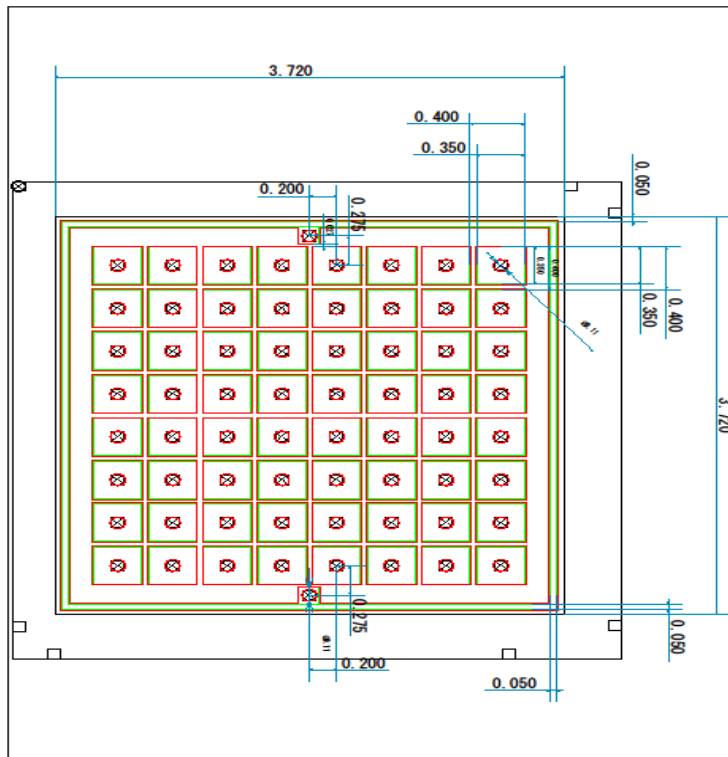
Το P4DI είναι ένα ολοκληρωμένο κύκλωμα με 64 pixel των 8 γραμμών και 8 στηλών, που έχει την ικανότητα να επεξεργάζεται σήματα από ανιχνευτές ακτινών X και ακτινών γ. Οι παλμοί θα πρέι να μεταφέρουν φορτίο μικρότερο των 8fC. Το ASIC συνδέεται στον ανιχνευτή με τη μέθοδο bump bonding. Η πληροφορία που παράγεται από κάθε pixel είναι ένας ψηφιακός παλμός τάσης ανάλογης του φορτίου ανίχνευσης(δηλαδή του παλμού που παράγεται από τον ανιχνευτή) και ένας ψηφιακός παλμός τάσης ανάλογης του χρόνου που μεσολαβεί μεταξύ της άφιξης του παλμού ρεύματος και ενός εξωτερικού σήματος ADCONV. Αυτές οι δύο στάθμες ψηφιοποιούνται μέσα σε κάθε ψηφίδα με ανάλυση 10bits και στέλνονται προς τα έξω μαζί με την διεύθυνση του pixel. Έτσι κάθε φορά που μια ψηφίδα έχει δεχθεί ένα παλμό παράγει 26 bit πληροφορίας τα οποία είναι:

- 10 bit για την πληροφορία του φορτίου
- 10 bit για την πληροφορία του χρόνου
- 3 bit για την πληροφορία της γραμμής στην οποία βρίσκεται το pixel
- 3 bit για την πληροφορία της στήλης στην οποία βρίσκεται το pixel

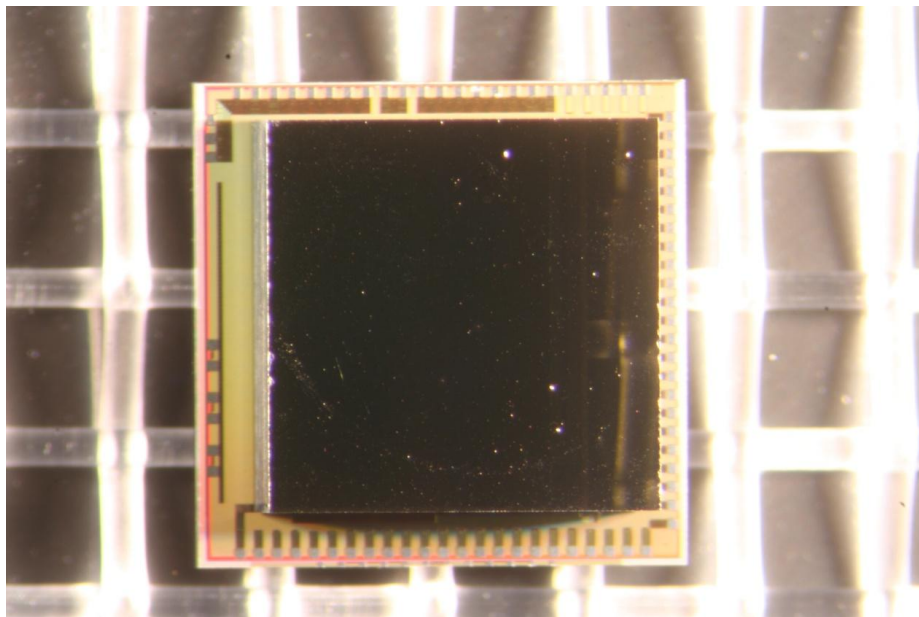
Εναλλακτικά οι δυο αναλογικές στάθμες στέλνονται προς τα έξω και μπορούν να ψηφιοποιηθούν εξωτερικά. Η τάση λειτουργίας του chip είναι 1.8V.



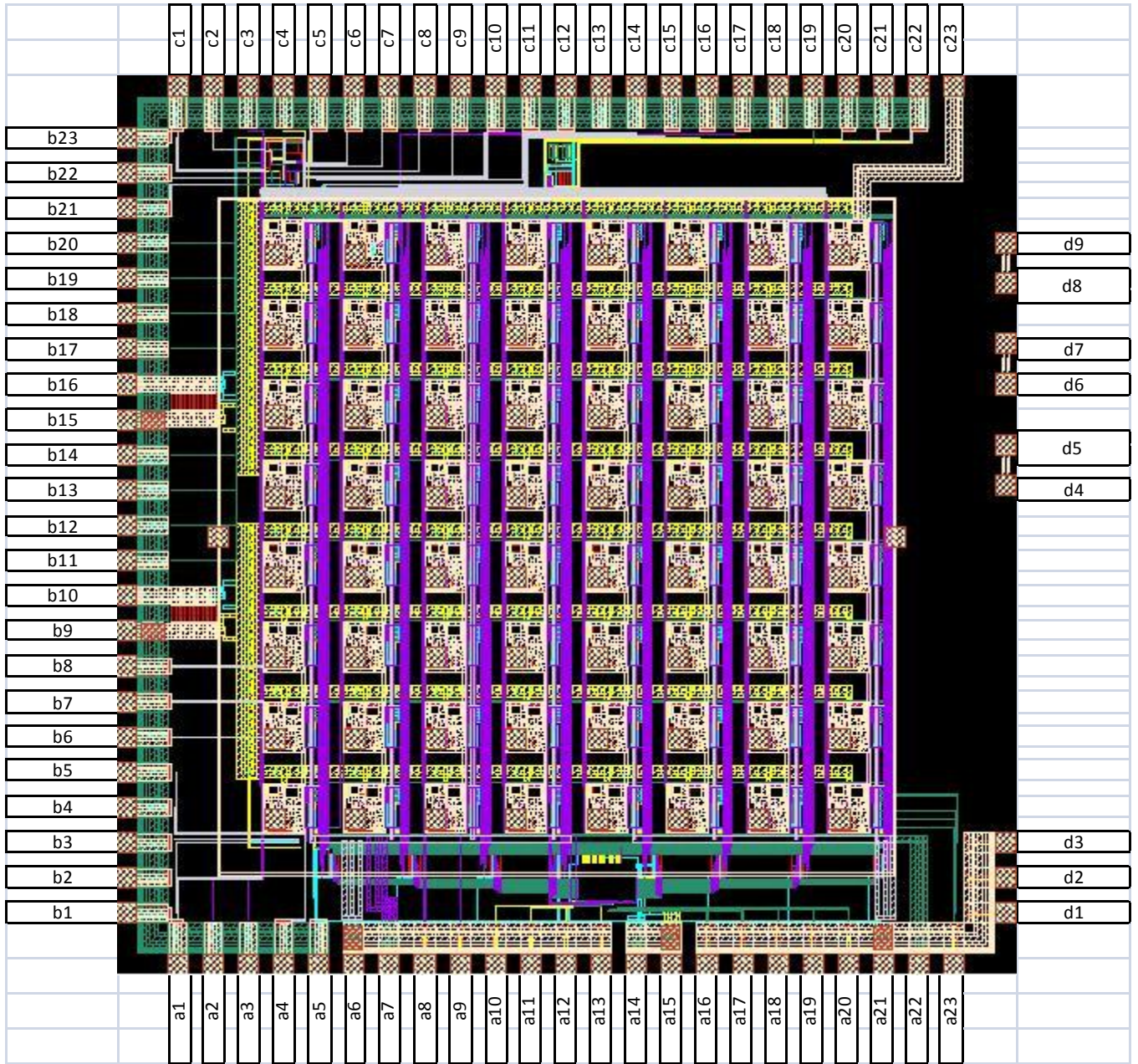
Σχ.1 Overview του chip



Σχ.2 Layout του ανιχνευτή που είναι συμβατός με το P4DI



Σχ.3 Το chip με τον pixel detector bump bonded (1mm thick CdTe ohmic ACRORAD detector)



Σχ. 4 Τα pinout με το οποία επικοινωνεί το chip με τον έξω κόσμο

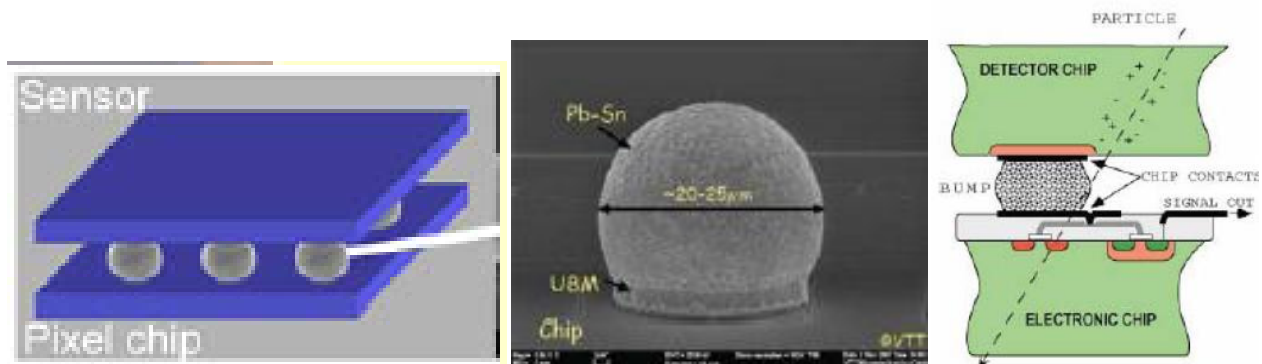
Πίνακας: Τα pinout του P4DI

Pin No.	Mnemonic	Description
a1	int_th	Digital Input. Together with low_th (pin b1) trims the threshold voltage which triggers the operation of the leakage current compensation circuit. The threshold voltage is set in-pixel
a2	HIT_REC_EN	ANALOG INPUT Pulse with 1.8V amplitude. Its duration defines the time for which the pixels are waiting for a hit.
a3	pixel_EN	ANALOG INPUT Pulse with 1.8V amplitude. Starts before HIT_REC_EN and ends together
a4	Ramp_Time	Ramp for Time digitization
a5	Ramp_energy	Ramp for Energy digitization
a6	1.8V digital	POWER (Current input path)
a7	GND digital	POWER (Current return path)
a8	rstn	Digital Input reset, active low
a9	ctrl_in	Digital Input, Serial control input data
a10	init_sg	Digital Input, Active high, defines the initialization period
a11	fast_clk	Normally 100MHz clock input needed for data serialization. Active during initialization and during readout
a12	CS	DIGITAL INPUT Chip Select. When High (1.8V) the digital data of the hit pixels are transferred to the sEnergy and sTime or the Voltage level of the pixel peak detector and of the pixel time to voltage converter are transferred to the Energy_level and to the Time_level outputs correspondingly. This depends on the status of the AnalogMode Register of the pixels.
a13	ADCONV	DIGITAL INPUT. When set at 1 it enables the GrayCode Counter. Its transition from 0 to 1 generates the signal which stops the in pixel time to voltage converter. It must be set 1ms after the HIT_REC_EN returns to 0V.
a14	GND digital	POWER (Current return path) Powers the digital controller
a15	1.8V digital	POWER (Current input path) Powers the digital controller
a16	word_sync	Digital output. Defines the serial word frame for sTime, sEnergy and sAddress. It is high for the first 5 bits and low for the second five bits of a word
a17	sTime	Serial digital data output for time
a18	sAddress	Serial digital data output for the address of the hit pixel
a19	sEnergy	Serial digital data output for energy
a20	Clkx2	Normally 20 MHz clock input
a21	1.8V digital	POWER (Current input path)
a22	GND digital	POWER (Current return path)
a23	TS4_wrTm	Digital Output. It gives the write enable pulse of the DRAM which stores the time digital word of the pixel TS4
b1	low_th	Digital Input. Together with int_th (pin a1) trims the threshold voltage which triggers the operation of the leakage current compensation circuit. The threshold voltage is set in-pixel
b2	Time_level_Buff	The output Time_level buffered with a high speed buffer. This buffer adds flicker noise
b3	Energy_level_Buff	The output Energy_level buffered with a high speed buffer. This buffer adds flicker noise
b4	Time_level	ANALOG OUTPUT Pixel TV_converter Output when the Digital Outputs are disabled / Analog Time level output of the current pixel
b5	Energy_level	ANALOG OUTPUT Pixel Peak Detector Output when the Digital Outputs are disabled / Analog Energy level output of the current pixel
b6	ChFeed	ANALOG INPUT sets the voltage level of the feedback transistor of the in-pixel charge amplifier. When inv=0 Chfeed should be 0.99V. When inv=1 Chfeed should be 1.6V.
b7	Vleak	Analogue dc voltage input. It sets the R value for the RC time constant of the leakage current compensation circuit. Its value should be from 0.8 to 1.8V
b8	TEST_INPUT	Analogue test pulse input.
b9	VDDan 1.8V	POWER (Current input path)
b10	GND analog	POWER (Current return path)
b11	PIXEL_TS1_EN	DIGITAL INPUT. When HIGH (1.8V) it enables the TS1 test structures.
b12	TS1_ShCintrim0	Test Structure DIGITAL INPUT Adjusts shaping time and gain of the shaper. The same as ctrl_in<6> but affects only the TS1 Shaper.
b13	TS1_ShCintrim1	Test Structure DIGITAL INPUT Adjusts shaping time and gain of the shaper. The same as ctrl_in<5> but affects only the TS1 Shaper.
b14	TS1_ShRfeed0	Test Structure DIGITAL INPUT Adjusts shaping time and gain of the shaper. The same as ctrl_in<4> but affects only the TS1 Shaper.
b15	VDDan 1.8V	POWER (Current input path)

b16	GND analog	POWER (Current return path)
b17	TS1_COMP0	Test Structure DIGITAL INPUT Adjusts the threshold of the TS1 comparator. Same functionality as ctrl_in<9>
b18	TS1_COMP1	Test Structure DIGITAL INPUT. Adjusts the threshold of the TS1 comparator. Same functionality as ctrl_in<8>
b19	TS1_COMP2	Test Structure DIGITAL INPUT. Adjusts the threshold of the TS1 comparator. Same functionality as ctrl_in<7>
b20	TS1_PEAKdis	Test Structure DIGITAL INPUT. Disables the TS1 Peak Detector
b21	Ileak_ext_Imp	Through this pad it can be drawn current which is divided internally by 10000 . When TS1_inv=1 the divided current is drawn from the input of the TS1 charge amplifier , while when TS1_inv=0 it is injected to the input of the TS1 charge amplifier. In this way the detector's leakage current is emulated. (1uA sourced current corresponds to 100pA leakage current)
b22	Ileak_int	Through this pad the leakage current of TS1 can be monitored (it is multiplied internally by 10000)
b23	TS1_Sh_Out	Test Structure ANALOG OUTPUT TS1 Shaper Output
c1	TS1_Ch_Out	Test Structure ANALOG OUTPUT TS1 Charge Amp Output
c2	TS1_Vth_leak	The threshold voltage applied on the Leakage Compensator Circuit is monitored through this Pin so as to be compared with the quiescent output of the Charge amplifier.
c3	TS1_Inv	Test Structure DIGITAL INPUT, When HIGH it sets TS1 to electron signal processing (leakage current direction from the input of the charge amp to the external negative HV bias)
c4	TS1_PEAKrst	Test Structure DIGITAL INPUT. When HIGH (1.8V) it resets the TS1 Peak Detector.
c5	TS1_PEAKIN	Test Structure ANALOG INPUT TS1 Peak Detector Input.
c6	TS1_PEAKOUT	Test Structure ANALOG OUTPUT TS1 Peak Detector Output
c7	TS1_COMPOUT	Test Structure ANALOG OUTPUT. Output of the TS1 Comparator. In pixel it is the Hit_flag signal.
c8	TS1_COMPIN	Test Structure ANALOG INPUT of the TS1 comparator.
c9	TS1_TVOUT	Test Structure ANALOG OUTPUT. TS1 TV_converter Output
c10	TS2_Ch_Out	Test Structure ANALOG OUTPUT TS2 Buffered Charge Amp output of a pixel in the pixel array.
c11	TS2_Sh_Out	Test Structure ANALOG OUTPUT TS2. Buffered Shaper output of a pixel in the pixel array.
c12	TS2_Hit_Pixel_out	Test Structure DIGITAL OUTPUT TS2 Non buffered comparator output which is the in-pixel Hit_Flag net.
c13	TS1_TVstart	Test Structure DIGITAL INPUT Starts the TS1 Time to Voltage converter. In pixel it is connected to the pixel_hit signal.
c14	TS1_TVstop	Test Structure DIGITAL INPUT. Stops time to voltage conversion of the TS1 TV_converter. In pixel it is activated by the ADCONV signal.
c15	TS3_Ch_Out	Charge amplifier output of pixel TS3. Enabled continuously when AnalogModeEn=1
c16	TS3_Sh_Out	Shaper output of pixel TS3. Enabled continuously when AnalogModeEn=1
c17	Comp_test_Voltage	Common input of the time and energy digitization comparators for the pixel TS3
c18	BG_EN	Digital input. When High the bandgap circuit is on
c19	Bias_EN	When High it enables the bias circuit driven either by the bandgap or by the Vb_ext
c20	Vb_ext	Externally imposed dc Voltage if bandgap circuit is not enabled. 1.1-1.2V
c21	VBG	Analog output. The dc level produced by the bandgap is monitored with this pin
c22	Ext_res	When BIAS_EN is low the pixels bias current is generated by connecting a 570KOhm between this pad and ground
c23	GND analog Clean	POWER It is connected to the guard rings inside the ASIC and to the detector guard ring. Conveys some detector leakage current
d1	TS4_WrEn	Digital Output. It gives the write enable pulse of the DRAM which stores the energy digital word of the pixel TS4
d2	TS4_pcl	Digital Output. It gives the precharge pulse for the DRAMs of pixel TS4
d3	TS4_read_memory	Digital Output. It gives the read_memory pulse for the DRAMs of pixel TS4
d4	OPEN 1	Pad 1 for measuring open. Needed for capacitance measurement calibration not to be wire bonded
d5	OPEN 2	Pad 2 for measuring open. Needed for capacitance measurement calibration not to be wire bonded
d6	SHORT 1	Pad 1 for measuring short. Needed for capacitance measurement calibration not to be wire bonded
d7	SHORT 2	Pad 2 for measuring short. Needed for capacitance measurement calibration not to be wire bonded
d8	LOAD 1	Pad 1 for measuring the 520 fF capacitor (10x52fF in parallel) not to be wire bonded
d9	LOAD 2	Pad 2 for measuring the 520 fF capacitor (10x52fF in parallel) not to be wire bonded

5.2) Αναλογικές Βαθμίδες του chip

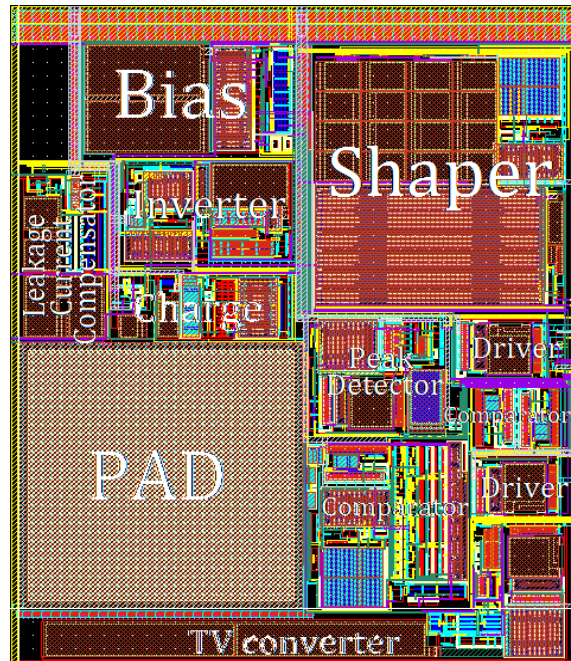
Ολόκληρο το σχηματικό του αναλογικού μέρους του ολοκληρωμένου φαίνεται παρακάτω. Το block των readout electronics περιλαμβάνει τον charge amplifier που είναι απευθείας συνδεδεμένος στον ανιχνευτή με την μέθοδο bump bonding.



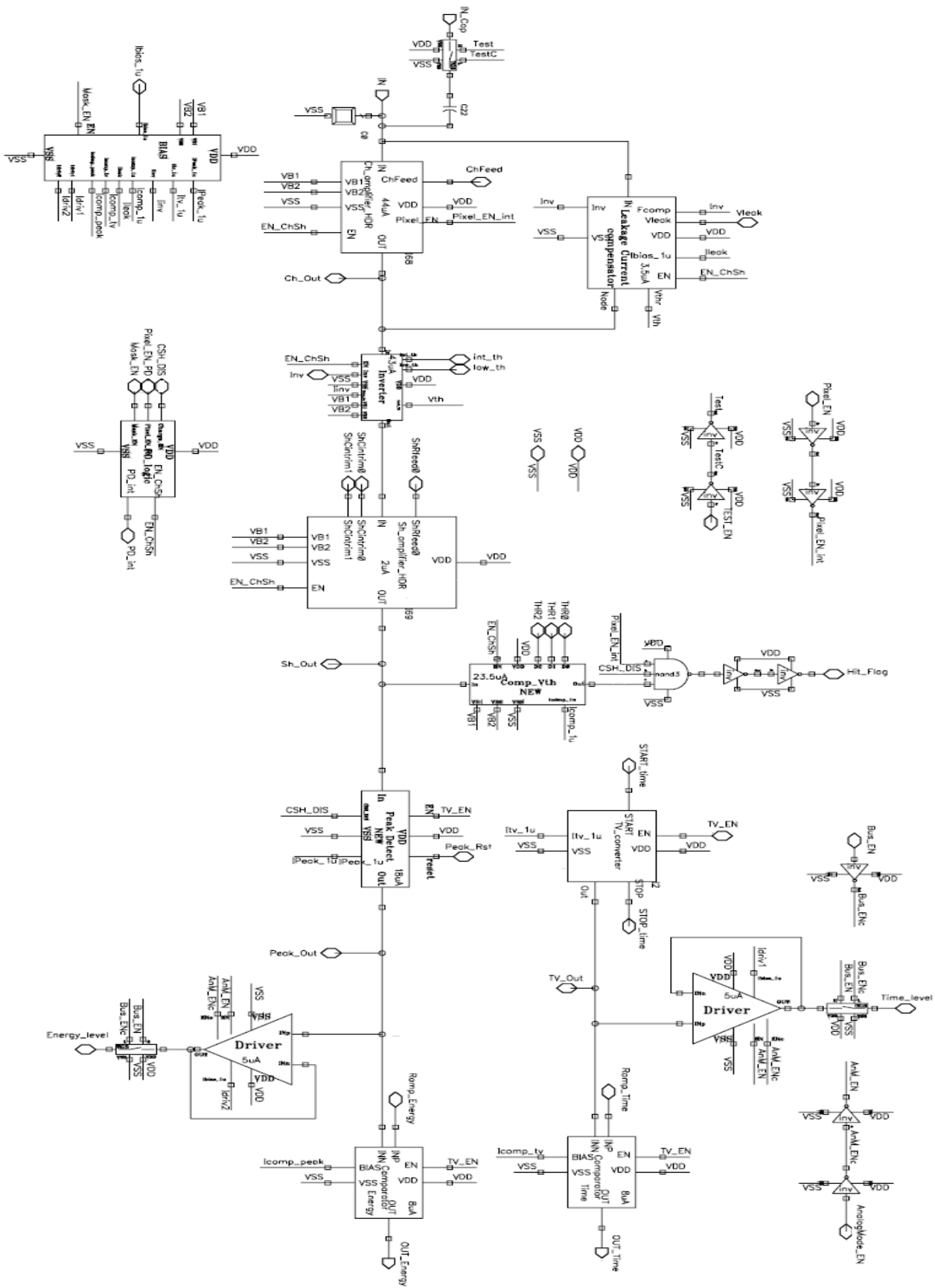
Σχ. 5,6,7 Η τεχνολογία του bump bonding

Ένας Leakage Current Compensation είναι συνδεδεμένος τόσο στην είσοδο όσο και στην έξοδο του Charge Amplifier[1]. Αυτό το κύκλωμα είναι υπεύθυνο για να ανιχνεύει και να απορρόφα το leakage current του detector ώστε να εξασφαλίζει την ομαλή φωτογραφία του detector. Μετά τον charge amplifier ακολουθεί ο shaper, που κάνει shape in time του παραχθέντος σήματος και αυξάνει το signal to noise ratio(SNR), φιλτράροντας τα noise components που βρίσκονται εκτός του bandwidth of interest. Ακολουθεί ο comparator που «ανιχνεύει» την έξοδο του shaper και παράγει το λεγόμενο flag, όταν χτυπηθεί ένα pixel του ανιχνευτή. Αυτό το flag ενεργοποιεί τον peak detector και τον time to voltage converter. Ο peak detector στην είσοδο του συνδέεται με την έξοδο του shaper και αποθηκεύει την μέγιστη τιμή(peak value) του σήματος. Ο time to voltage converter αποθηκεύει το χρόνο που δέχθηκε την ενέργεια ο ανιχνευτής. Η μέγιστη τιμή και ο χρόνος του «χτυπήματος» αποθηκεύονται σε ψηφιακούς παλμούς από δύο ξεχωριστούς comparators συνδεδεμένους στην έξοδο του peak detector και του time to voltage converter. Η ίδιες πληροφορίες αποθηκεύονται και σε αναλογική μορφή, χρησιμοποιώντας 2 buffers και οδηγώντας το σήμα σε εξωτερικά pin. Παρακάτω φαίνεται και το layout του αναλογικού μέρους του ολοκληρωμένου. Η περιοχή που καλύπτει είναι 200x245 mm² συμπεριλαμβανομένου του pad και των μεταλλικών γραμμών τροφοδοσίας[1][3]. Ο ανιχνευτής συνδέεται όπως έχει αναφερθεί παραπάνω με το pixel με την τεχνολογία bump bonding, η «ένωση» γίνεται σε αυτό το pad. Με σκοπό την ελαχιστοποίηση της parasitic capacitance(αναλυτικότερα σε επόμενο κεφάλαιο) ο κόμβος εισόδου του charge amplifier τοποθετείται στο ανώτερο μέρος του ολοκληρωμένου και δίπλα στο pad. Αριστερά του charge amplifier τοποθετείται ο Leakage Current Compensator ενώ ο shaper δεξιά του. Στο ανώτερο επίπεδο επίσης είναι τοποθετημένα ο inverter και το κύκλωμα πόλωσης όλου το αναλογικού μέρους

(biasing block). Ο hit comparator και ο peak detector τοποθετούνται κάτω από τον shaper. Οι άλλοι δυο comparators και οι buffers τοποθετούνται κάτω από τον shaper και δεξιά των peak detector και hit comparator. Τέλος ο time to voltage converter είναι τοποθετημένος στο κάτω μέρος του ολοκληρωμένου.



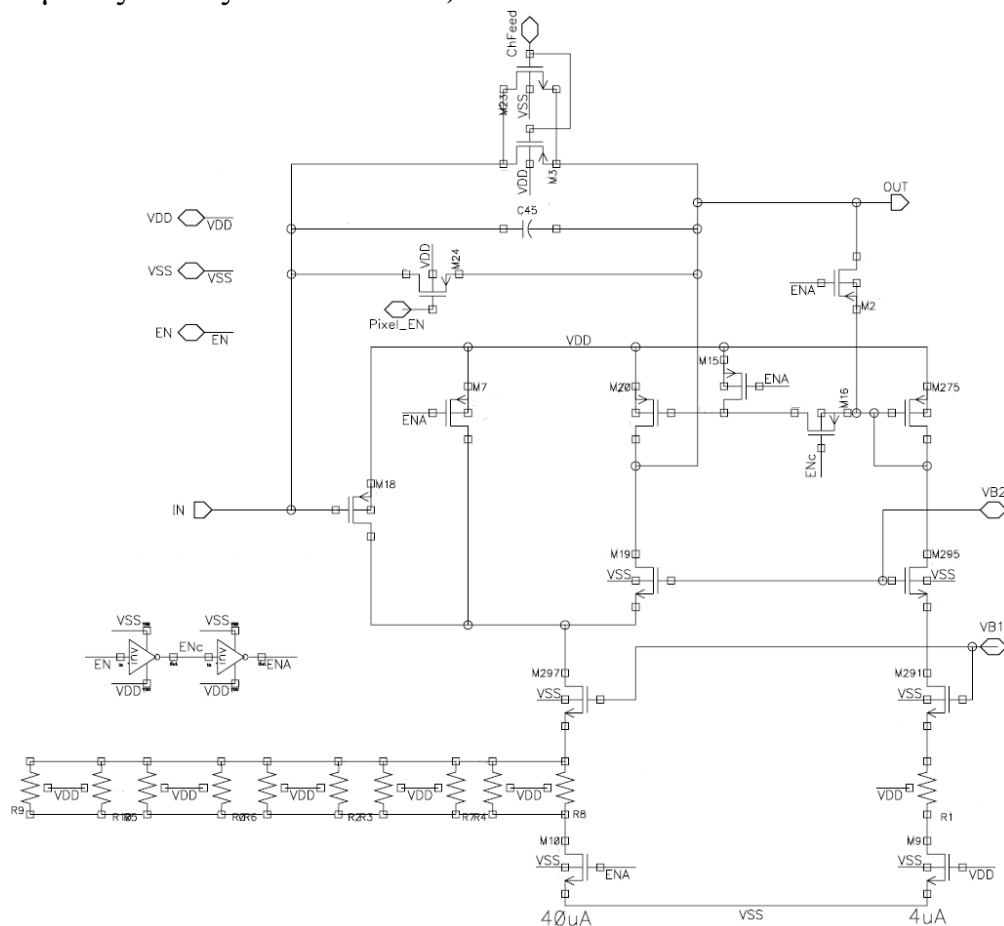
Σχ.8 Layout του αναλογικού μέρους του chip



Σχ. 9 Ηλεκτρονικός σχεδιασμός του αναλογικού μέρους του chip

5.3) Τοπολογία του Preamplifier

Ο charge amplifier είναι το ενισχυτικό αυτό στάδιο που είναι υπεύθυνο για την μετατροπή του πολύ μικρού φορτίου εισόδου σε ένα σήμα αρκετά μεγάλο ώστε να μπορεί να επεξεργαστεί[5][6][7][8]. Το ηλεκτρονικό σχέδιο του charge amplifier φαίνεται παρακάτω. Ο πυκνωτής C43 είναι υπεύθυνος για την ολοκλήρωση του φορτίου και καθορίζει το κέρδος της βαθμίδας αυτής. Έχουμε ουσιαστικά μια τοπολογία ολοκληρωτή. Η αντίσταση ανάδρασης (τα δύο transistor ουσιαστικά)που βρίσκονται παράλληλα στον πυκνωτή C43 βρίσκονται εκεί ώστε να τον αποφορτίζουν να μικραίνουν δηλαδή την σταθερά αποφόρτισης. Η αντίσταση ανάδρασης έχει δυο transistors(ένα PMOS και ένα NMOS) ώστε να μπορεί ο shaper να επεξεργάζεται και ηλεκτρόνια και οπές(δηλαδή ρεύμα που κινείται από τον ανιχνευτή προς το ASIC ή και αντίθετα).Εν τέλη μόνο ένα από τα transistor είναι ανοιχτό. Η τιμή της αντίστασης ανάδρασης(τα transistor βρίσκονται σε συνδεσμολογία αντίστασης) καθορίζεται από την εξωτερική τάση στην πύλη του MOS.Οι αντιστάσεις που είναι συνδεδεμένες στα biasing transistor M291 και M297 μειώνουν το θόρυβο που παράγεται από αυτά τα transistor αλλά και το θόρυβο που παράγεται από το biasing κύκλωμα(είναι το κύκλωμα που πολώνει με τις τάσεις VB1 και VB2).



Σχ. 10 Ηλεκτρονικό σχέδιο του preamplifier

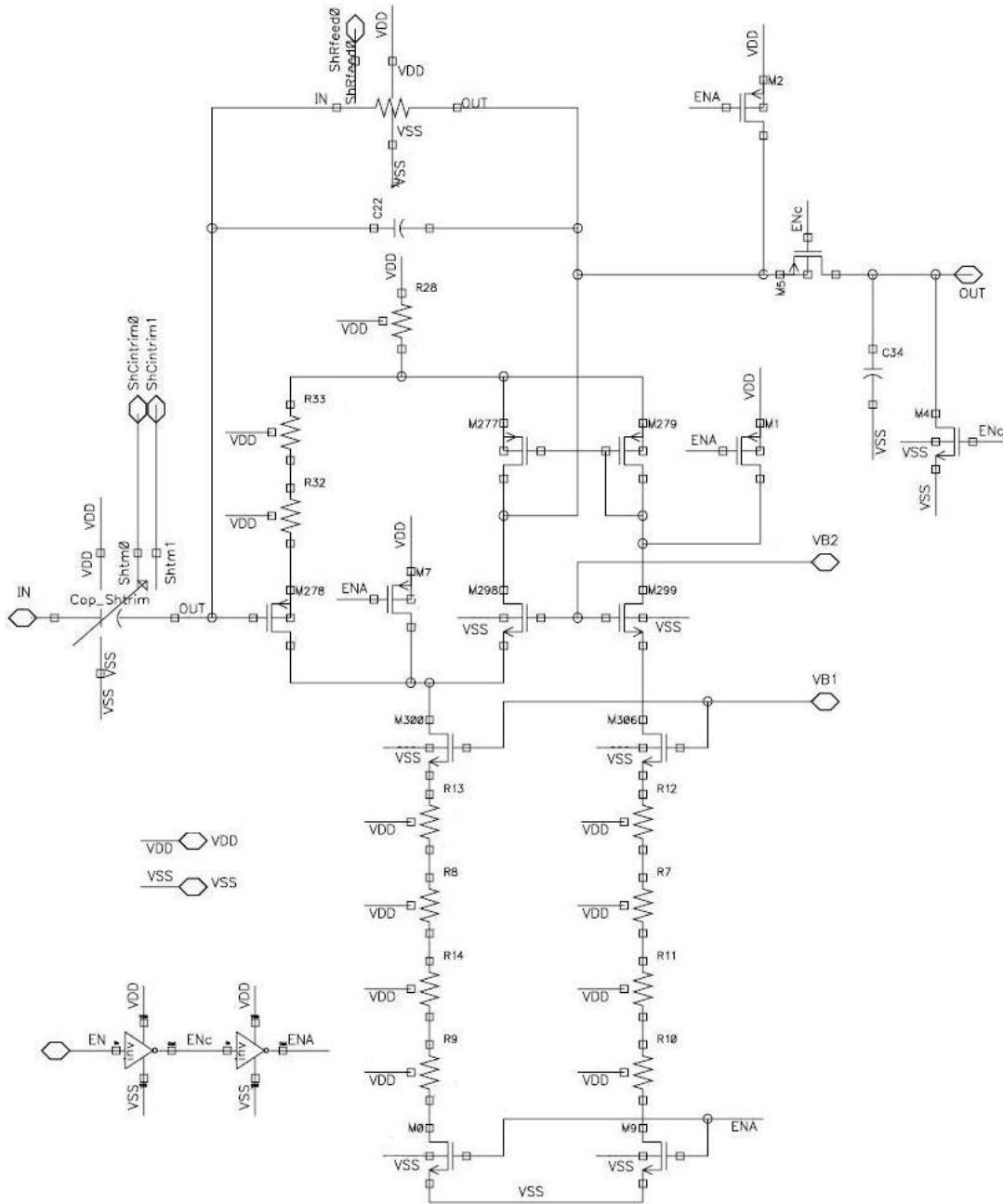
Όπως μπορεί να δει κανείς από το σχέδιο, ένα επιπλέον σήμα(ψηφιακό σήμα) χρησιμοποιείται για να σβήσει τον charge amplifier. Μετά από ένα γεγονός αρκετής ενέργειας για να ενεργοποιήσει τον comparator που βρίσκεται στην έξοδο του shaper, ο charge amplifier σβήνει μέχρι το ολοκληρωμένο να είναι έτοιμο να δεχθεί το επόμενο γεγονός. Για να σβήνει τελείως ο charge amplifier το drain του transistor M18 συνδέεται με θετική τροφοδοσία μέσω του διακόπτη M7, ενώ ο διακόπτης M10 ανοίγει για να κόψει την «κεντρική» τροφοδοσία ρεύματος. Παράλληλα η πύλη του PMOS transistor M20 συνδέεται και αυτή με τη θετική γραμμή τροφοδοσίας ρεύματος μέσω του transistor M15. Η έξοδος του charge amplifier συνδέεται μέσω του transistor M2 στην επαφή gate-drain του transistor M275. Έτσι γίνεται πλέον σίγουρο ότι ακόμη και όταν είναι κλειστός ο charge amplifier, η έξοδος του θα είναι κοντά στη τάση στην οποία έχει όταν λειτουργεί. Αυτό ελαχιστοποιεί ανεπιθύμητα αποτελέσματα που μπορεί να προκαλέσουν ξαφνικές και μεγάλες αλλαγές τάσης. Προφανώς για τον παραπάνω λόγο τα transistor M275, M295, M291 παραμένουν συνέχεια ανοιχτά.

Τέλος κατά τη διάρκεια του power up του αναλογικού μέρους του ολοκληρωμένου(δηλαδή πριν αυτό φτάσει στο steady state) για να μην προκύψει κάποιο «λάθος» γεγονός τοποθετούνται δυο ψηφιακά σήματα. Τα δυο αυτά σήματα (Pixel_EN_PD και Pixel_EN)προσφέρουν δηλαδή αξιοπιστία στα γεγονότα που μετρώνται.

5.4) Τοπολογία του Shaper

Το κύκλωμα το shaper είναι το τρίτο στη σειρά building block της αναλογικής αλυσίδας των ηλεκτρονικών ανάγνωσης[5][6][7][9]. Ο shaper είναι ουσιαστικά υπεύθυνος να κάνει το shape in time του παραχθέντος σήματος αλλά και να φιλτράρει το θόρυβο. Στο παρακάτω σχήμα φαίνεται το σχέδιο του shaper του P4DI. Έχει χρησιμοποιηθεί ένας semi-Gaussian shaper πρώτου βαθμού. Ένας shaper μεγαλύτερου βαθμού θα είχε πολύ καλύτερη απόδοση ως προς το θόρυβο αλλά απορρίφθηκε λόγω του αρκετά πιο αυξημένου χώρου που καταλάμβανε στο layout του ολοκληρωμένου. Ο shaper του P4DI σχεδιάστηκε με 3 control bits που ελέγχονται εξωτερικά και πρέπει κάθε φορά να «φορτώνονται» στο FPGA πριν μπει σε λειτουργία το ολοκληρωμένο διαφορετική περίπτωση μπαίνουν καρφωτά οι τιμές [0,0,0]. Τα 3 αυτά control bits ονομάζονται ShCintrim0, ShCintrim1 και ShRfeed0. Η φιλοσοφία είναι ίδια με τα «τριμεράκια» που χρησιμοποιούνται στα ηλεκτρονικά διακριτών στοιχείων[2]. Ο συνδυασμός αυτών των 3 control bit δίνει 2^3 πιθανές καταστάσεις και επιτρέπει την μεταβολή των peaking time, κέρδους, θορύβου. Έτσι για μεταβολή των δυο πυκνωτών του shaper υπάρχει το πρώτο και το δεύτερο control bits (ShCintrim0 και ShCintrim1) ενώ η μεταβολή του feedback resistance γίνεται μέσω του τρίτου control bit (ShRfeed0). Οι αντιστάσεις που είναι συνδεδεμένες σε σειρά με τα biasing transistor M300 και M306 βρίσκονται εκεί για την μείωση του θορύβου των transistor αυτών καθώς και

μείωση του θορύβου του biasing κυκλώματος όπως και στην περίπτωση του charge amplifier[8]. Επιπλέον ένα ψηφιακό σήμα που ονομάζεται ENABLE χρησιμοποιείται για να κλείσει τον shaper. Είναι το ίδιο σήμα που χρησιμοποιείται και στο κλείσιμο του charge amplifier.



Σχ. 11 Ηλεκτρονικό σχέδιο του shaper

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΑΙΟΥ 6

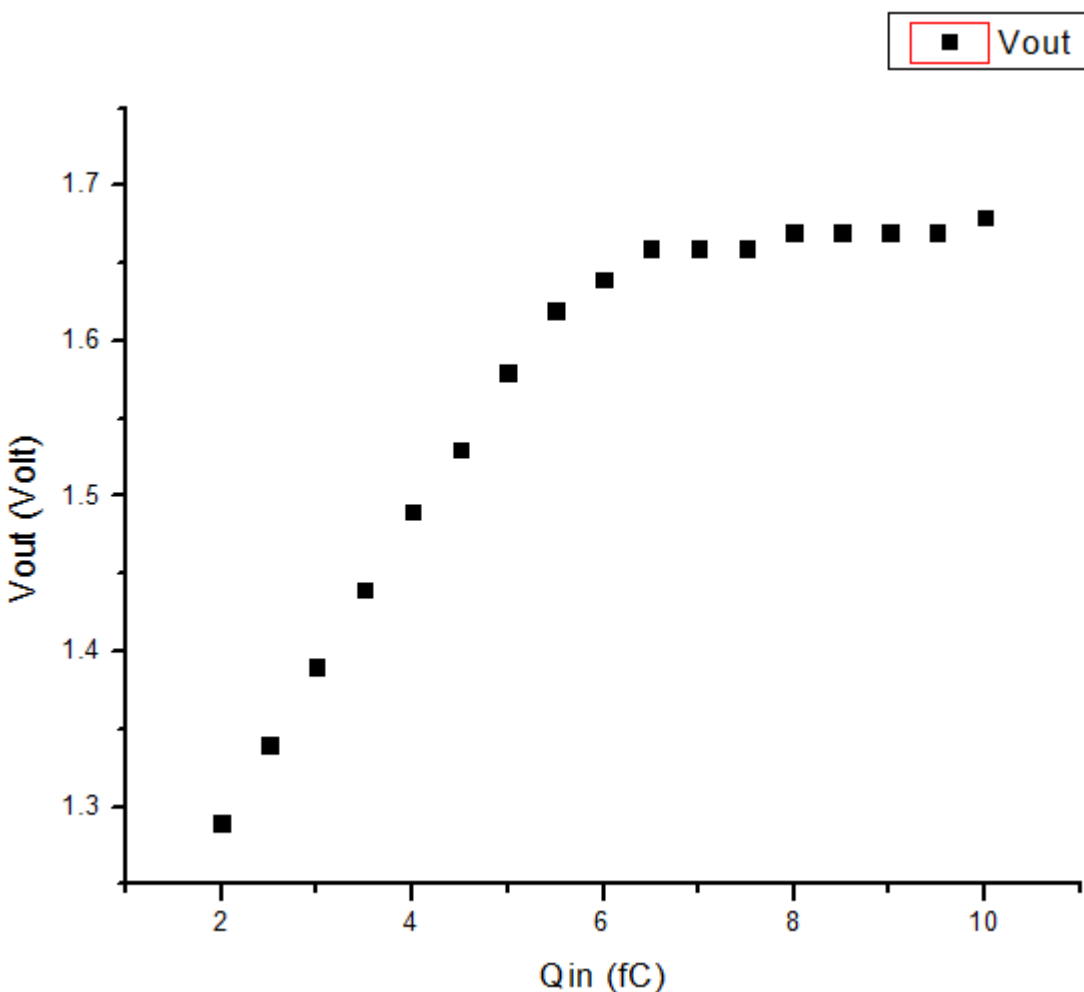
- [1] Allen, Phillip E., and Douglas R. Holberg. CMOS Analog Circuit Design. 2nd ed. New York:Oxford University Press, 2003.
- [2] Alexander, Charles K., and Matthew N.O. Sadiku. Fundamentals of Electric Circuits. 2nd ed.New York: McGraw-Hall Companies, Inc., 2004.
- [3] Maloberti, Franco. Analog Design for CMOS VLSI Systems. Boston, MA: Kluwer Academic,Publishers, 2001.
- [4] Pucknell, Douglas A., and Eshraghian Kamran. Basic VLSI Design. 3rd ed. Australia: Prentice Hall Australia, 1994
- [5] Razavi, Behzad. Design of Analog CMOS Integrated Circuits. New Delhi: Tata McGraw-Hill,2002.
- [6] K. Borer et al., ‘Readout electronics development for the ATLAS silicon tracker’, Nuclear Instruments and Methods in Physics Research A 360, 1995, pp. 193-196.
- [7] LHCb Collaboration, ‘The LHCb front-end electronics and data acquisition system’, Nuclear Instruments and Methods in Physics Research A 453, 2000, pp. 377-381
- [8] G. Hall, ‘Semiconductor particle tracking detectors’, Rep. Prog. Phys. 57, 1994, pp. 481-531.
- [9] N. Haralabidis et al., ‘A Transimpedance CMOS Multichannel Amplifier with a 50Ω-Wide Output Range Buffer for High Counting Rate Applications’, IEEE Journal of Solid State Circuits, Vol. 32, No. 1, January 1997, pp. 135-138.
- [10] www.cadence.com
- [11] Επικοινωνία με τους Δρ. Γ. Θεοδωράτο και Δρ. Χ. Λαμπρόπουλο

ΚΕΦΑΛΑΙΟ 7^ο

Στα πλαίσια της διπλωματικής αυτής εργασίας ο συγγραφέας με την βοήθεια του πακέτου προσομοίωσης ολοκληρωμένων κυκλωμάτων της Cadence(μια σύντομη περιγραφή της λειτουργίας του προγράμματος βρίσκεται στο κεφάλαιο 5) πήρε τα ακόλουθα αποτελέσματα[1].

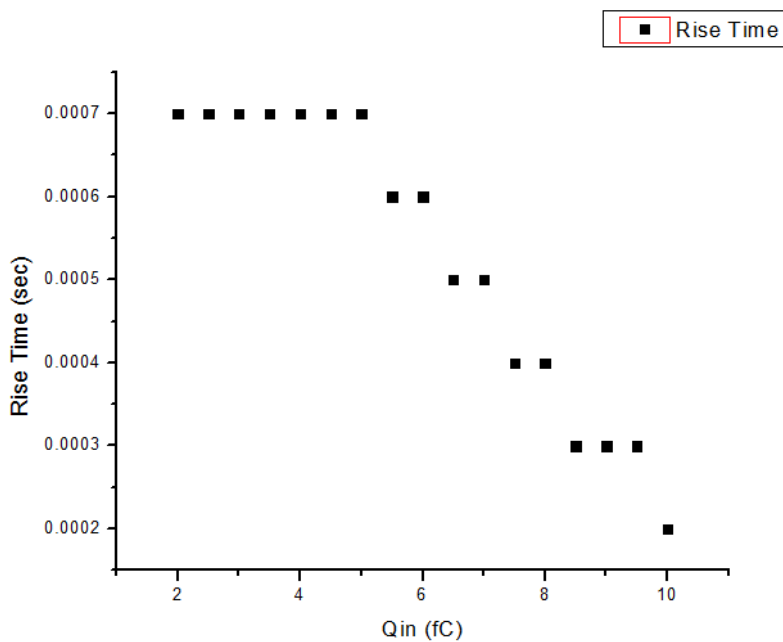
Οι προσομοιώσεις επικεντρώθηκαν στην μελέτη του preamplifier και του shaper που όπως έχει αναφερθεί και πρωτύτερα αποτελούν την «καρδιά» κάθε αναλογικού μέρους ενός front end chip[2].

Αρχικά βρίσκεται το διάγραμμα στο οποίο φαίνεται η γραμμικότητα της αναλογικής αλυσίδας. Στο διάστημα για φορτία εισόδου [2,7]fC υπάρχει απόλυτη γραμμικότητα. Μετά στο διάστημα (7,10] τα ηλεκτρονικά βρίσκονται σε κορεσμό.



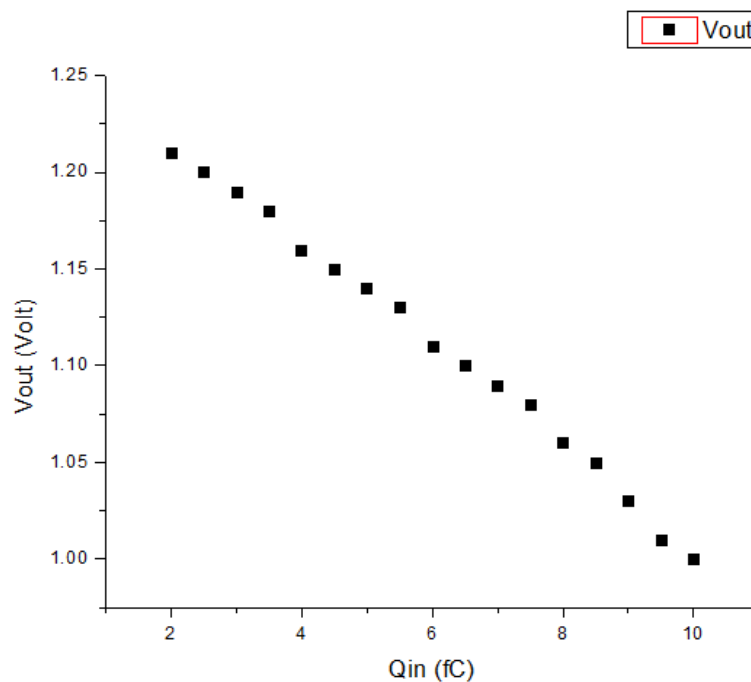
Σχ.1 Γραμμικότητα της αναλογικής αλυσίδας του chip(Qin vs Vout)

Όμως το rise time δείχνει να είναι αντιστρόφως ανάλογο του κέρδους. Δηλαδή όσο μεγαλύτερο είναι το φορτίο εισόδου τόσο μικρότερο είναι το rise time του παλμού. Αυτό φαίνεται από το παρακάτω διάγραμμα.



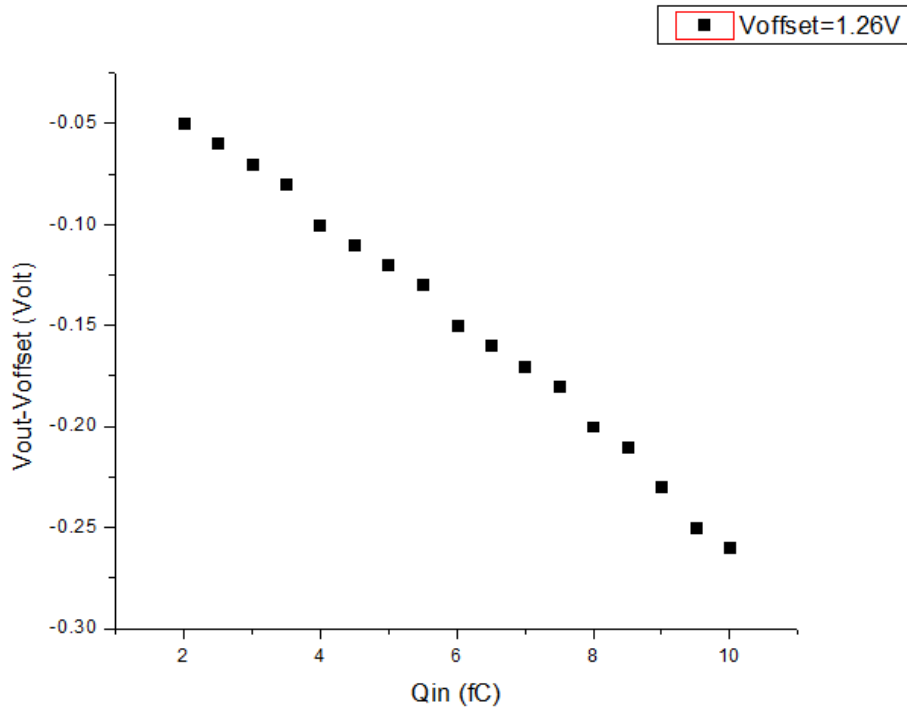
Σχ.2 Εξάρτηση του rise time από το φορτίο εισόδου(Q_{in} vs Rise Time)

Αξίζει επιπλέον να μελετηθεί και ο preamplifier ξεχωριστά, ώστε να υπάρχει και μια ξεχωριστή εικόνα για το πώς η ενισχυτική αυτή βαθμίδα συμπεριφέρεται μέσα στο κύκλωμα. Στο παρακάτω διάγραμμα φαίνεται η έξοδος του preamplifier συναρτήσει του φορτίου εισόδου.



Σχ. 3 Γραμμικότητα του preamplifier(Q_{in} vs V_{out})

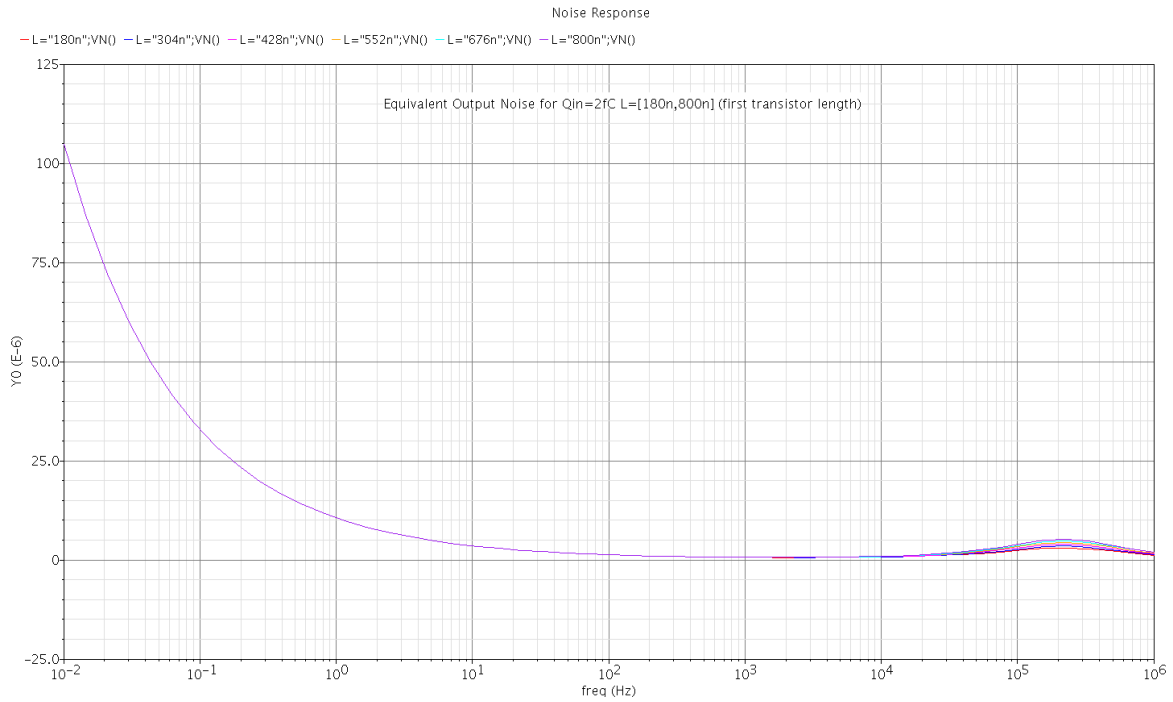
Από αυτό το διάγραμμα όμως δεν μπορούν να εξαχθούν αποτελέσματα. Αυτό συμβαίνει γιατί δεν έχει αφαιρεθεί μια dc συνιστώσα ρεύματος που εξάγεται από αυτή τη βαθμίδα με τιμή $V_{offset}=1.26V$. Από το διάγραμμα μπορεί κανείς να επιβεβαιώσει ότι με την αύξηση του φορτίου εισόδου, υπάρχει αύξηση και της απόλυτης τάσης εξόδου, κάτι που ήταν και αναμενόμενο.



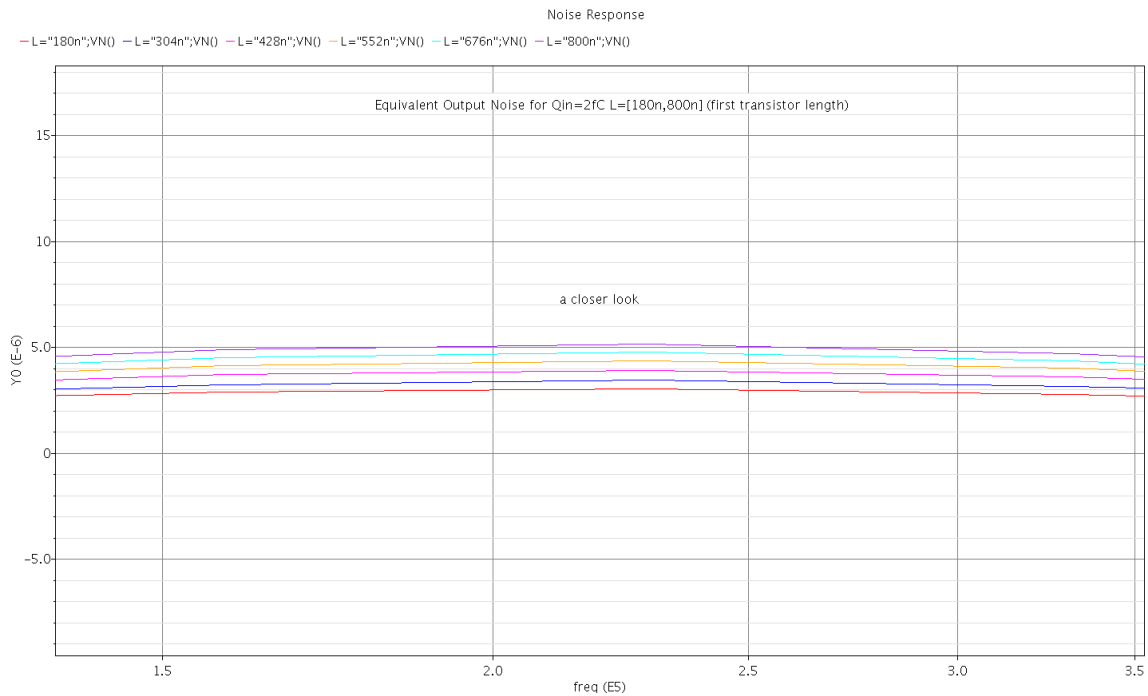
Σχ. 4 Qin vs Απόλυτης τιμής τάσης εξόδου

Περνώντας σε άλλου είδους προσομοιώσεις τώρα μελετάται ο θόρυβος και άλλα φυσικά φαινόμενα που εμφανίζονται σε μικροηλεκτρονικές διατάξεις.

Στα παρακάτω διαγράμματα φαίνεται ο θόρυβος της εξόδου της αναλογικής αλυσίδας για φορτίο εισόδου $2fC$ και για μεταβλητό το length του πρώτου transistor [$180n, 800n$]. Από τη θεωρία αποδεικνύεται ότι όσο μεγαλύτερο είναι το πρώτο transistor-ειδικά το length του- τόσο μικρότερος είναι ο θόρυβος[3][4]. Φυσικά ένα μεγάλο πρώτο transistor καταλαμβάνει πολύ χώρο πάνω στην επιφάνεια του ολοκληρωμένου κυκλώματος και κάνει δυσκολότερη την φυσική σχεδίαση του καθώς δυσκολεύει τη δυνατότητα συμμετρικής σχεδίασης.



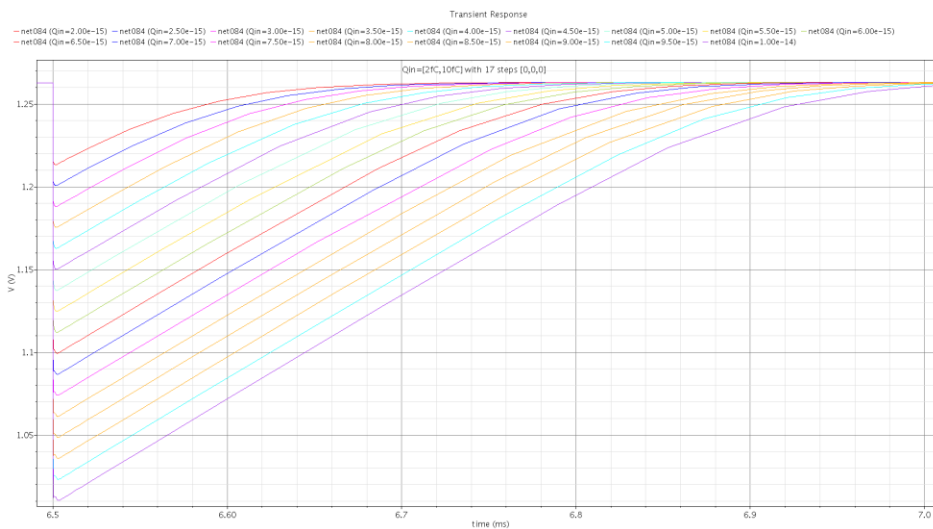
Σχ. 5 Equivalent Output Noise for $Q_{in}=2fC$ $L=[180n,800n]$ (first transistor length)



Σχ. 6 Equivalent Output Noise for $Q_{in}=2fC$ $L=[180n,800n]$ (first transistor length)-A closer look of $[10^{14},10^{16}]$ frequencies.

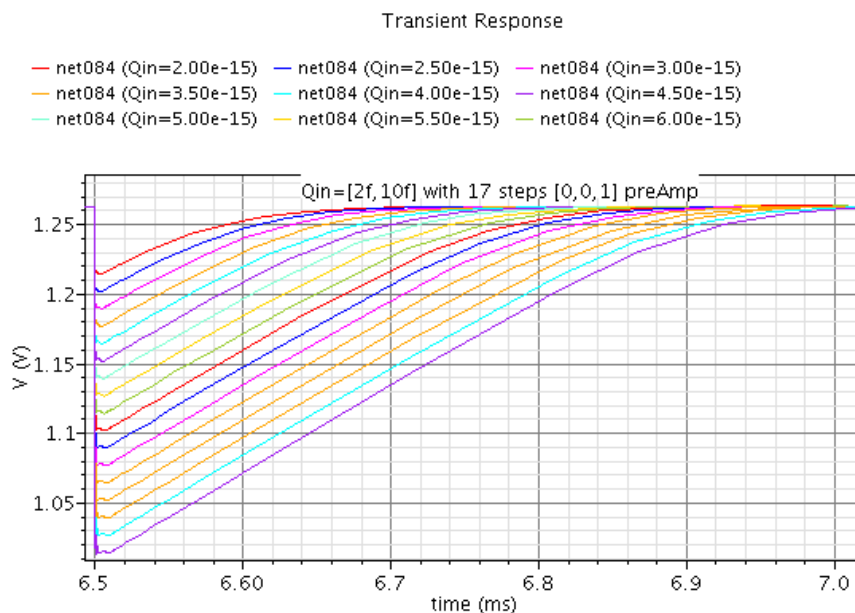
Έχει αναφερθεί ότι για λόγους πληρότητας και για την χρησιμοποίηση του ASIC σε όσο μεγαλύτερο φάσμα εφαρμογών, ο shaper έχει τη δυνατότητα να «αλλάζει» τις ιδιότητες του με τα 3 bit ελέγχου (ShCintrim0, ShCintrim1, ShRfeed0).

Στο παρακάτω διάγραμμα φαίνεται η έξοδος του preamplifier για φορτίο εισόδου [2fC, 10fC] με 17 steps και τις μεταβλητές του shaper ορισμένες στο [0,0,0]



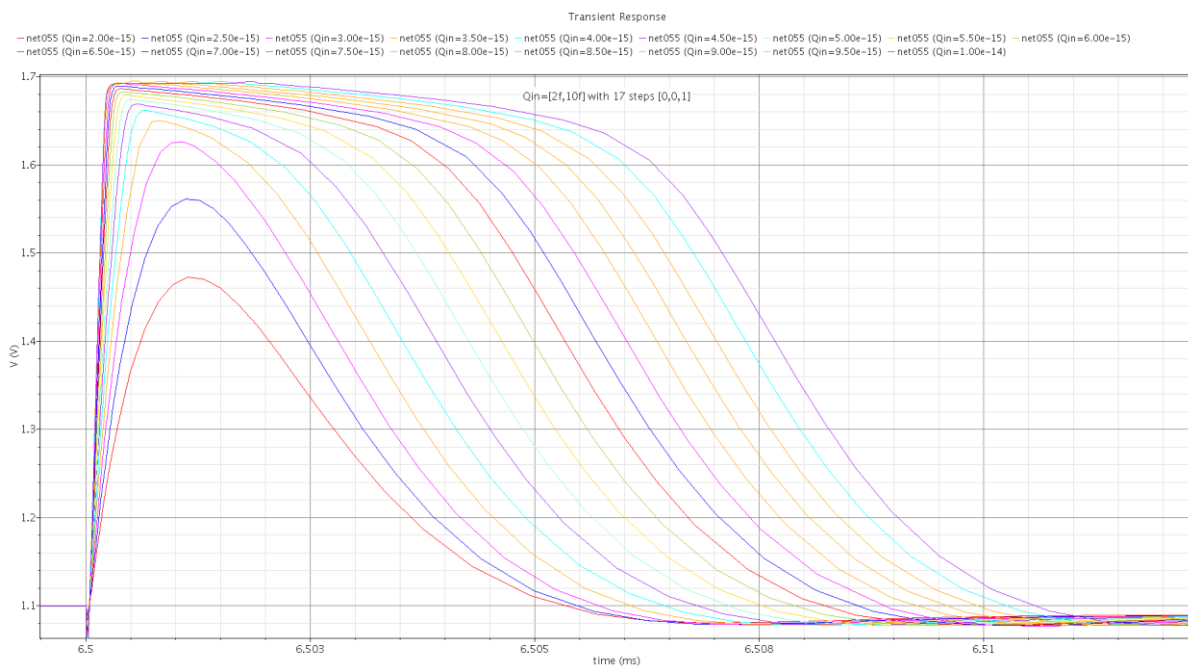
Σχ.7 Έξοδος του preamplifier για φορτίο εισόδου [2fC, 10fC] με 17 steps και τις μεταβλητές του shaper ορισμένες στο [0,0,0]

Στο παρακάτω διάγραμμα φαίνεται η έξοδος του preamplifier για φορτίο εισόδου [2fC, 10fC] με 17 steps και τις μεταβλητές του shaper ορισμένες στο [1,0,0]



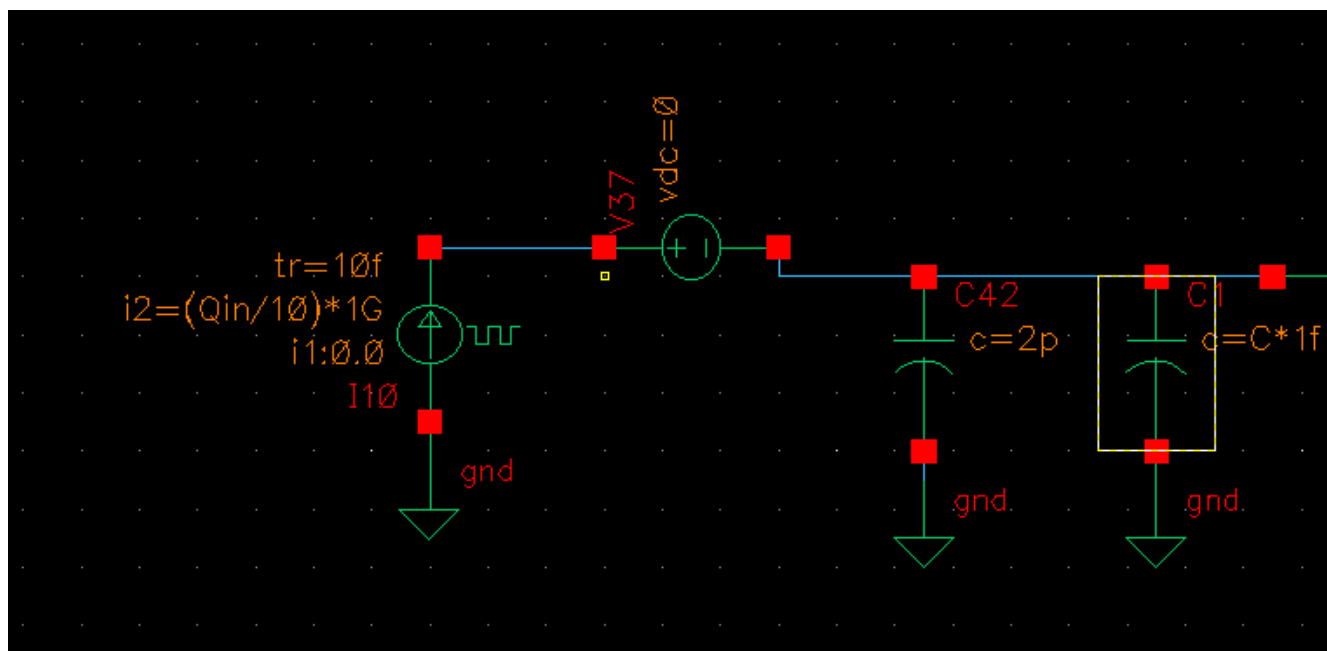
Σχ. 8 η έξοδος του preamplifier για φορτίο εισόδου [2fC, 10fC] με 17 steps και τις μεταβλητές του shaper ορισμένες στο [1,0,0]

Στο παρακάτω διάγραμμα φαίνεται η έξοδος του shaper για φορτίο εισόδου [2fC,10fC] με 17 steps και τις μεταβλητές του shaper ορισμένες στο [1,0,0]



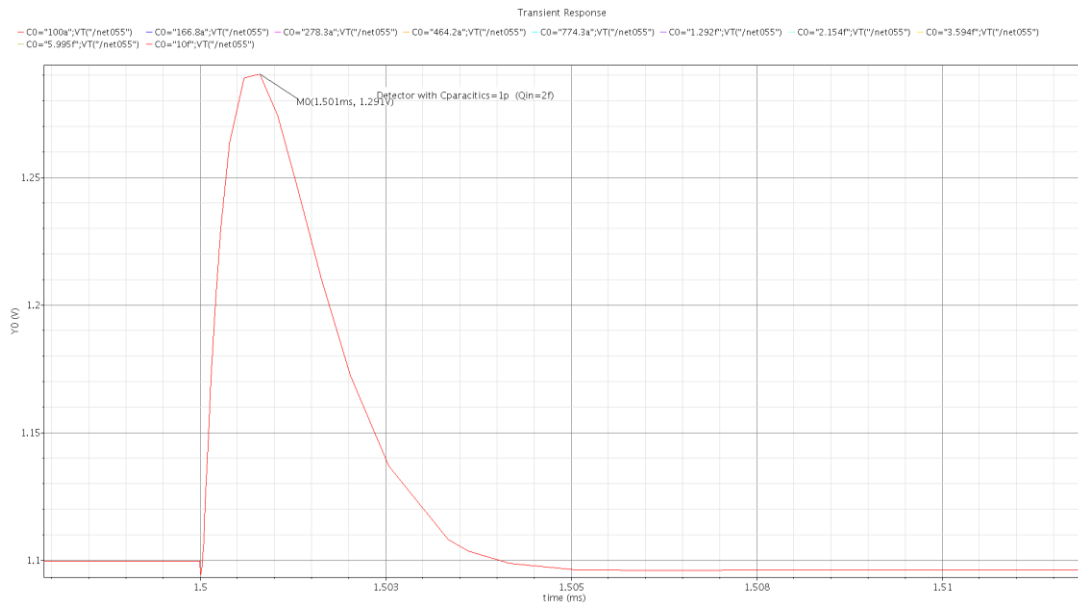
Σχ. 9 φαίνεται η έξοδος του shaper για φορτίο εισόδου [2fC,10fC] με 17 steps και τις μεταβλητές του shaper ορισμένες στο [1,0,0]

Πολλές φορές δημιουργείται μια παρασιτική χωρητικότητα παράλληλα στον ανιχνευτή. Δημιουργείται δηλαδή η παρακάτω τοπολογία.



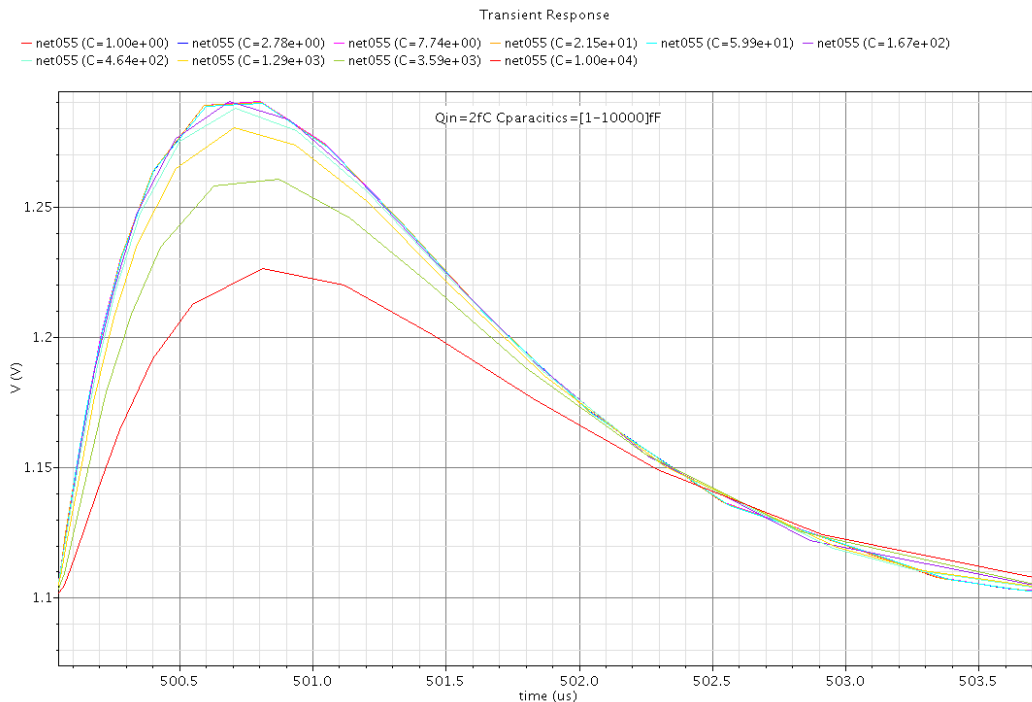
Εικόνα 1: Τοπολογία που σχεδιάστηκε για την προσομοίωση της παρασιτικής χωρητικότητας

Στο παρακάτω διάγραμμα φαίνεται η έξοδος της αναλογικής αλυσίδας για φορτίο εισόδου 1fC και $C_{overall} = C_{det} + C_{paracitics} = 2\text{pf}$



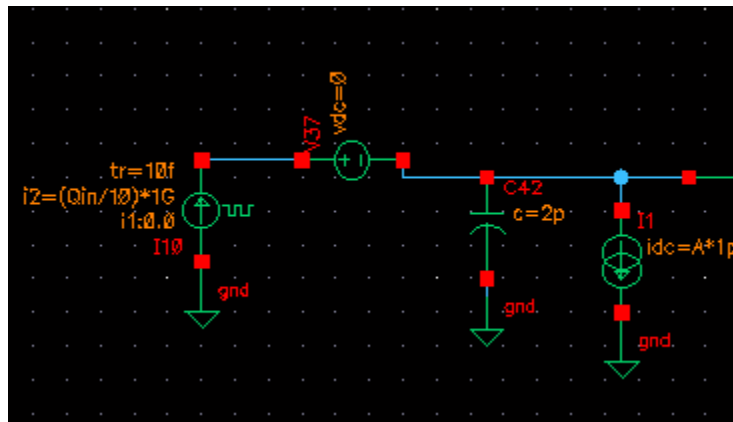
Σχ. 10 Έξοδος της αναλογικής αλυσίδας για φορτίο εισόδου 1fC και $C_{overall} = C_{det} + C_{paracitics} = 2\text{pf}$

Στο παρακάτω διάγραμμα φαίνεται η έξοδος της αναλογικής αλυσίδας για φορτίο εισόδου 2fC και $C_{paracitics} [1-10000]\text{fC}$



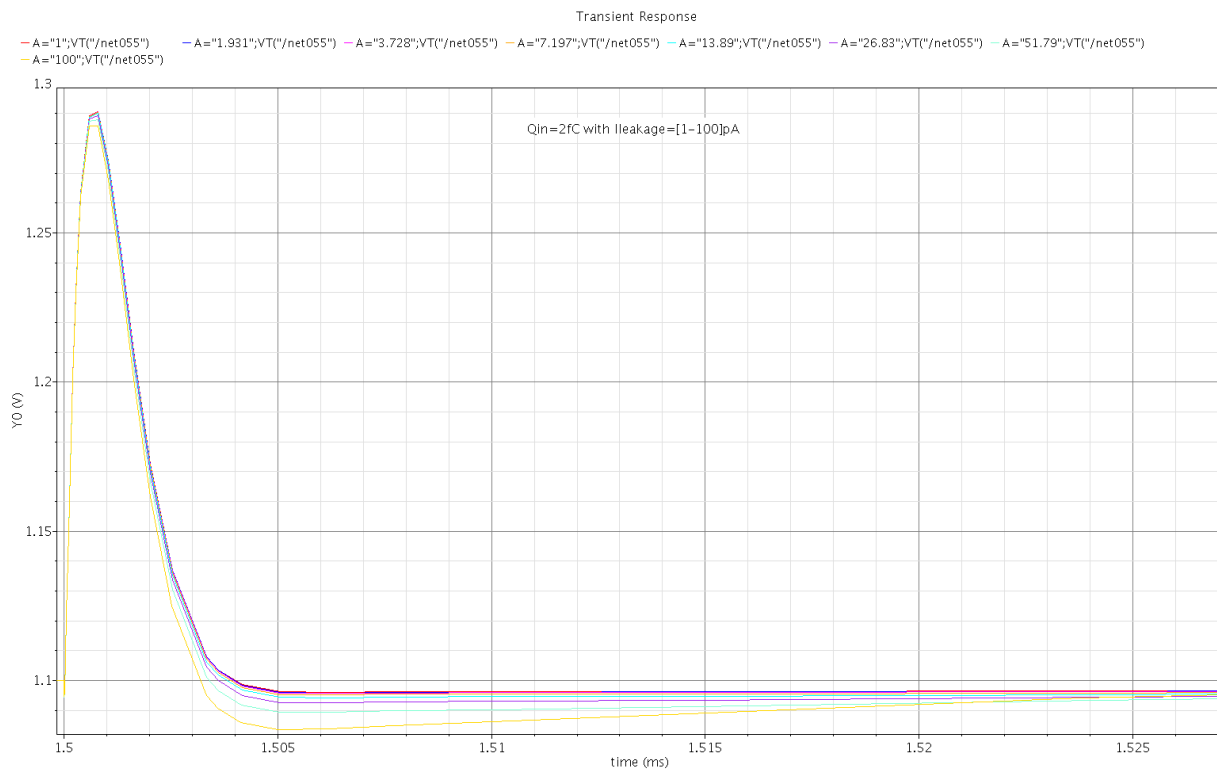
Σχ. 11 Έξοδος της αναλογικής αλυσίδας για φορτίο εισόδου 2fC και $C_{paracitics} [1-10000]\text{fC}$

Με την πάροδο του χρόνου και την υποβάθμιση των υλικών εμφανίζεται ένα πολύ μικρό ρεύμα να ρέει από τον ανιχνευτή προς την είσοδο του preamplifier. Αυτό μεγαλώνει με το χρόνο και μπορεί εν τέλει να εμφανίζεται μια τάση εξόδου που δεν έχει καμία σχέση με την ενίσχυση του πραγματικού παλμού. Αυτό διορθώνεται με ένα κύκλωμα self-adjustable που στο σε προηγούμενο σχέδιο που φαίνεται όλη η αναλογική αλυσίδα ονομάζεται Current Leakage Compensator[2]. Για την σωστή σχεδίαση και πρόβλεψη του Peak χρησιμοποιείται η παρακάτω τοπολογία:



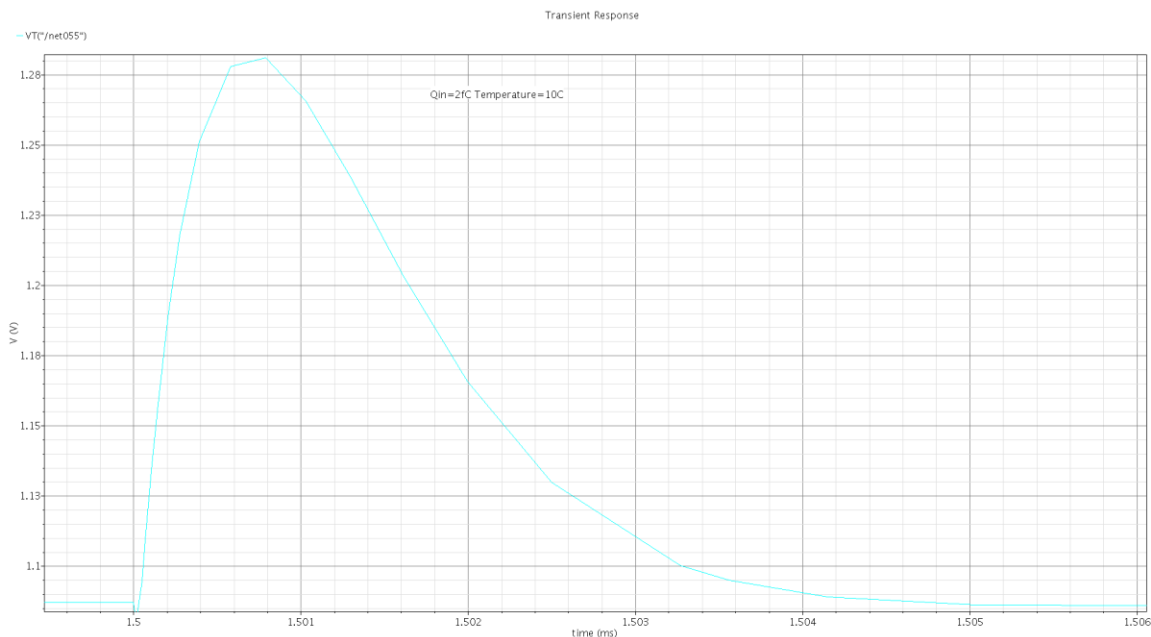
Εικόνα 2: Τοπολογία που χρησιμοποιείται για την προσομοίωση του Leakage current

Η έξοδος λοιπόν του κυκλώματος αυτού για σταθερό φορτίο εισόδου 2fC και μεταβλητό Peak [1-100]pA φαίνεται παρακάτω.

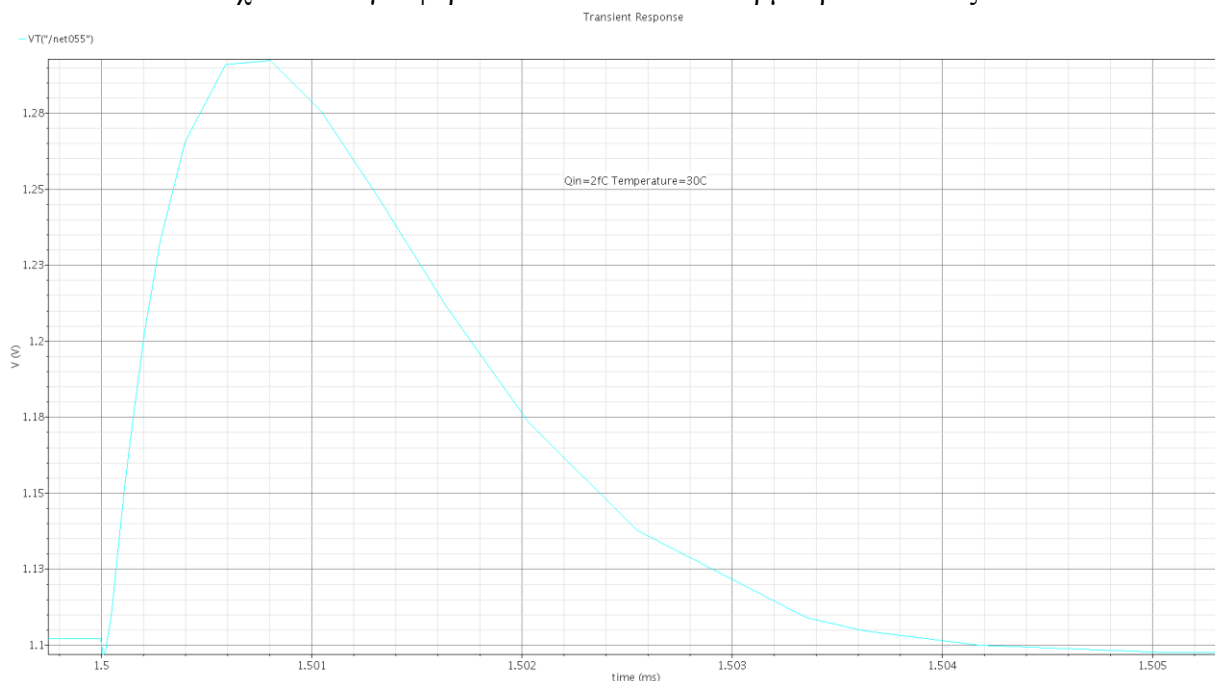


Σχ.12 Η έξοδος του κυκλώματος για σταθερό φορτίο εισόδου 2fC και μεταβλητό Peak [1-100]pA

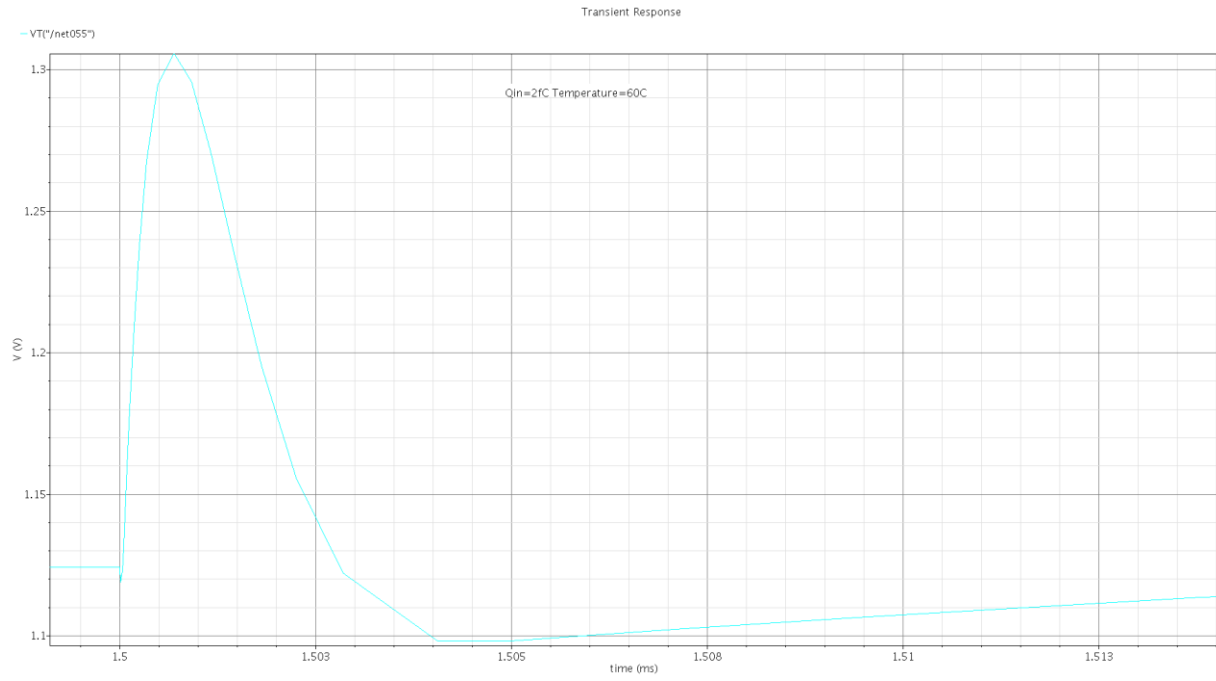
Όπως είναι γνωστό η θερμοκρασία διαδραματίζει σημαντικό ρόλο στη λειτουργία των ηλεκτρονικών. Για το λόγο αυτό παρατίθενται τα 3 παρακάτω διαγράμματα καθώς ένα τέτοιο ολοκληρωμένο κύκλωμα ίσως να μην χρησιμοποιείται σε θερμοκρασία δωματίου. Το φορτίο εισόδου είναι σταθερό και ίσο με 2fC και η θερμοκρασία παίρνει τις τιμές των 10C ,30C και 60C.



Σχ.13 Vout για φορτίο εισόδου 2fC και θερμοκρασία στους 10C

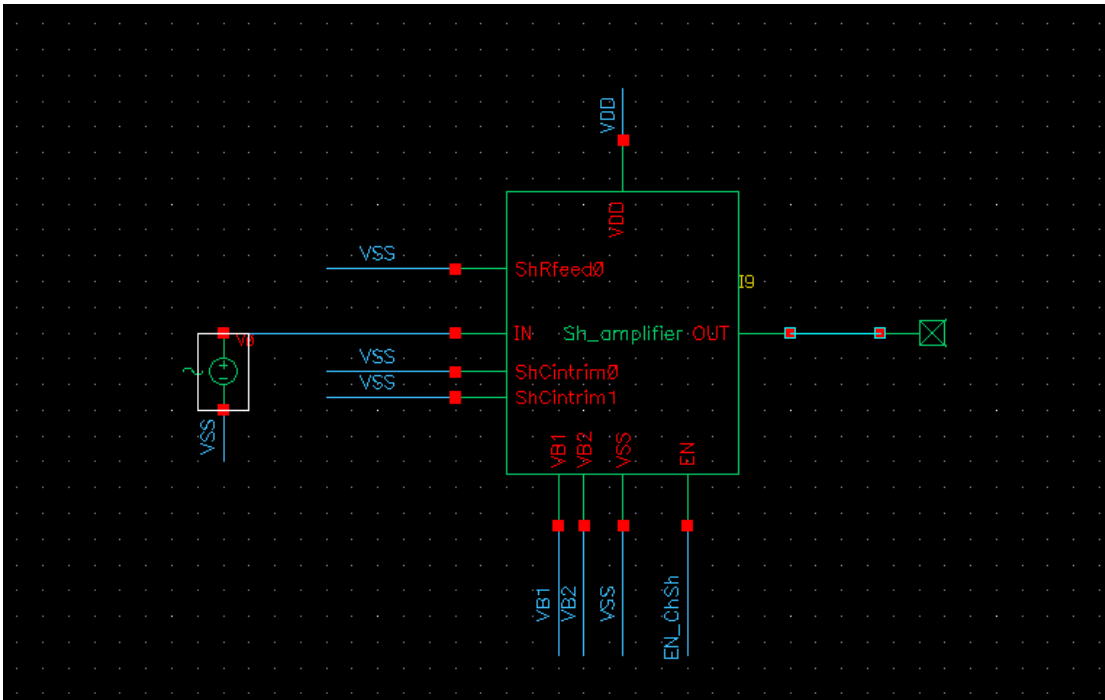


Σχ.14 Vout για φορτίο εισόδου 2fC και θερμοκρασία στους 30C

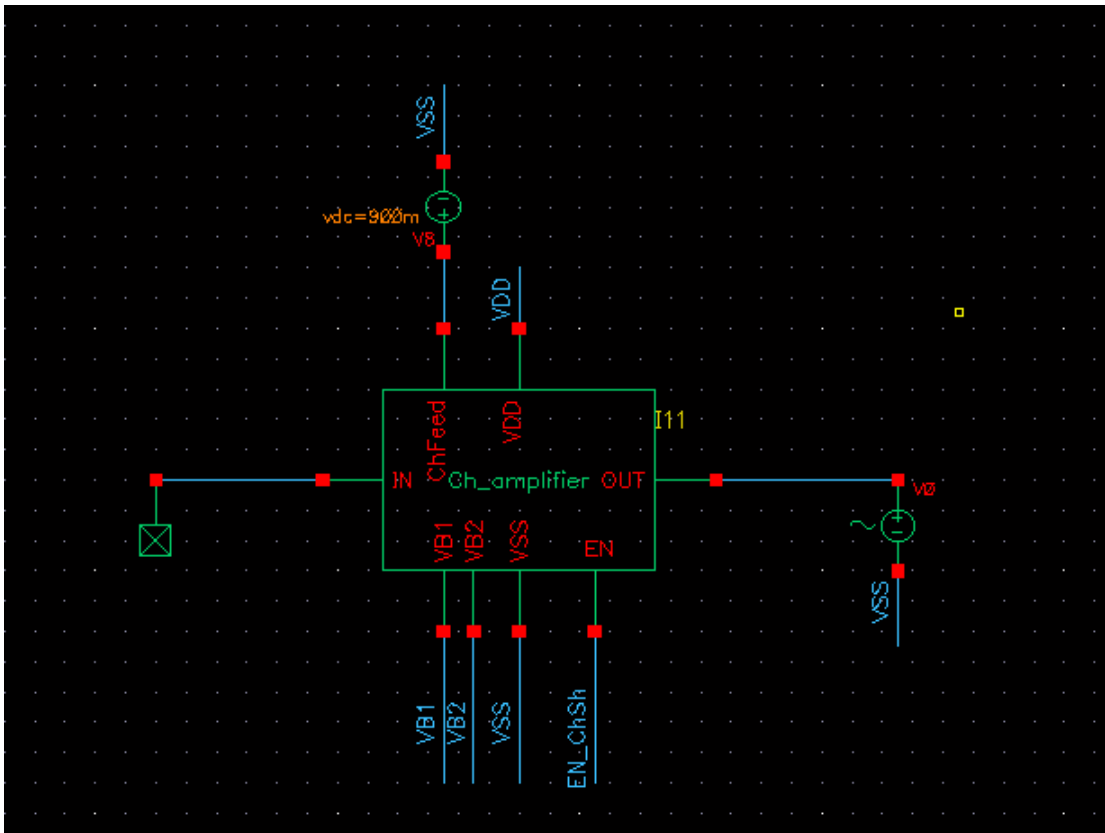


Σχ.15 Vout για φορτίο εισόδου 2fC και θερμοκρασία στους 60C

Αφού μελετήθηκαν οι έξοδοι της τάσης και του θορύβου για μια μεγάλη γκάμα εισόδων(μεταβλητά τα Q_{in} ,Length του πρώτου transistor του preamplifier,leakage current,Cparacitics,θερμοκρασία) ακολούθησαν προσομοιώσεις για την εύρεση της αντίστασης εισόδου και εξόδου για τον shaper και τον preamplifier αντίστοιχα. Για το βέλτιστο «matching» της «γραμμής» θα πρέπει ο charge amplifier να έχει αντίσταση εξόδου που προσεγγίζει το μηδέν ενώ ο shaper να έχει αντίσταση εισόδου που να προσεγγίζει το άπειρο[5].Παρατίθενται λοιπόν οι συνδεσμολογίες με τις οποίες μελετηθήκαν αυτές οι σύνθετες αντιστάσεις.

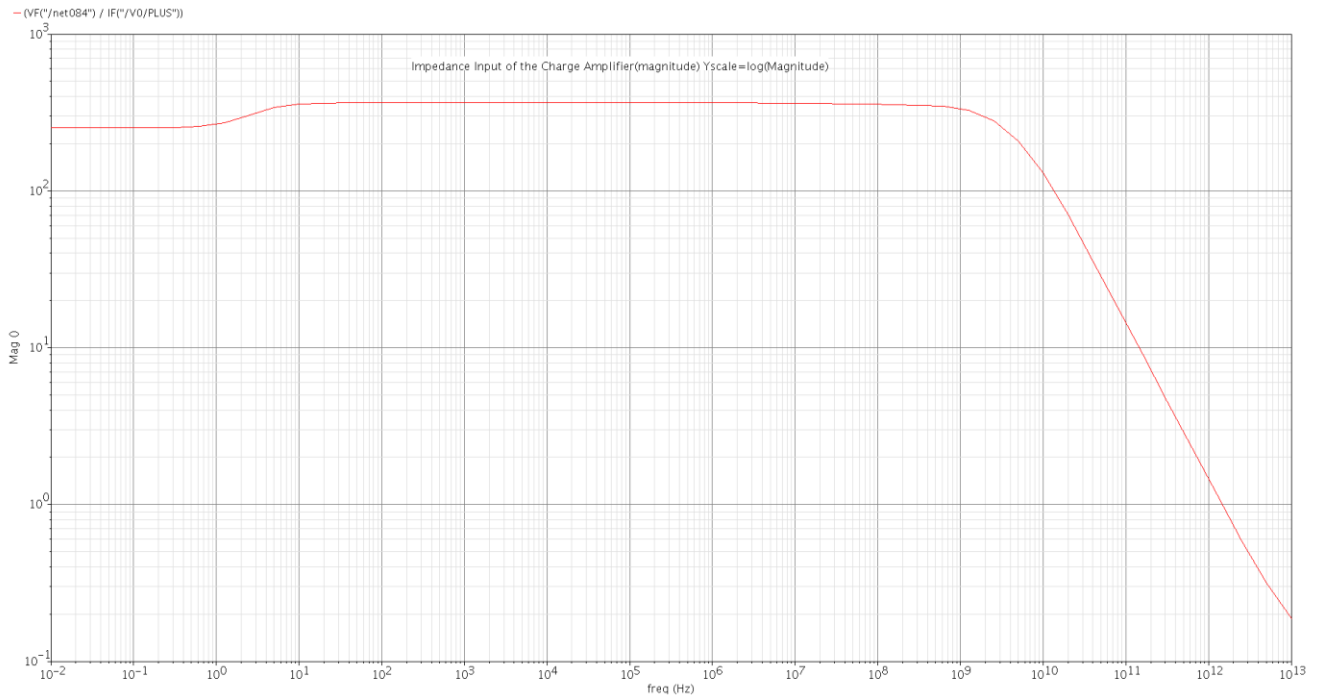


Εικόνα 3: Τοπολογία που χρησιμοποιείται για προσομοίωση του impedance εισόδου του shaper

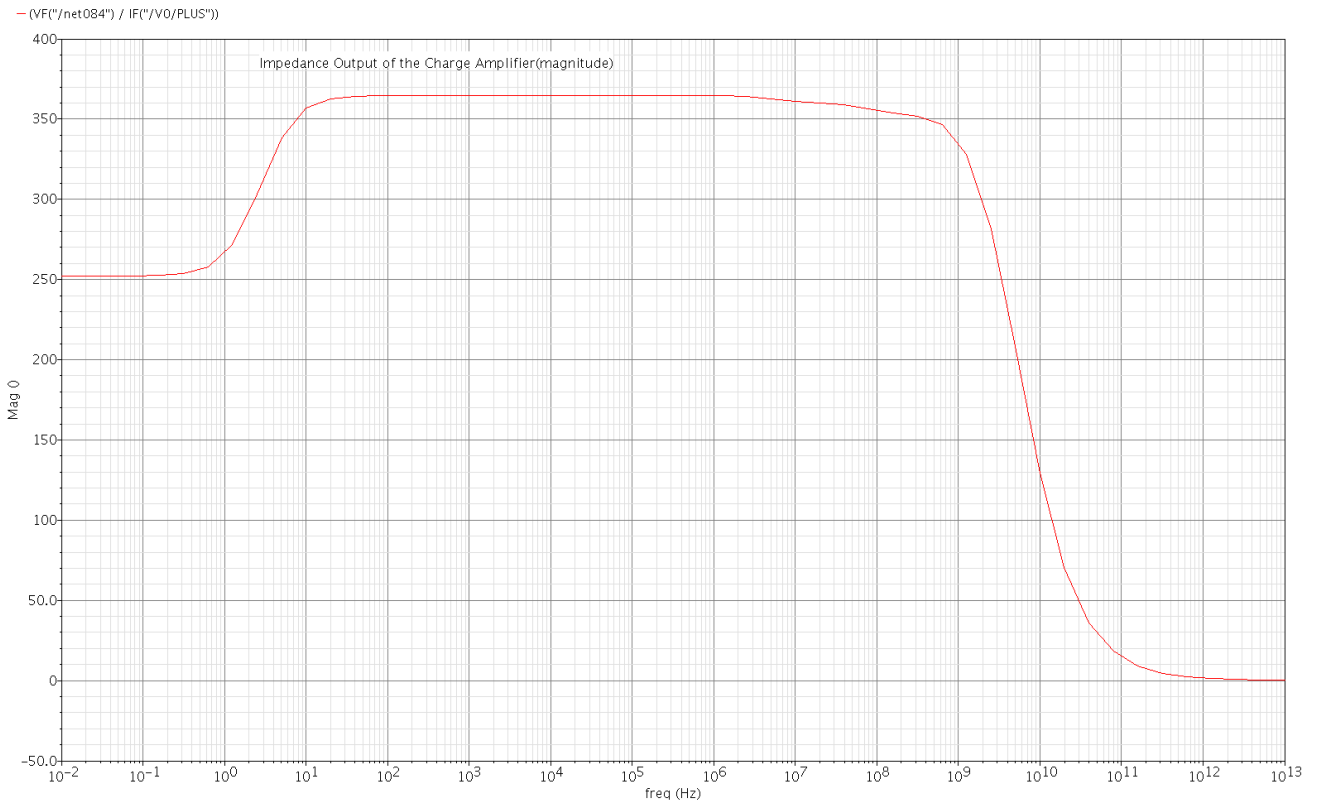


Εικόνα 4: Τοπολογία που χρησιμοποιείται για προσομοίωση του impedance εξόδου του charge amplifier

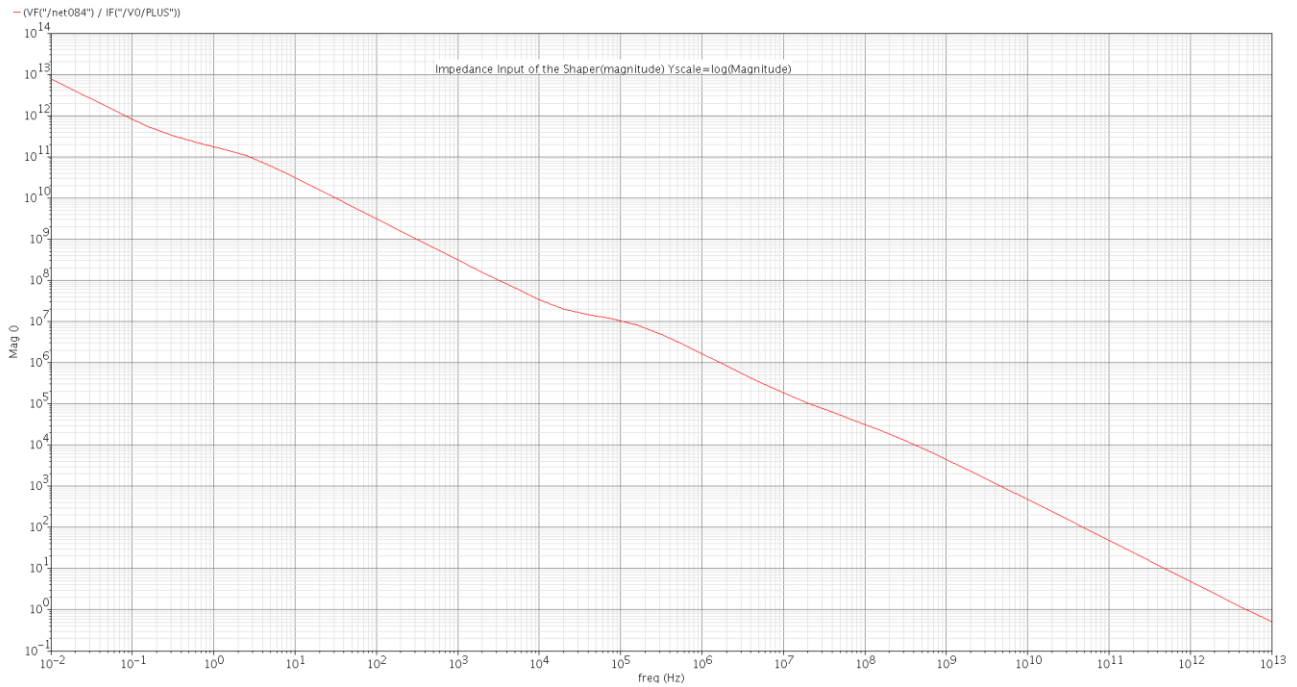
Οι έξοδοι είναι οι εξής:



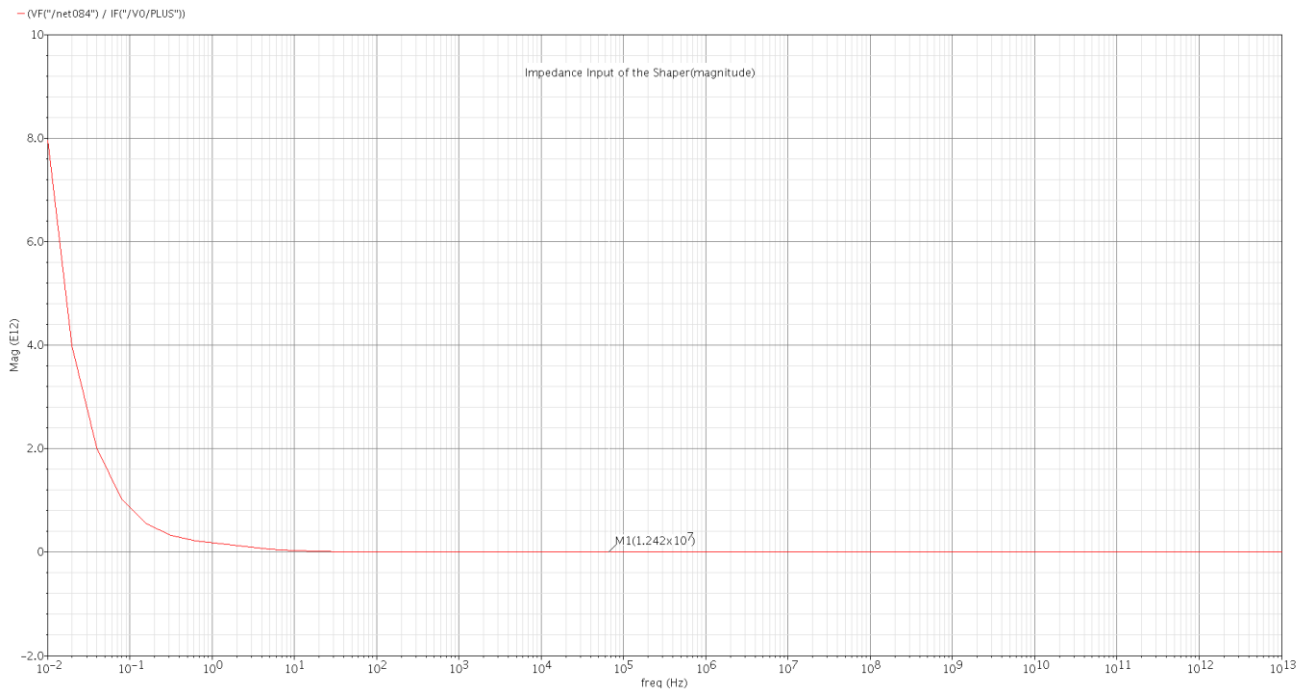
Σχ.16 Impedance Input του charge amplifier(Yscale=log(Magnitude))



Σχ.17 Impedance Output του charge amplifier(Yscale=log(Magnitude))



Σχ.18 Impedance Input του shaper(Yscale=log(Magnitude))



Σχ.19 Impedance Output του shaper(Yscale=log(Magnitude))

Τα αποτελέσματα είναι τα αναμενόμενα. Και οι δύο ενισχυτές έχουν πολύ υψηλή αντίσταση εισόδου ενώ πολύ χαμηλή αντίσταση εξόδου. Ουσιαστικά ο shaper λόγω της μεγάλης αντίστασης εξόδου «τραβάει» το μέγιστο ρεύμα(φορτίο) από την έξοδο του

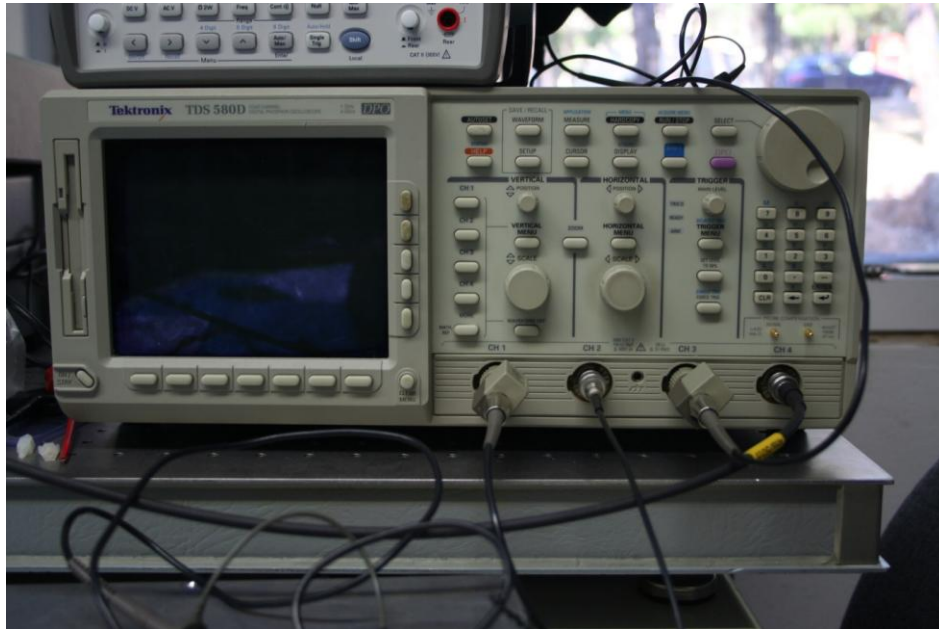
charge amplifier. Αξίζει να σημειωθεί ότι και στα τέσσερα παραπάνω διαγράμματα μελετάται το magnitude και όχι το phase-η σύνθετη αντίσταση αποτελείται από το μέτρο και το φάσορα σύμφωνα με τη θεωρία των ηλεκτρικών κυκλωμάτων. Η μελέτη στις συνεισφοράς τις φάσης δεν βρίσκεται στα πλαίσια στις παρούσας εργασίας.

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΑΙΟΥ 7

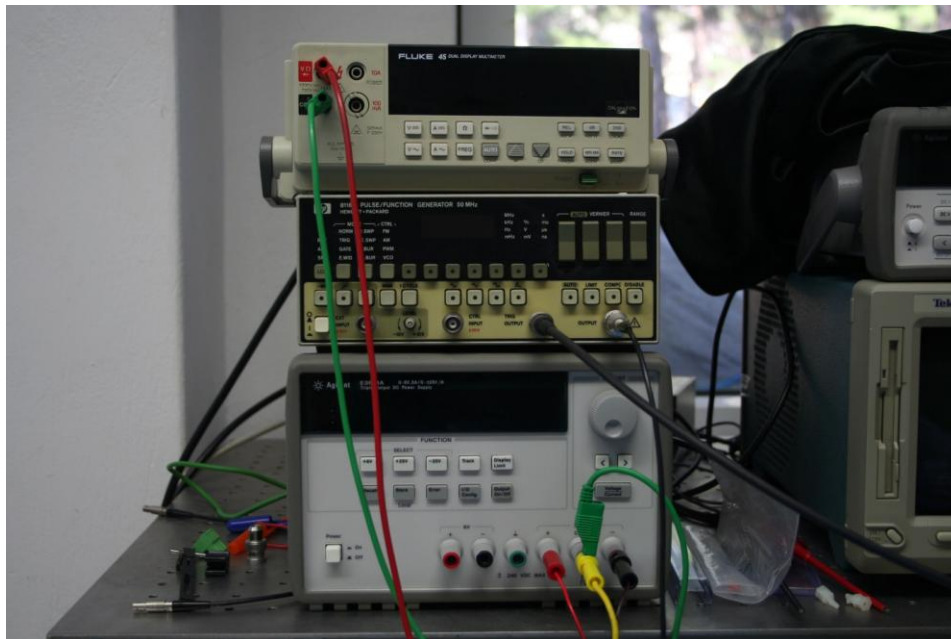
- [1] www.cadence.com
- [2] ATLAS Pixel Collaboration, ‘The ATLAS pixel front-end readout chips’, Nuclear Instruments and Methods in Physics Research A 473, 2001, pp. 157-162.
BSIM3v.2.2 Manual; UC Berkeley: Berkeley, 1999
- [3] F. N. Hooge, ‘1/f noise is no surface effect’, Physics Letters, 29A(3): 139-140, April 1969.
- [4] F. N. Hooge, ‘Discussion of recent experiments on 1/f noise’, Physica, 60: 130-144, 1976
- [5] Επικοινωνία με τους Δρ. Γ. Θεοδωράτο και Δρ. Χ. Λαμπρόπουλο

ΚΕΦΑΛΑΙΟ 8^ο

Για τις πειραματικές μετρήσεις που έλαβαν χώρα στο εργαστήριο Οργανολογίας χρησιμοποιήθηκε ο παλμογράφος Tektronix TDS 580D και η παλμογεννήτρια HP 8116 Pulse/Function Generator 50Hz που φαίνονται στις φωτογραφίες παρακάτω.

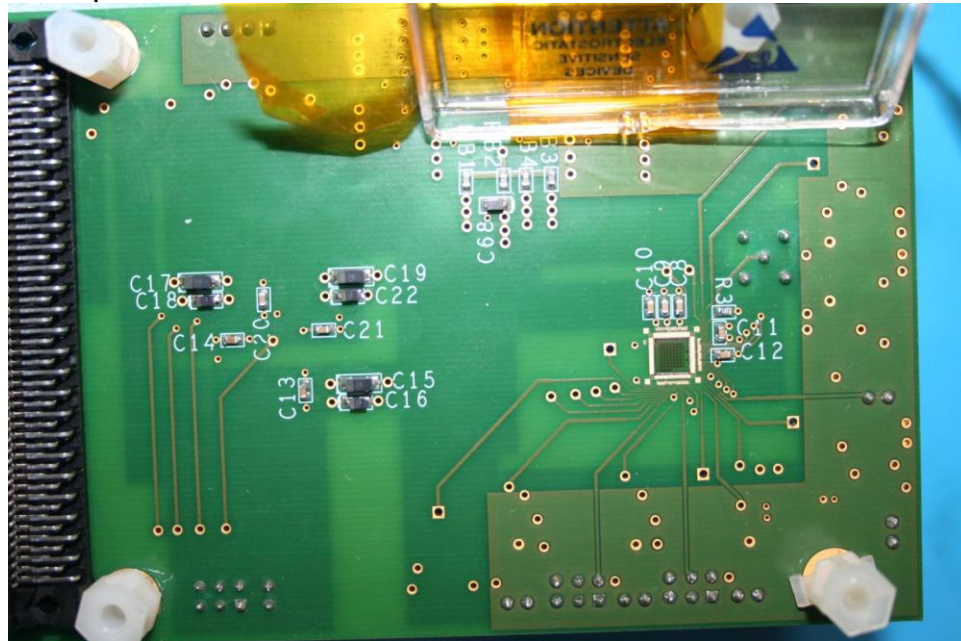


Εικόνα 1: Παλμογράφος Tektronix TDS 580D

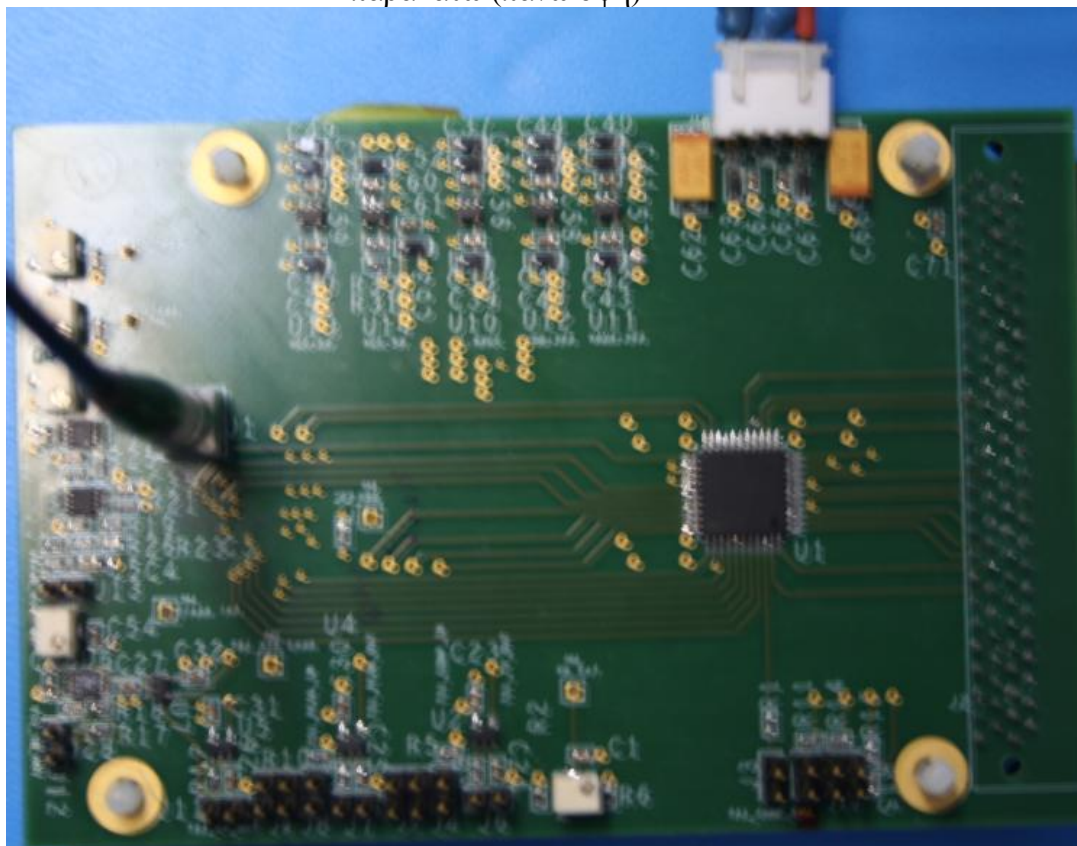


Εικόνα 2: παλμογεννήτρια HP 8116 Pulse/Function Generator 50Hz

Η πλακέτα (PCB) που σχεδιάστηκε για το testing του ολοκληρωμένου κυκλώματος φαίνεται παρακάτω (οι δύο όψεις της)[1][2]. Το PCB σχεδιάστηκε σε σύγχρονη τεχνολογία και αποτελείται από 4 στρώματα(layers). Το P4DI είναι wire-bonded πάνω σε αυτή.

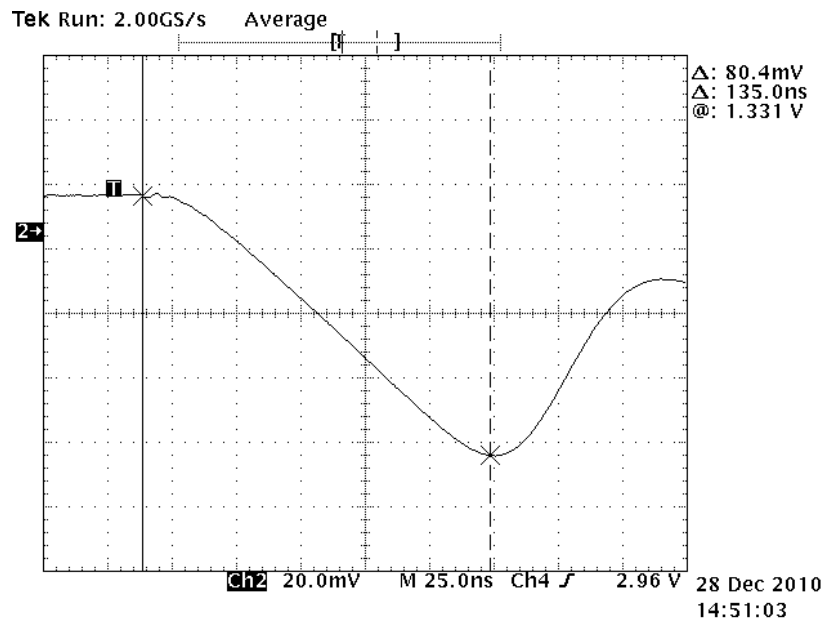


Εικόνα 3: Η πλακέτα που σχεδιάστηκε για το testing του ολοκληρωμένου κυκλώματος φαίνεται παρακάτω (πάνω όψη)



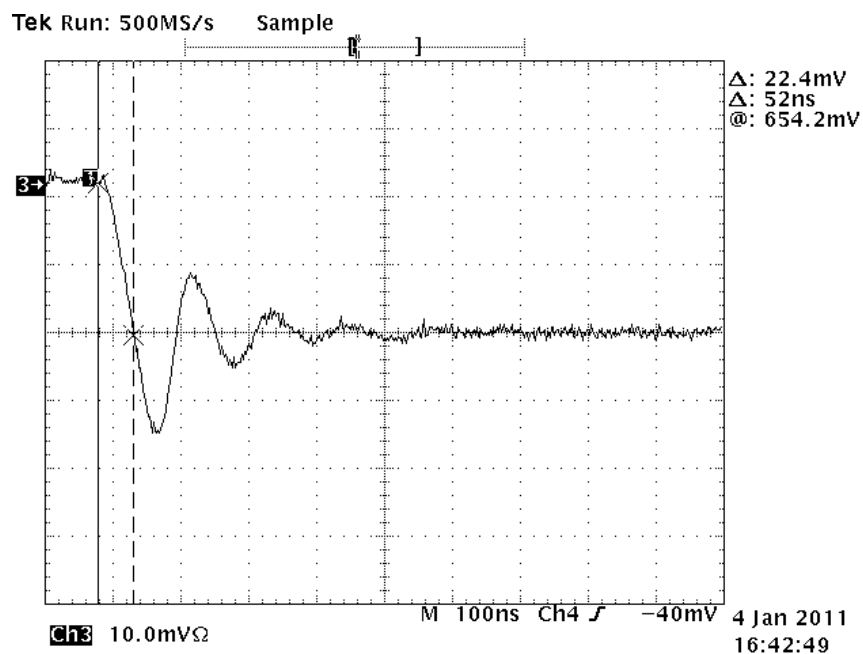
Εικόνα 4: Η πλακέτα που σχεδιάστηκε για το testing του ολοκληρωμένου κυκλώματος φαίνεται παρακάτω (πάνω όψη)

Αρχικά με πόλωση του transistor ανάδρασης στο 0.9Volt, $V_{leak}=0V$ και $V_{in}=80mV$ (αντιστοιχεί σε φορτίο εισόδου $4.18fC$) η εικόνα που λαμβάνεται την έξοδο του preamplifier είναι η παρακάτω:



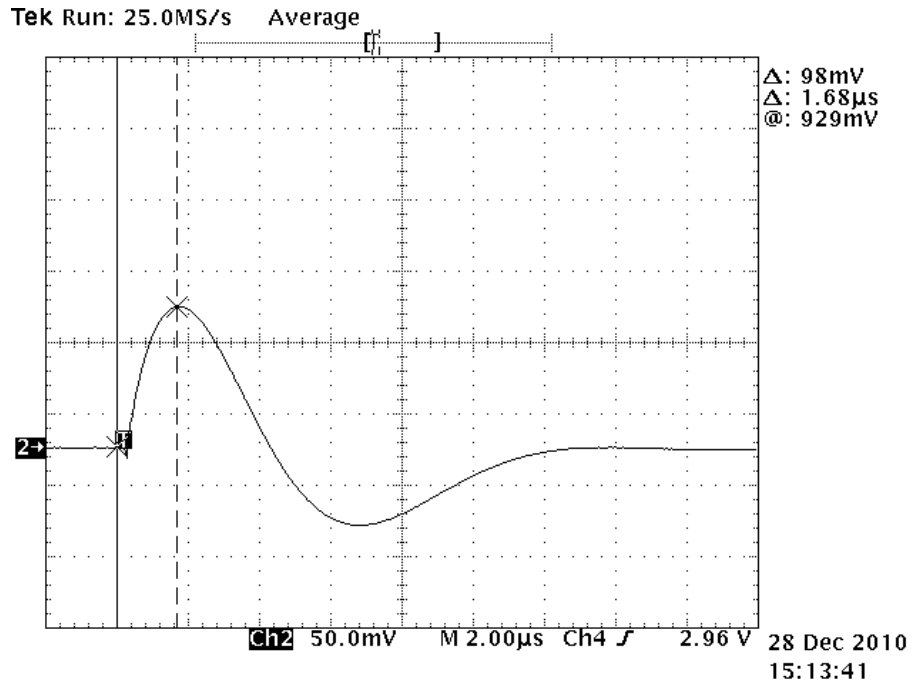
Εικόνα 5: Έξοδος του preamplifier για φορτίο εισόδου $4.18fC$ και πόλωση του transistor στα 0.9V

Με πόλωση του transistor ανάδρασης στο 1.0Volt, $V_{leak}=0V$ και $V_{in}=80mV$ (αντιστοιχεί σε φορτίο εισόδου $4.18fC$) η εικόνα που παίρνουμε από την έξοδο του preamplifier είναι η παρακάτω:



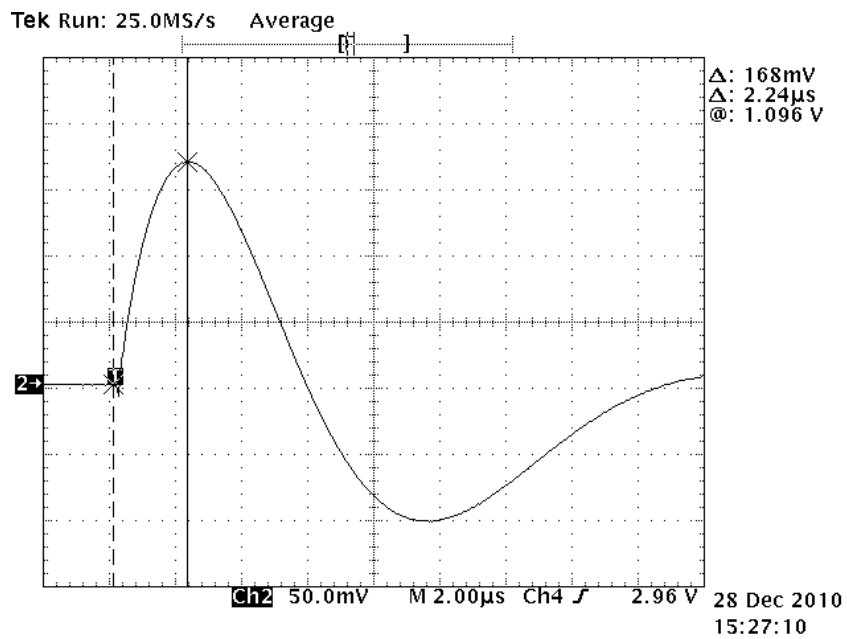
Εικόνα 6: Έξοδος του preamplifier για φορτίο εισόδου $4.18fC$ και πόλωση του transistor στο 1.0V

Η έξοδος του shaper για $R_{feed}=0$ και ορίζοντας τα control bits $[0,0,0]$ είναι:



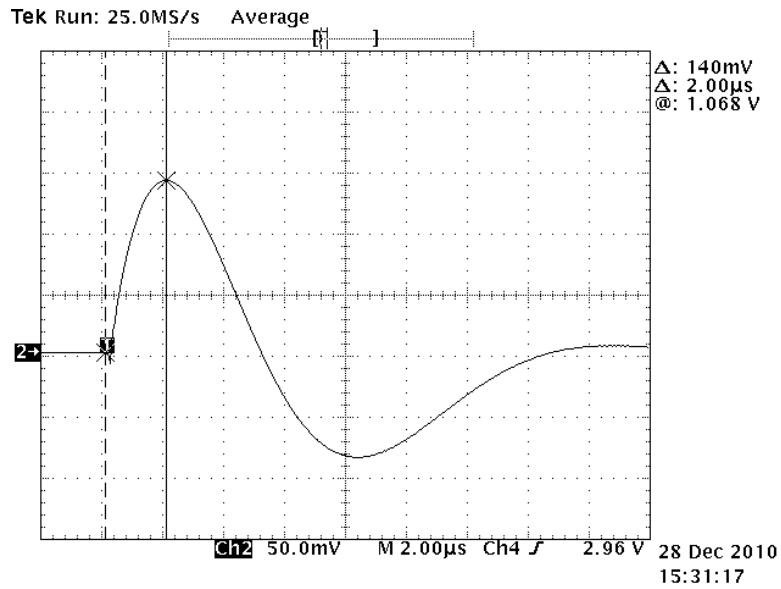
Εικόνα 7: Η έξοδος του shaper για $R_{feed}=0$ και ορίζοντας τα control bits $[0,0,0]$

Η έξοδος του shaper για $R_{feed}=0$ και ορίζοντας τα control bits $[0,0,1]$ είναι:



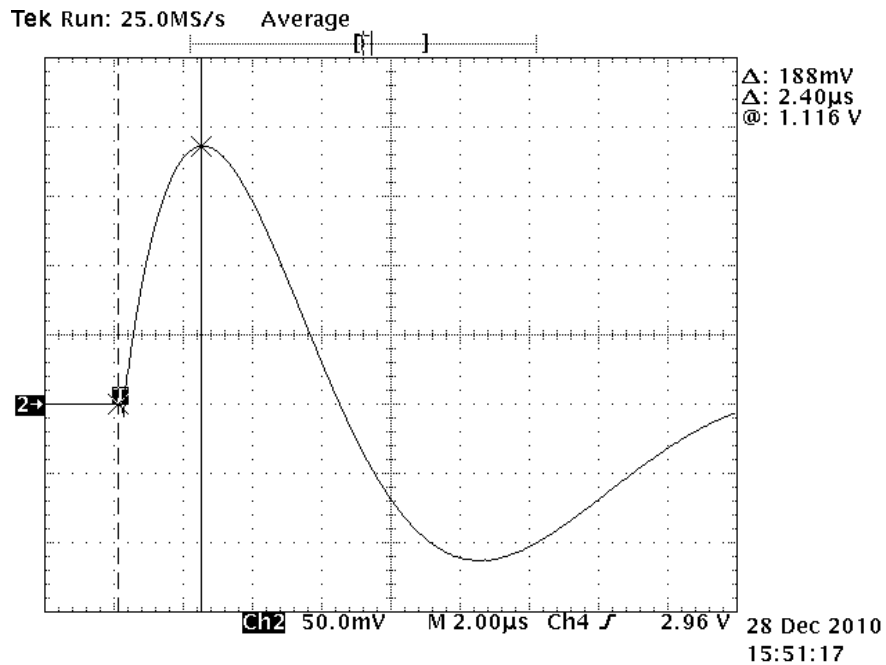
Εικόνα 8: Η έξοδος του shaper για $R_{feed}=0$ και ορίζοντας τα control bits $[0,0,1]$

Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,0]είναι:



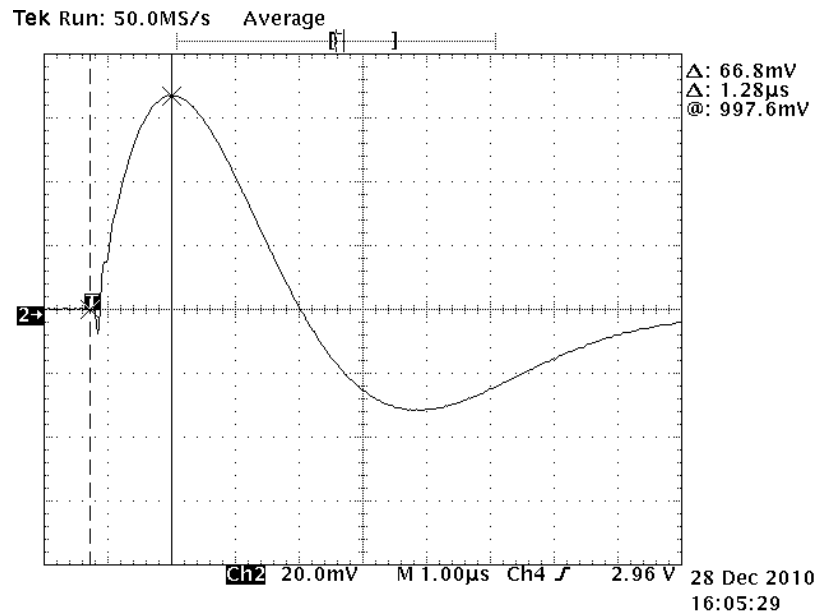
Εικόνα 9: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,0]

Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,1]είναι:



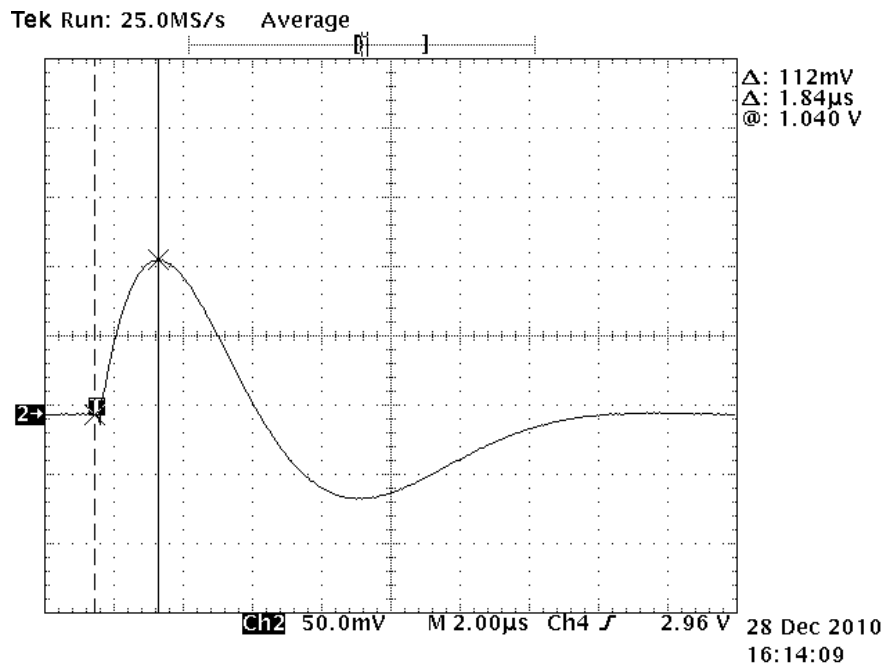
Εικόνα 10: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,0] είναι:



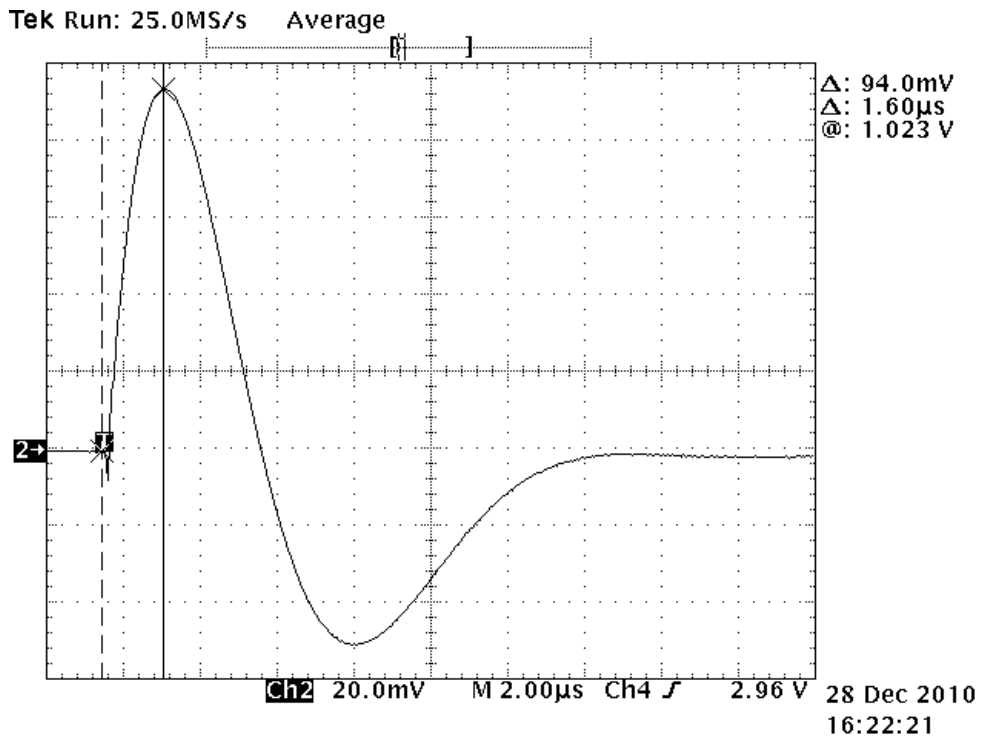
Εικόνα 11: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,0]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



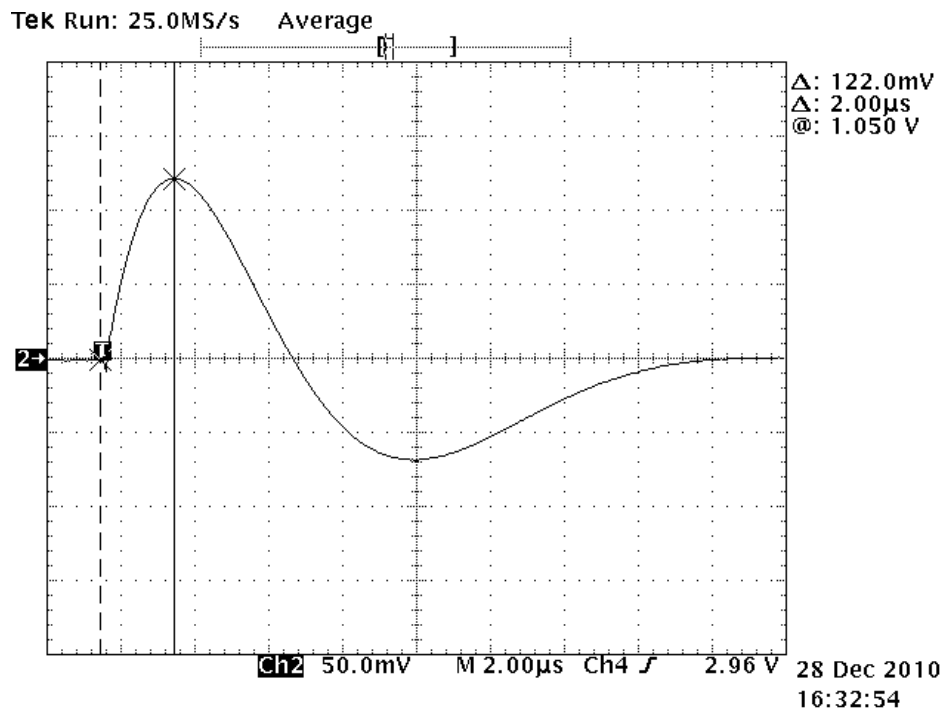
Εικόνα 12: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,0] είναι:



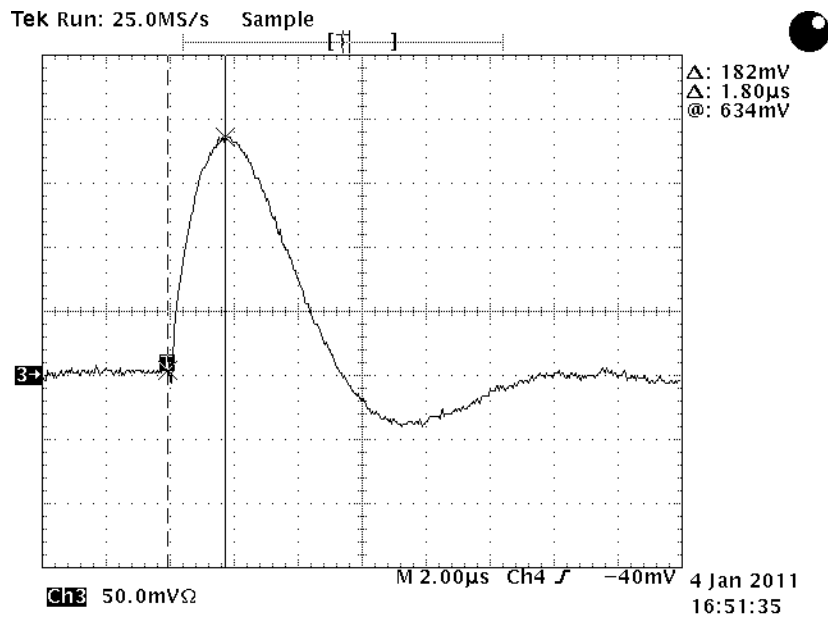
Εικόνα 13: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,0]

Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,1] είναι:



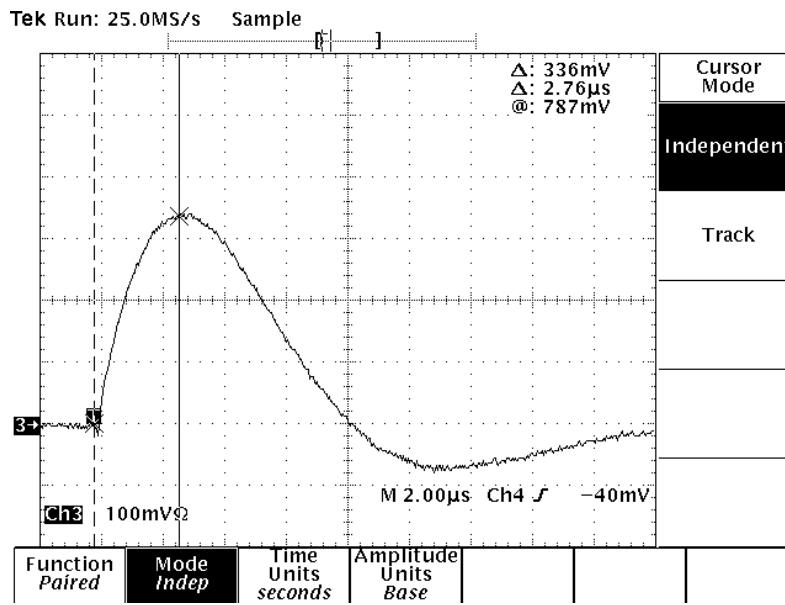
Εικόνα 14: Η έξοδος του shaper για Rfeed=0 και ορίζοντας τα control bits [0,1,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



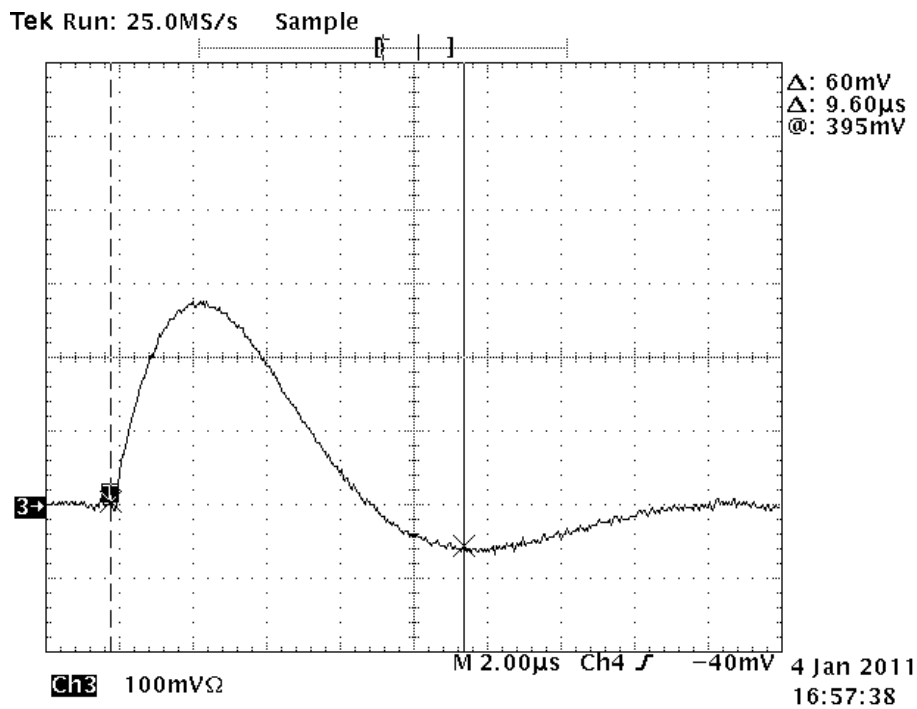
Εικόνα 15: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



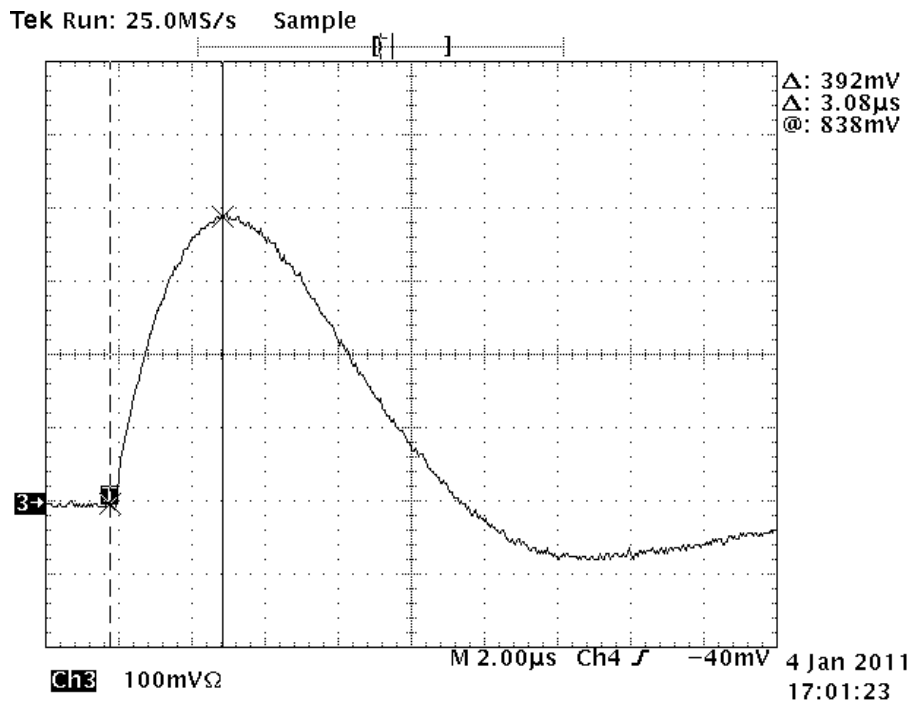
Εικόνα 16: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



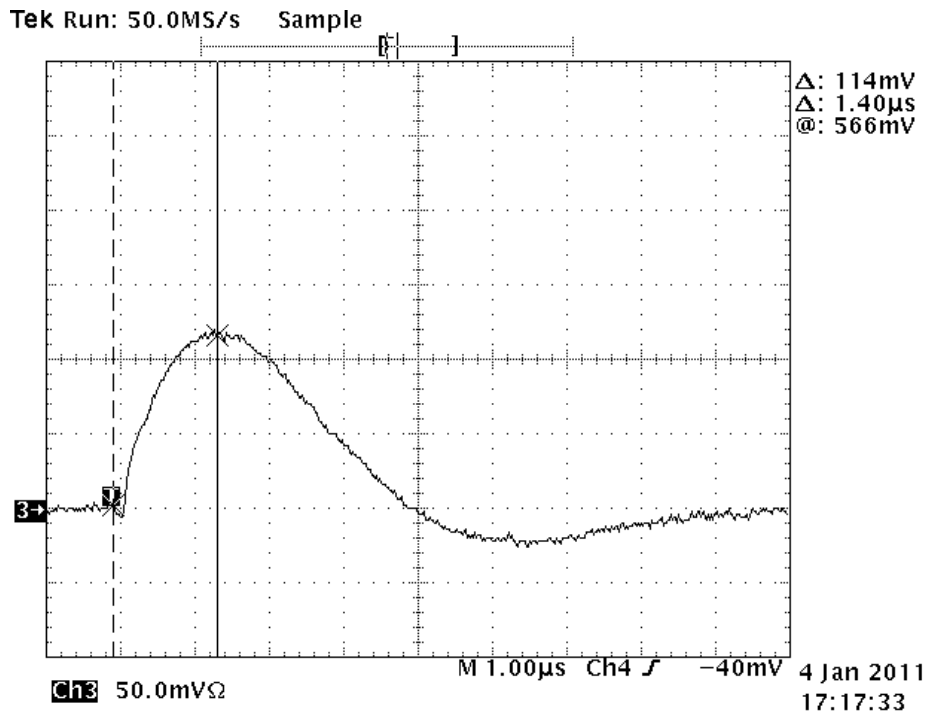
Εικόνα 17: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



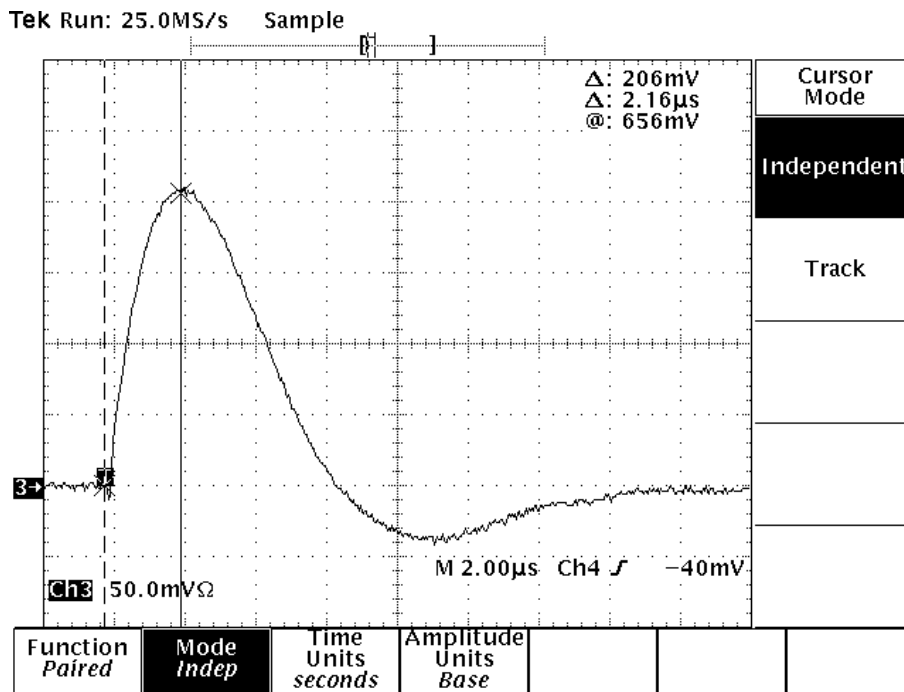
Εικόνα 18: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



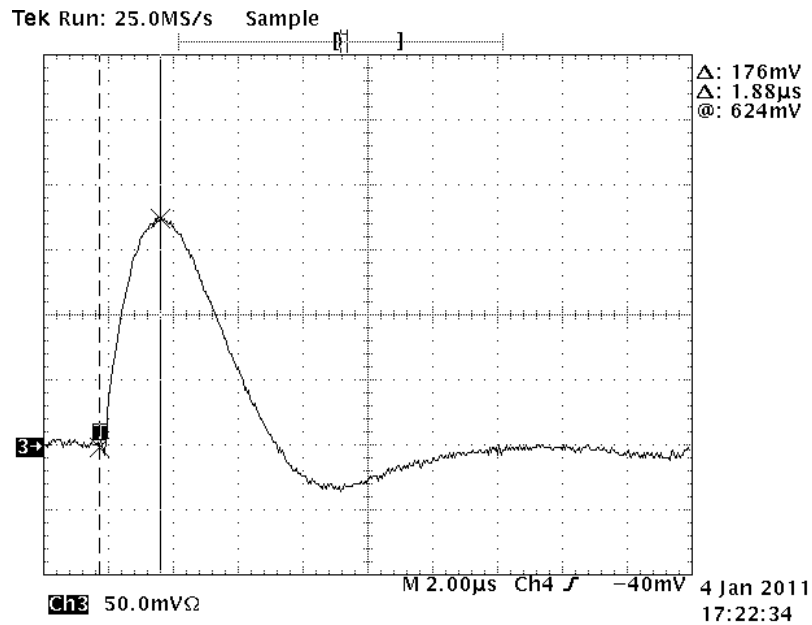
Εικόνα 19: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



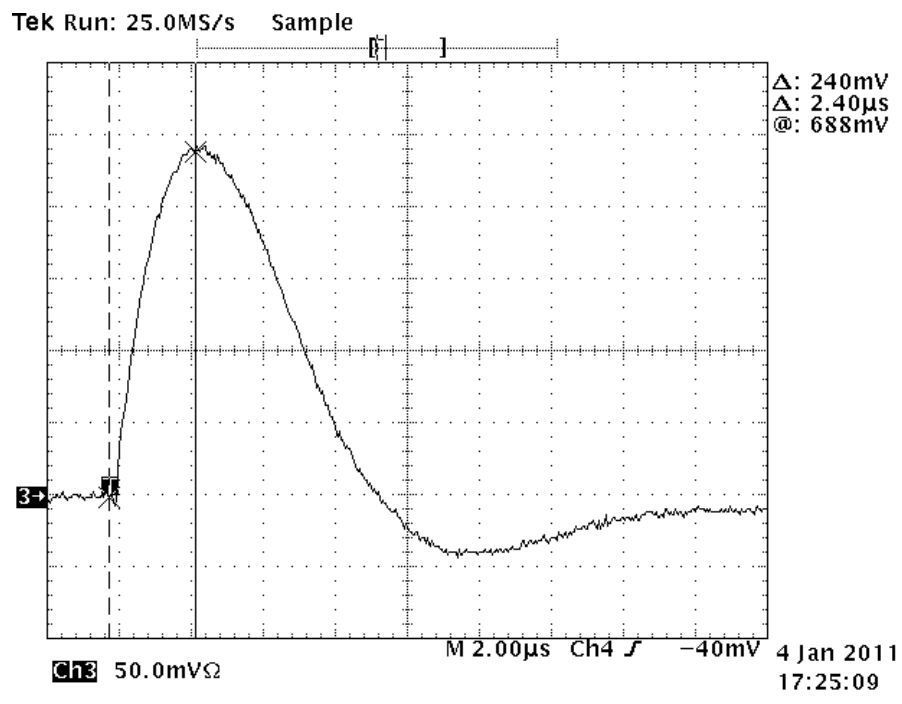
Εικόνα 20: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



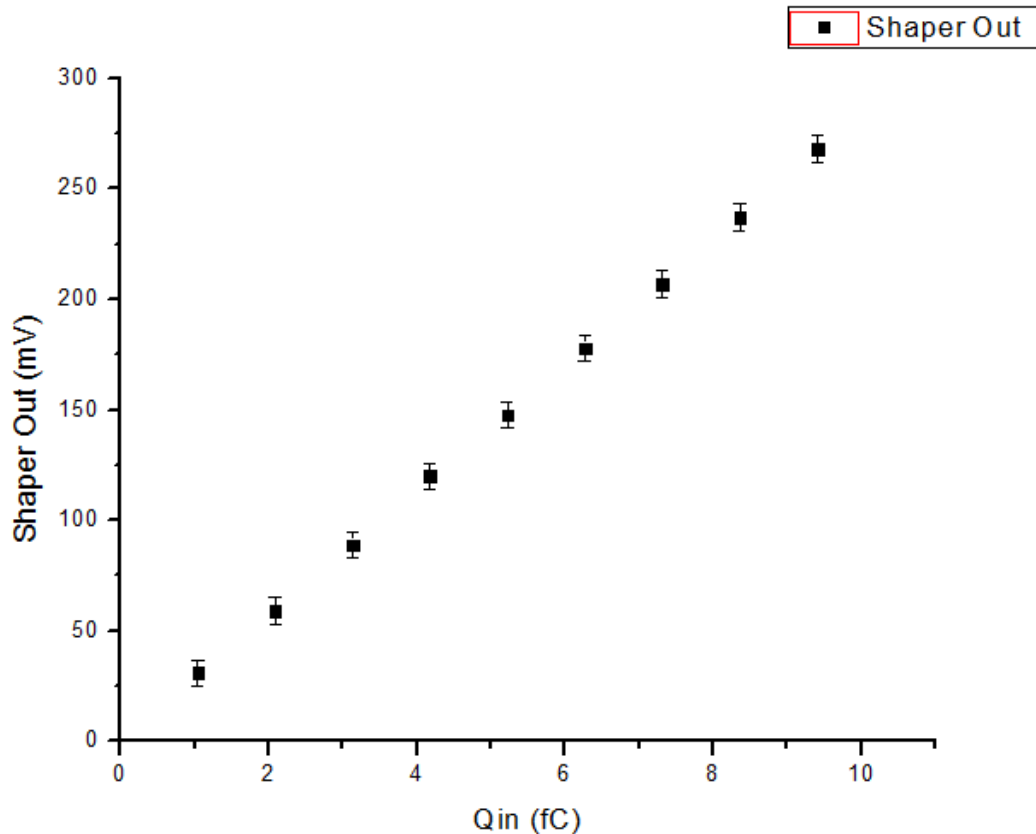
Εικόνα 21: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1] είναι:



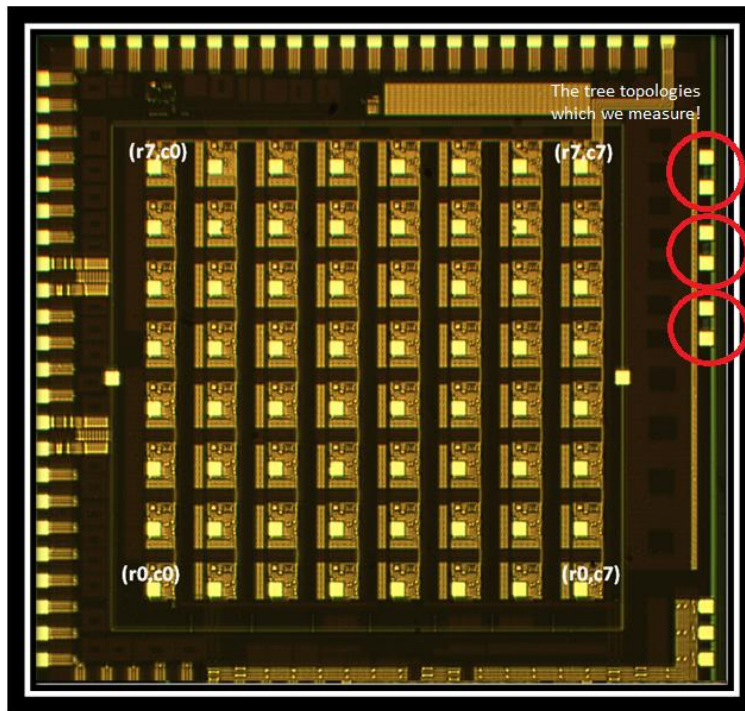
Εικόνα 22: Η έξοδος του shaper για Rfeed=1 και ορίζοντας τα control bits [0,0,1]

Επίσης βάζοντας ένα εξωτερικό $I_{leak} = 1\mu A$ η έξοδος του shaper για τα 3 control bit ορισμένα στην κατάσταση $[0,0,0]$ και τη μεταβλητή $ChargeFeedback = 1V$ παρατηρείται πλήρης γραμμικότητα του shaper:



Σχ.1 Έξοδος του shaper για εξωτερικό $I_{leak} = 1\mu A$, το Charge Feedback στο 1V και τα control bits στην κατάσταση $[0,0,0]$

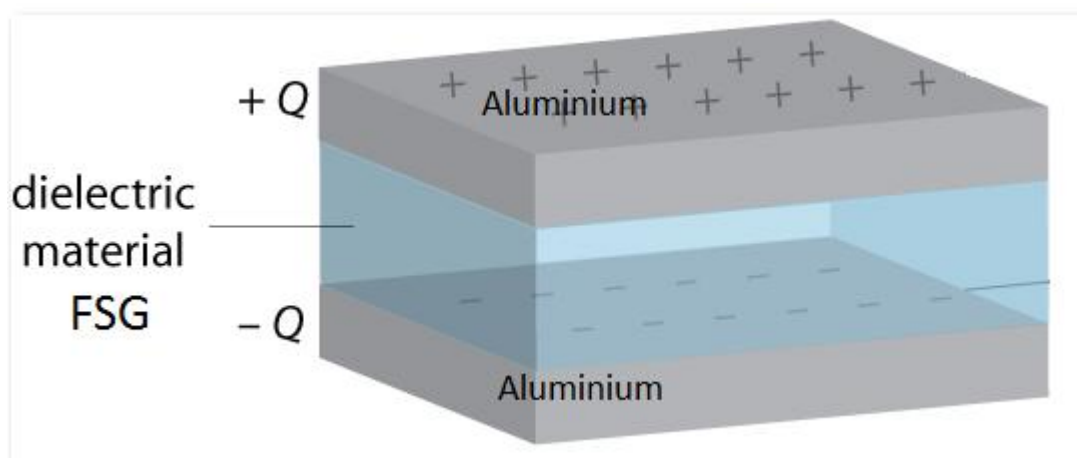
Όπως φαίνεται από τα παραπάνω τα αποτελέσματα των μετρήσεων δείχνουν να είναι ικανοποιητικά. Πρέπει όμως να μελετηθεί και η εγκυρότητα της τεχνολογίας κατασκευής του ολοκληρωμένου λόγω της τελευταίας τεχνολογίας UMC CMOS 180nm, 1.8V που επιλέχτηκε. Να γίνει δηλαδή ένα είδος χαρακτηρισμού του υλικών που χρησιμοποιήθηκαν κατά τις διεργασίες κατασκευής [2][3]. Έτσι η ομάδα σχεδίασης του P4DI επέλεξε να τοποθετήσει 3 τοπολογίες πυκνωτών ανεξάρτητα από το υπόλοιπο κύκλωμα. Η κάθε τοπολογία αποτελείται από δυο pads. Στην πρώτη τοπολογία υπάρχει βραχυκύκλωμα μεταξύ των pad. Στην δεύτερη τοπολογία υπάρχει ανοιχτοκύκλωμα μεταξύ των pad. Στην τρίτη τοπολογία υπάρχει μια συστοιχία από 10 παράλληλους πυκνωτές των 52,25fF ο καθένας μεταξύ των pad. Γεωμετρικά οι τοπολογίες είναι ίδιες και τα pad και στις τρεις τοπολογίες συμμετρικά. Η θέση της διάταξης πάνω στο ολοκληρωμένο φαίνεται παρακάτω.



Εικόνα 23: P4DI layout

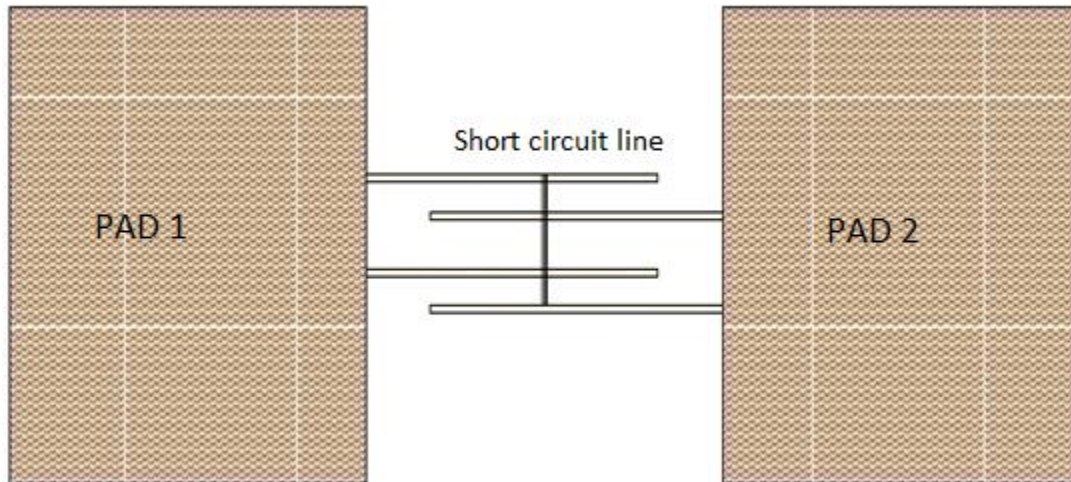
Στην UMC τεχνολογία υπάρχουν 6 διαφορετικά επίπεδα μετάλλων που μπορούν να χρησιμοποιηθούν κατά το σχεδιασμό. Οι πυκνωτές που πρέπει να χαρακτηριστούν είναι κατασκευασμένοι από μέταλλο 5 και μέταλλο 6. Το μέταλλο 5 και το μέταλλο 6 βασίζονται στο ίδιο υλικό (αλουμίνιο) άλλα έχουν διαφορετικό ντοπάρισμα το καθένα.

Το διηλεκτρικό που χρησιμοποιείται μεταξύ τους ονομάζεται FSG(k=3.6). Το FSG (fluorine doped silicate glass) κατασκευάζεται ντοπάροντας SiO_2 σε fluorine για να μειώσει την διηλεκτρική του σταθερά από 3.9 σε 3.6[3]. Σχηματικά,

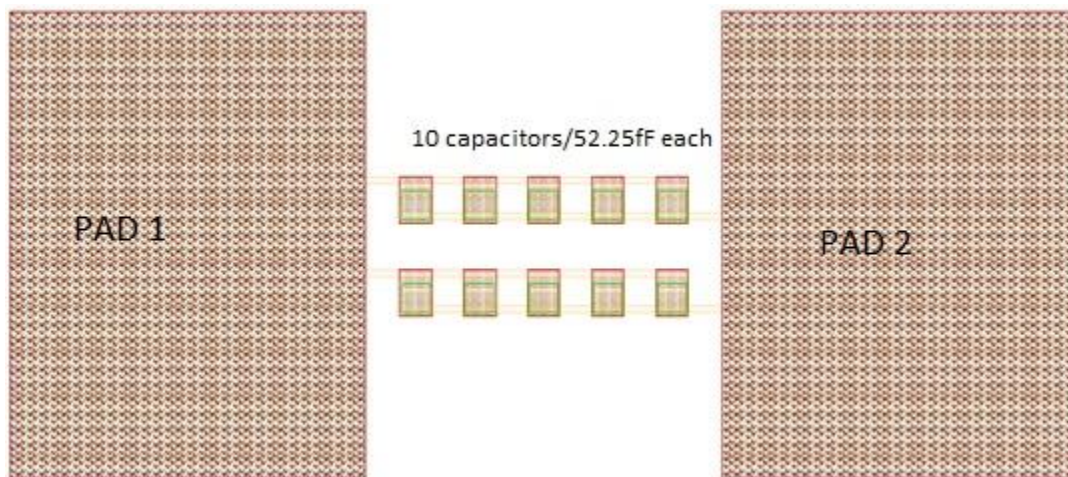


Εικόνα 24: Προσομοίωση του πυκνωτή

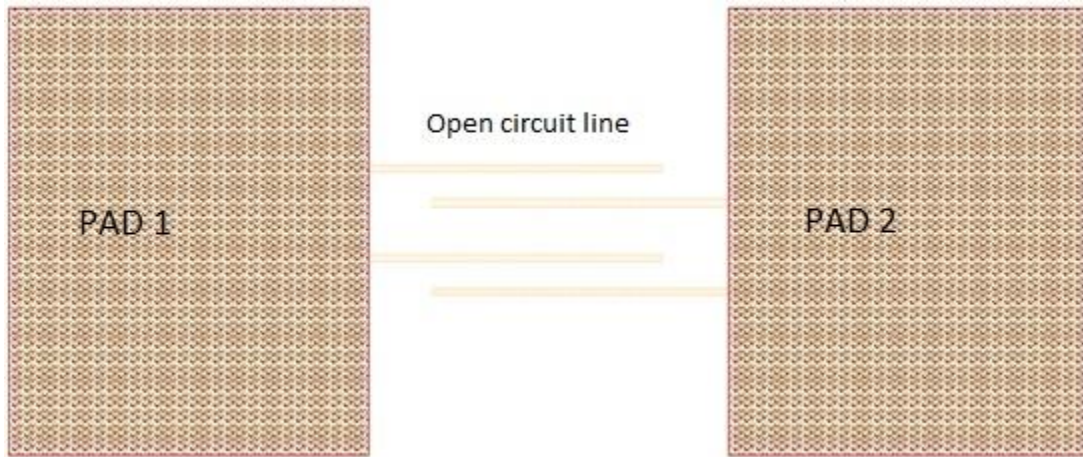
Έτσι έχουμε το φυσικό και την ηλεκτρονικό σχέδιο των τριών μελετώμενων τοπολογιών[1][4].



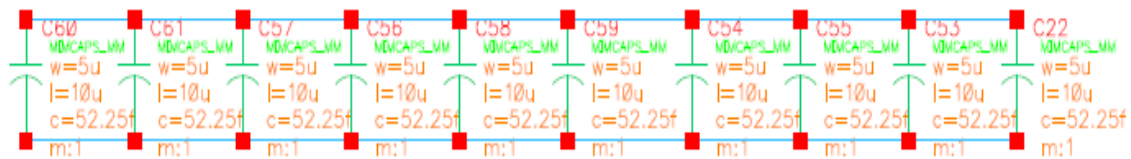
Εικόνα 25: Η φυσική σχεδίαση του βραχυκυκλώματος



Εικόνα 26: Η φυσική σχεδίαση των 10 παράλληλων πυκνωτών

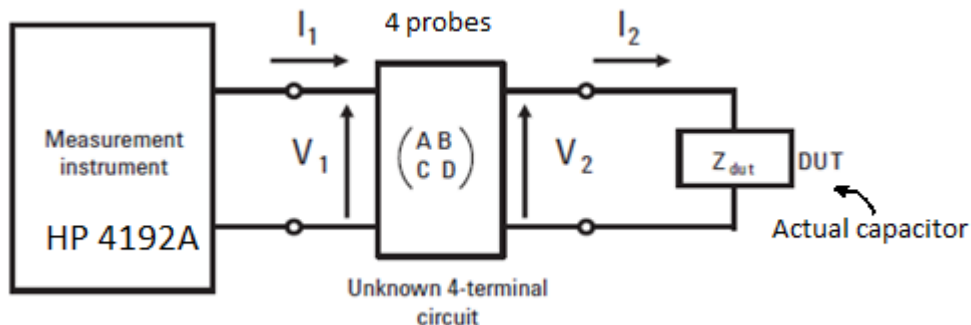


Εικόνα 27: Η φυσική σχεδίαση του ανοιχτοκυκλώματος



Εικόνα 28: Η ηλεκτρονική σχεδίαση των 10 παράλληλων πυκνωτών

Η θεωρητική ανάλυση είναι σχετικά απλή. Υποθέτοντας ότι έχουμε ένα γραμμικό 4θυρο κύκλωμα που αναπαριστάται από τις παραμέτρους A, B, C και D . Θα χρησιμοποιήσουμε την μέθοδο των τεσσάρων probe. Σε αυτή τη μέθοδο υπάρχουν 4 probes όπως φαίνεται στο παρακάτω σχήμα. Δύο από αυτά τροφοδοτούν με ρεύμα και τάση και τα άλλα δύο μετρούν το ρεύμα και την τάση που «περνά» από το μετρούμενο σύστημα. Θεωρούνται ισοτροπικά τα υλικά της διάταξης καθώς και το κύκλωμα συμμετρικό. Θα μπορούσαμε να χρησιμοποιήσουμε τη μέθοδο των 2 probes (το ένα probe να τροφοδοτεί με ρεύμα και τάση και το άλλο μετρά το ρεύμα και την τάση) που είναι σαφώς ευκολότερη και γρηγορότερη αλλά οδηγεί σε μεγάλα σφάλματα. Σύμφωνα με το Agilent's Measurement Handbook[4], η μέθοδος των 4 probe στη διάταξη HP 4192A, με το οποίο έγιναν οι μετρήσεις δίνει ένα σφάλμα της τάξης του 0.1% της μετρούμενης χωρητικότητας.



Μαθηματικά, το μοντέλο του κυκλώματος εκφράζεται από την ισότητα πινάκων:

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \begin{pmatrix} V_2 \\ I_2 \end{pmatrix}$$

Έτσι οι σχέσεις μεταξύ V_1, I_1, V_2, I_2 δίνονται από τις ακόλουθες σχέσεις,

$$\begin{cases} V_1 = AV_2 + BI_2 \\ I_1 = CV_2 + DI_2 \end{cases}$$

Ονομάζουμε,

$$Z_{xm} = \frac{V_1}{I_1} = \frac{AV_2 + BI_2}{CV_2 + DI_2}$$

Αλλά η τιμή της εμπέδησης δίνεται από την τιμή,

$$Z_{dut} = \frac{V_2}{I_2}$$

Ακόμα υπάρχουν οι ισότητες του ανοιχτοκυκλώματος και του βραχυκυκλώματος οι οποίες είναι

$$B = DZ_s$$

και

$$C = \frac{A}{Z_o}$$

Από όλες τις παραπάνω εξισώσεις έχουμε,

$$Z_{dut} = \frac{B - DZ_{xm}}{CZ_{xm} - A} = \frac{B - DZ_{xm}}{\left(\frac{Z_{xm}}{Z_o} - 1\right)A} = \frac{D(Z_s - Z_{xm})}{\left(\frac{Z_{xm}}{Z_o} - 1\right)A} = \frac{D(Z_s - Z_{xm})}{(Z_{xm} - Z_o)A} Z$$

Και αφού το δίκτυο μας είναι συμμετρικό $A=D$, άρα η παραπάνω σχέση απλοποιείται στην ακόλουθη:

$$Z_{dut} = \frac{Z_s - Z_{xm}}{Z_{xm} - Z_o} Z_o \quad \text{equation 1}$$

όπου:

Z_{dut} είναι η διορθωμένη εμπέδηση

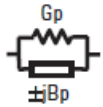
Z_{xm} είναι η μετρούμενη εμπέδηση

Z_o είναι η μετρούμενη εμπέδηση σε ανοιχτοκύκλωμα

Z_s είναι η μετρούμενη εμπέδηση σε ανοιχτοκύκλωμα

Όλες οι παραπάνω τιμές είναι μιγαδικές, δηλαδή έχουν πραγματικό και φανταστικό μέρος.

Πρέπει να αναφερθεί ότι όλες οι μετρήσεις ελήφθησαν στο parallel mode της διάταξης και η επιλογή μέτρησης τοποθετήθηκε στο admittance(για να είναι ευκολότεροι οι υπολογισμοί).



$$|Y| = \sqrt{G_p^2 + B_p^2}$$

$$\theta = \tan^{-1} (B_p/G_p)$$

Το πρώτο το και δεύτερο chip καταστράφηκαν στην προσπάθεια του συγγραφέα να λάβει μετρήσεις. Ακολουθούν τα αποτελέσματα των μετρήσεων για τα υπόλοιπα chip(η πρώτη και δεύτερη στήλη είναι οι μετρήσεις για το ανοιχτοκύκλωμα, η τρίτη και η τέταρτη στήλη είναι οι μετρήσεις για το βραχυκύκλωμα, η πέμπτη και έκτη στήλη είναι οι μετρήσεις της τοπολογίας με τους 10 παράλληλους πυκνωτές).

CHIP #3	OPEN		SHORT		LOAD	
	G	B	G	B	G	B
10 KHz	0	0,005 uS	0,784 S	-0,012 S	0	0,038 uS
50 KHz	0	0,025 uS	0,777 S	-0,059 S	0	0,189 uS
100 KHz	0	0,055 uS	0,761 S	-0,114 S	0	0,378 uS
200 KHz	0	0,109 uS	0,711 S	-0,206 S	0	0,755 uS
300 KHz	0	0,170 uS	0,647 S	-0,278 S	-0,003 uS	1,132 uS
400 KHz	0	0,220 uS	0,576 S	-0,328 S	-0,006 uS	1,508 uS
500 KHz	0	0,274 uS	0,506 S	-0,358 S	-0,006 uS	1,882 uS

CHIP #4	OPEN		SHORT		LOAD	
	G	B	G	B	G	B
10 KHz	0	0,005 uS	0,789 S	-0,05 S	0	0,038 uS
50 KHz	0	0,027 uS	0,785 S	-0,47 S	0	0,189 uS
100 KHz	0	0,034 uS	0,784 S	-0,106 S	0	0,379 uS
200 KHz	0	0,108 uS	0,737 S	-0,212 S	0	0,757 uS
300 KHz	0	0,169 uS	0,669 S	-0,292 S	-0,002 uS	1,136 uS
400 KHz	0	0,218 uS	0,592 S	-0,344 S	-0,005 uS	1,513 uS
500 KHz	0	0,270 uS	0,516 S	-0,374 S	-0,006 uS	1,888 uS

CHIP #5	OPEN		SHORT		LOAD	
	G	B	G	B	G	B
10 KHz	0	0,005 uS	0,399 S	-0,003 S	0	0,038 uS
50 KHz	0	0,028 uS	0,398 S	-0,015 S	0	0,190 uS
100 KHz	0	0,055 uS	0,396 S	-0,029 S	-0,005 uS	0,379 uS
200 KHz	0	0,111 uS	0,389 S	-0,057 S	-0,018 uS	0,757 uS
300 KHz	0	0,167 uS	0,378 S	-0,082 S	-0,040 uS	1,135 uS
400 KHz	0	0,223 uS	0,366 S	-0,105 S	-0,070 uS	1,512 uS
500 KHz	0	0,278 uS	0,350 S	-0,125 S	-0,110 uS	1,889 uS

CHIP #6	OPEN		SHORT		LOAD	
	G	B	G	B	G	B
10 KHz	0	0,005 uS	0,8 S	-0,012 S	0	0,038 uS
50 KHz	0	0,027 uS	0,79 S	-0,060 S	0	0,188 uS
100 KHz	0	0,055 uS	0,78 S	-0,111 S	0	0,379 uS
200 KHz	0	0,110 uS	0,73 S	-0,215 S	0	0,757 uS
300 KHz	0	0,163 uS	0,66 S	-0,293 S	-0,002 uS	1,125 uS
400 KHz	0	0,218 uS	0,59 S	-0,315 S	-0,003 uS	1,500 uS
500 KHz	0	0,270 uS	0,51 S	-0,377 S	-0,003 uS	1,876 uS

CHIP #7	OPEN		SHORT		LOAD	
	G	B	G	B	G	B
10 KHz	0	0,005 uS	0,642 S	-0,008 S	0	0,038 uS
50 KHz	0	0,026 uS	0,639 S	-0,039 S	0	0,191 uS
100 KHz	0	0,054 uS	0,630 S	-0,075 S	0	0,380 uS
200 KHz	0	0,109 uS	0,605 S	-0,143 S	0	0,764 uS
300 KHz	0	0,162 uS	0,568 S	-0,200 S	0	1,145 uS
400 KHz	-0,001 uS	0,217 uS	0,522 S	-0,245 S	-0,004 uS	1,524 uS
500 KHz	-0,001 uS	0,270 uS	0,473 S	-0,277 S	-0,009 uS	1,901 uS

CHIP #8	OPEN		SHORT		LOAD	
	G	B	G	B	G	B
10 KHz	0	0,006 uS	0,675 S	-0,09 S	0	0,038 uS
50 KHz	0	0,028 uS	0,668 S	-0,042 S	0	0,189 uS
100 KHz	0	0,056 uS	0,657 S	-0,082 S	0	0,377 uS
200 KHz	0	0,109 uS	0,627 S	-0,153 S	-0,004 uS	0,759 uS
300 KHz	0	0,161 uS	0,586 S	-0,214 S	-0,005 uS	1,135 uS
400 KHz	0	0,215 uS	0,537 S	-0,260 S	-0,007 uS	1,510 uS
500 KHz	0	0,267 uS	0,485 S	-0,292 S	-0,010 uS	1,884 uS

CHIP #9	OPEN		SHORT		LOAD	
	G	B	G	B	G	B
10 KHz	0	0,005 uS	0,724 S	-0,10 S	0	0,038 uS
50 KHz	0	0,028 uS	0,721 S	-0,049 S	0	0,190 uS
100 KHz	0	0,054 uS	0,711 S	-0,096 S	0	0,380 uS
200 KHz	0	0,108 uS	0,675 S	-0,180 S	0	0,760 uS
300 KHz	-0,005 uS	0,159 uS	0,623 S	-0,248 S	-0,005 uS	1,139 uS
400 KHz	-0,005 uS	0,210 uS	0,562 S	-0,298 S	-0,012 uS	1,512 uS
500 KHz	-0,006 uS	0,260 uS	0,499 S	-0,331 S	-0,018 uS	1,890 uS

CHIP #10	OPEN		SHORT		LOAD	
	G	B	G	B	G	B
10 KHz	0	0,005 uS	0,880 S	-0,014 S	0	0,034 uS
50 KHz	0	0,027 uS	0,879 S	-0,072 S	0	0,189 uS
100 KHz	0	0,054 uS	0,863 S	-0,141 S	0	0,380 uS
200 KHz	0	0,108 uS	0,797 S	--0,256 S	0	0,756 uS
300 KHz	0	0,160 uS	0,713 S	-0,340 S	-0,003 uS	1,133 uS
400 KHz	0	0,218 uS	0,622 S	-0,391 S	-0,008 uS	1,505 uS
500 KHz	-0,003 uS	0,268 uS	0,535 S	-0,419 S	-0,012 uS	1,878 uS

Χωρητικότητα (τοπολογίας με τους πυκνωτές ανάμεσα στα pads)

Ένας ενδεικτικός υπολογισμός για την δομή με τους 10 παράλληλους πυκνωτές και μετρούμενη συχνότητα στα 10KHz δίνεται:

Ενδεικτικός υπολογισμός του 3^{ου} chip:

$$Y = \frac{1}{G + Bj} = \frac{1}{j0.038 * 10^{-6}} = -26.31 * 10^6 j$$

Άλλα

$$Y = \frac{1}{j\omega C}$$

Έτσι, C ≈ 600fF

Στους παρακάτω πίνακες μπορούμε να δούμε τη χωρητικότητα όλων των chip και την ανάλυση δεδομένων που ακολούθησε ώστε να βρεθεί μια μέση τιμή και μια τυπική απόκλιση.

	3rd chip	4th chip	5th chip	6th chip	7th chip	8th chip	9th chip	10th chip
Capacitance	600fF	600fF	600fF	600fF	600fF	600fF	600fF	580fF

Descriptive Statistics

	N total	Mean	Standard Deviation	Sum	Minimum	Median	Maximum
A	8	597.5	7.07107	4780	580	600	600



Capacitance's mean value



Capacitance's standart deviation

-->Η μέση τιμή της χωρητικότητα λοιπόν είναι **597.5fF**

Διορθωμένη Χωρητικότητα

Από την εξίσωση που έχουμε εξάγει για την διορθωμένη χωρητικότητα υπολογίζουμε την τιμή Z_{dut} .

Ενδεικτικός υπολογισμός του 3^{ου} chip:

$$Z_{dut} = \frac{(Z_s - Z_{xm}) Z_o}{Z_{xm} - Z_o} = \frac{(1.784 - 0.012j + 26.3 \cdot 10^6)(-0.5 \cdot 10^{-9})}{-26.3 \cdot 10^6 + 0.5 \cdot 10^{-9}}$$

Άρα, $Z_{dut} = 550\text{fF}$

Στους επόμενους πίνακες βλέπουμε τις χωρητικότητες όλων των chip και την ανάλυση για τον υπολογισμό της μέσης τιμής και της τυπικής απόκλισης.

	3rd chip	4th chip	5th chip	6th chip	7th chip	8th chip	9th chip	10th chip
Capacitance	550fF	550fF	550fF	550fF	550fF	550fF	550fF	500fF

Descriptive Statistics

	N total	Mean	Standard Deviation	Sum	Minimum	Median	Maximum
A	8	543.75	17.67767	4350	500	550	550



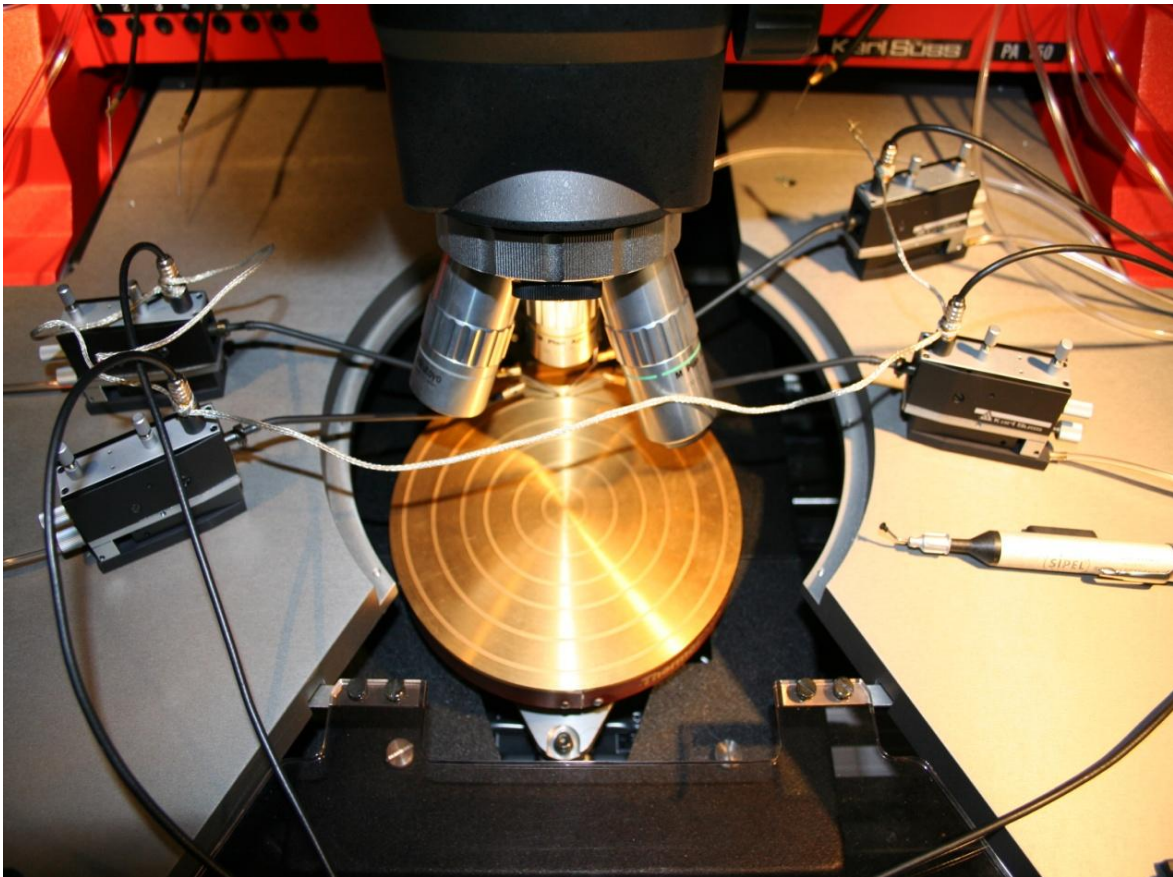
Mean value of
the corrected
capacitance



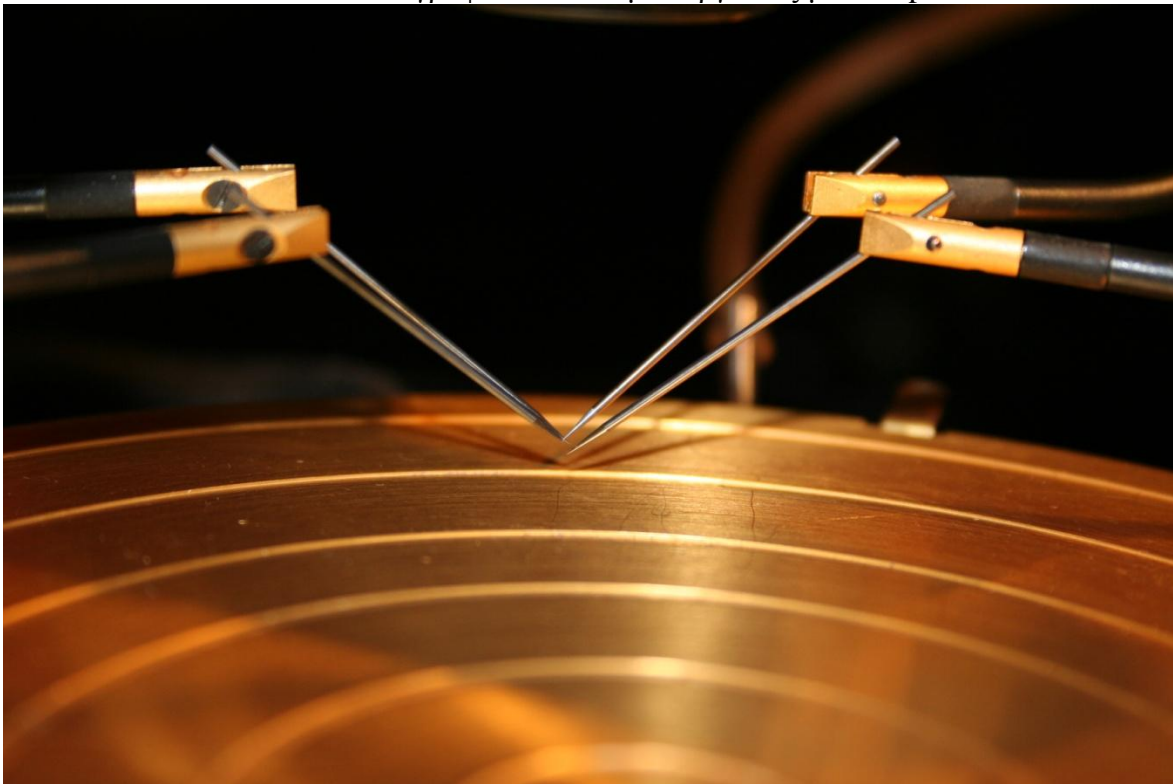
Standart deviation
of the corrected
capacitance

--> Η μέση τιμή της διορθωμένης χωρητικότητας είναι 543.75fF

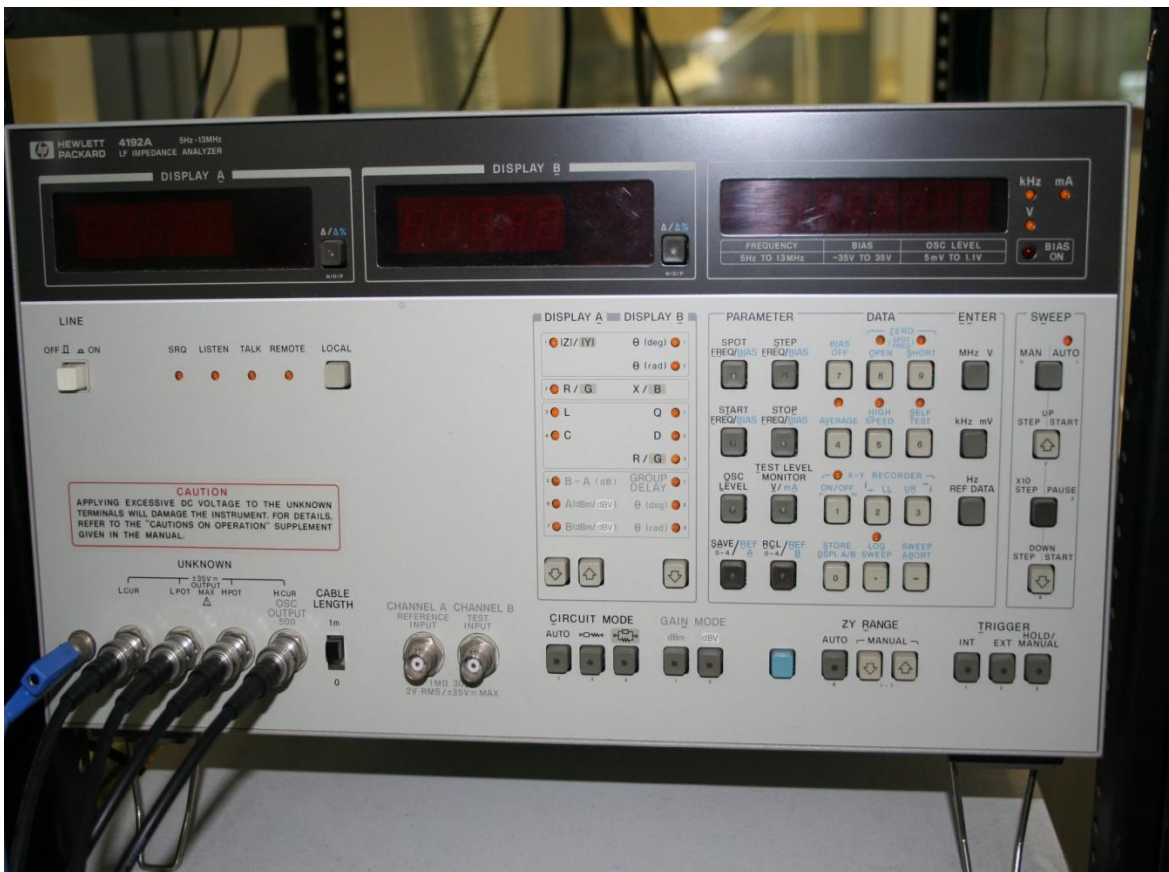
Φωτογραφίες τις διάταξης με την οποία ελήφθησαν οι μετρήσεις (HP4192A) δίνονται στις επόμενες σελίδες...



Εικόνα 29: Φωτογραφία του σταθμού εργασίας με τα 4 probe

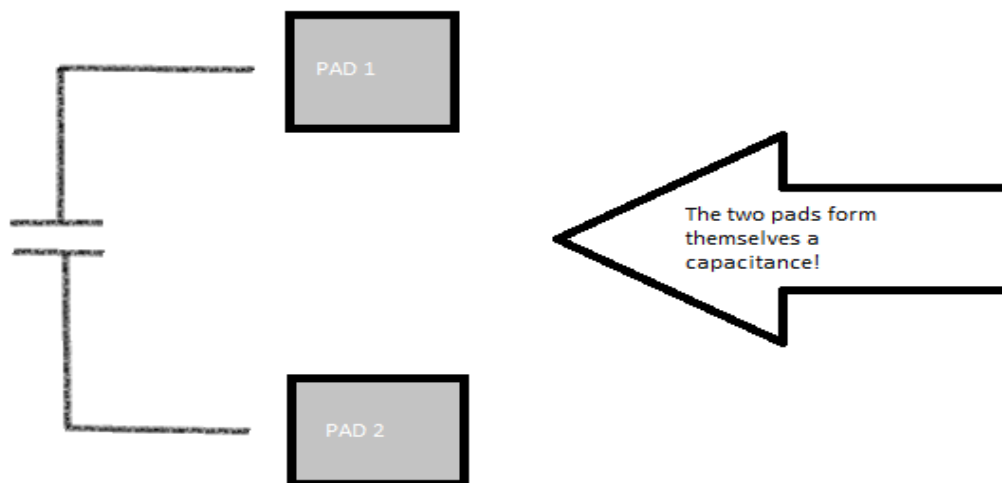


Εικόνα 30: Κοντινότερη εικόνα των 4 probe



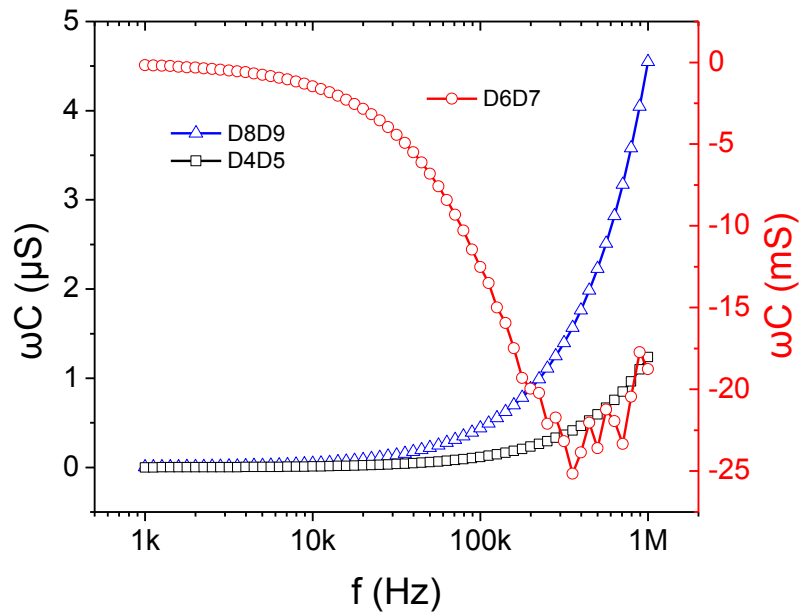
Εικόνα 31: HP 4192A LF frequency impedance analyzer

Έγινε ακόμα μια σειρά μετρήσεων για τον υπολογισμό των πυκνωτών του P4DI, όχι σε μια συχνότητα όπως παραπάνω, αλλά σε ένα φάσμα συχνοτήτων. Σε αυτή τη σειρά μετρήσεων η τοπολογία του βραχυκυκλώματος δεν χρησιμοποιήθηκε. Ο υπολογισμός της διορθωμένης χωρητικότητας μετράται σαν διαφορά του Z_{load} με το Z_{open} . Μια εικόνα που βοηθά να το καταλάβει κάποιος ευκολότερα είναι η παρακάτω.

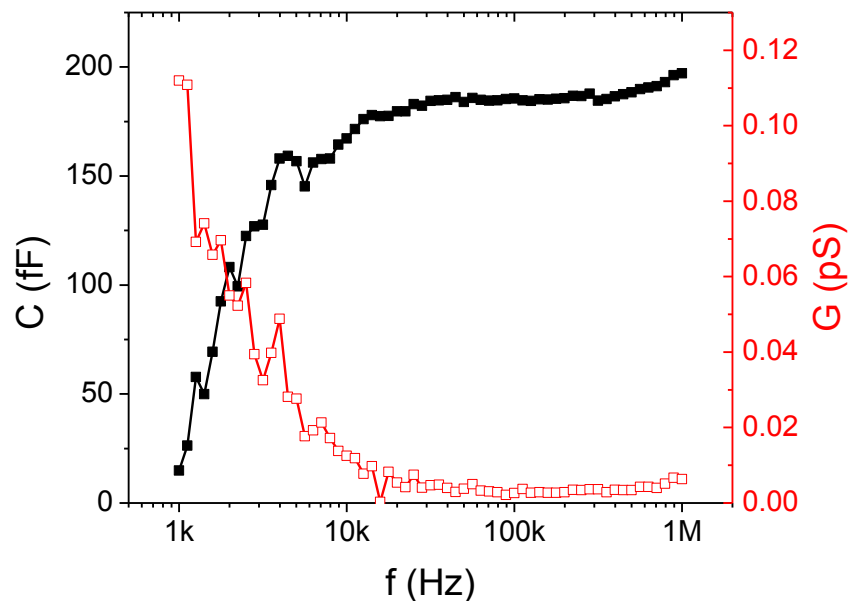


Εικόνα 32: Υπάρχει δημιουργία πυκνωτή μεταξύ των 2 pads

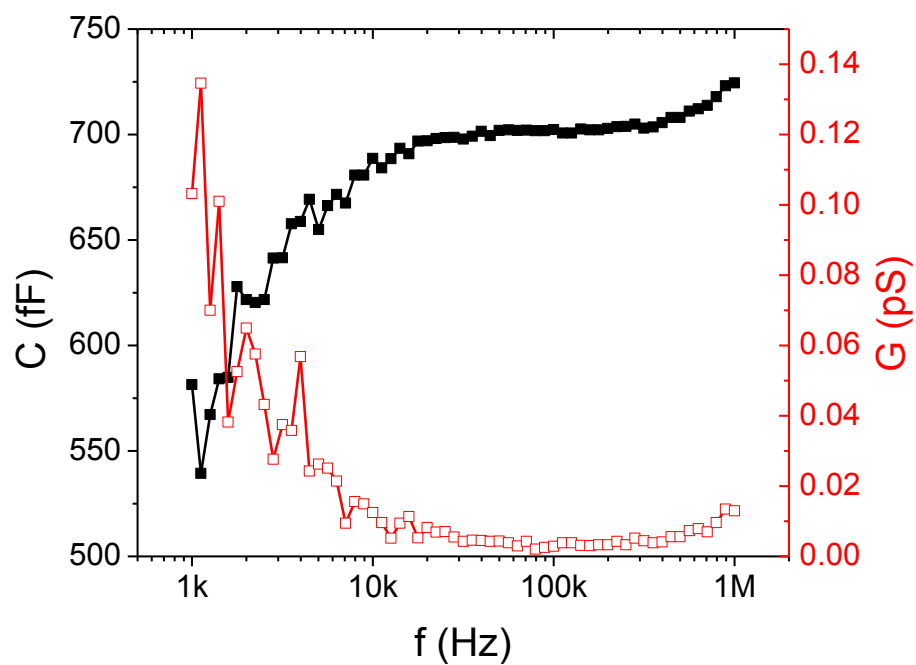
Αυτή η σειρά μετρήσεων έγινε με την διάταξη HP 4284A, στο Ινστιτούτο Μικροηλεκτρονικής του ΕΚΕΦΕ Δημόκριτος. Τα διαγράμματα επιβεβαιώνουν ότι οι προηγούμενες μετρήσεις είναι σωστές αλλά δίνουν και μια ενδιαφέρουσα εικόνα για το πώς συμπεριφέρονται οι πυκνωτές σε ένα μεγάλο φάσμα συχνοτήτων. Αρχικά φαίνονται τα διαγράμματα τις κάθε τοπολογίας ξεχωριστά. Οι έξοδοι(ports) για την μέτρηση των πυκνωτών είναι D8D9,για την μέτρηση του ανοιχτοκυκλώματος είναι οι D4D5 και για το βραχυκύκλωμα οι D6D7.



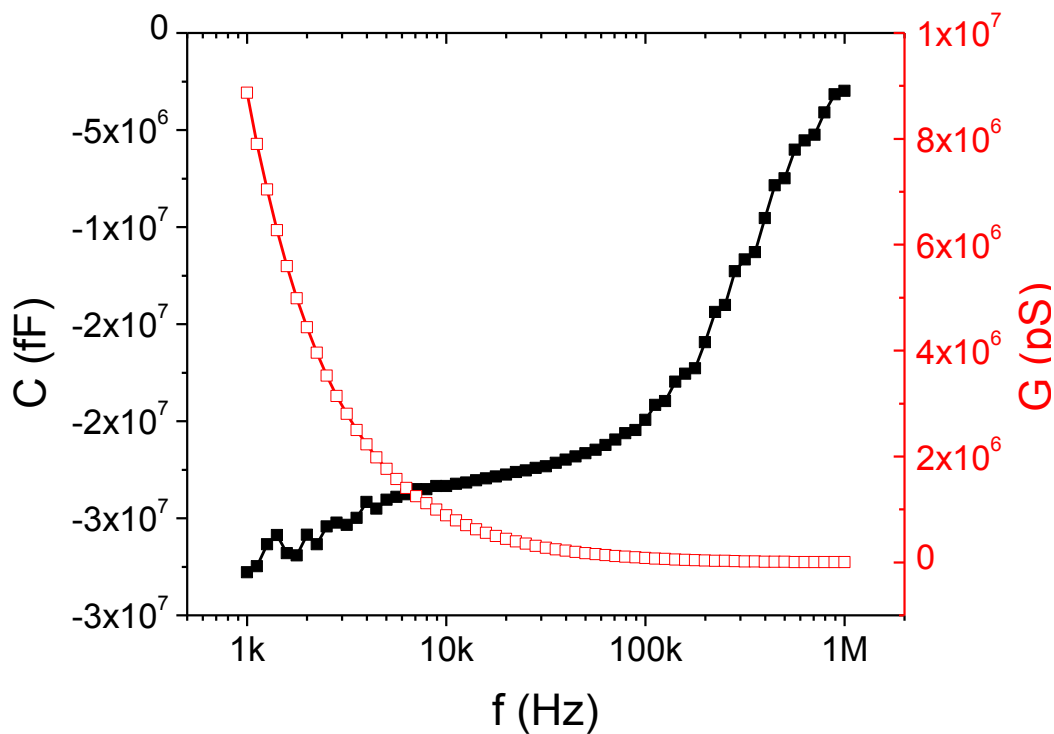
Σχ.2 Μετρήσεις των 3 τοπολογιών στο πεδίο των συχνοτήτων



Σχ.3 Μετρήσεις τις τοπολογίας D4D5 στο πεδίο των συχνοτήτων. Όσο μεγαλώνει η συχνότητα, αυξάνεται η χωρητικότητα και το πραγματικό μέρος της διαγωγιμότητας τείνει στο 0.

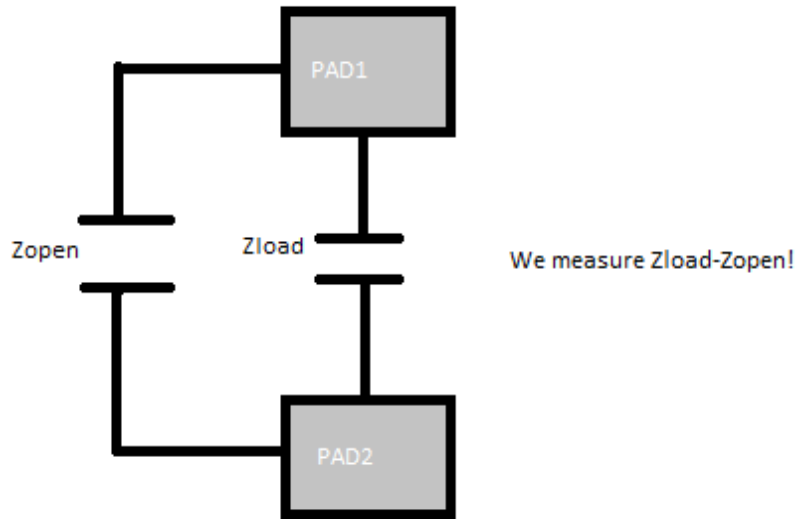


Σχ.4 Μετρήσεις τις τοπολογίας D8D9 στο πεδίο των συχνοτήτων. Όσο μεγαλώνει η συχνότητα, αυξάνεται η χωρητικότητα και το πραγματικό μέρος της διαγωγιμότητας τείνει στο 0.

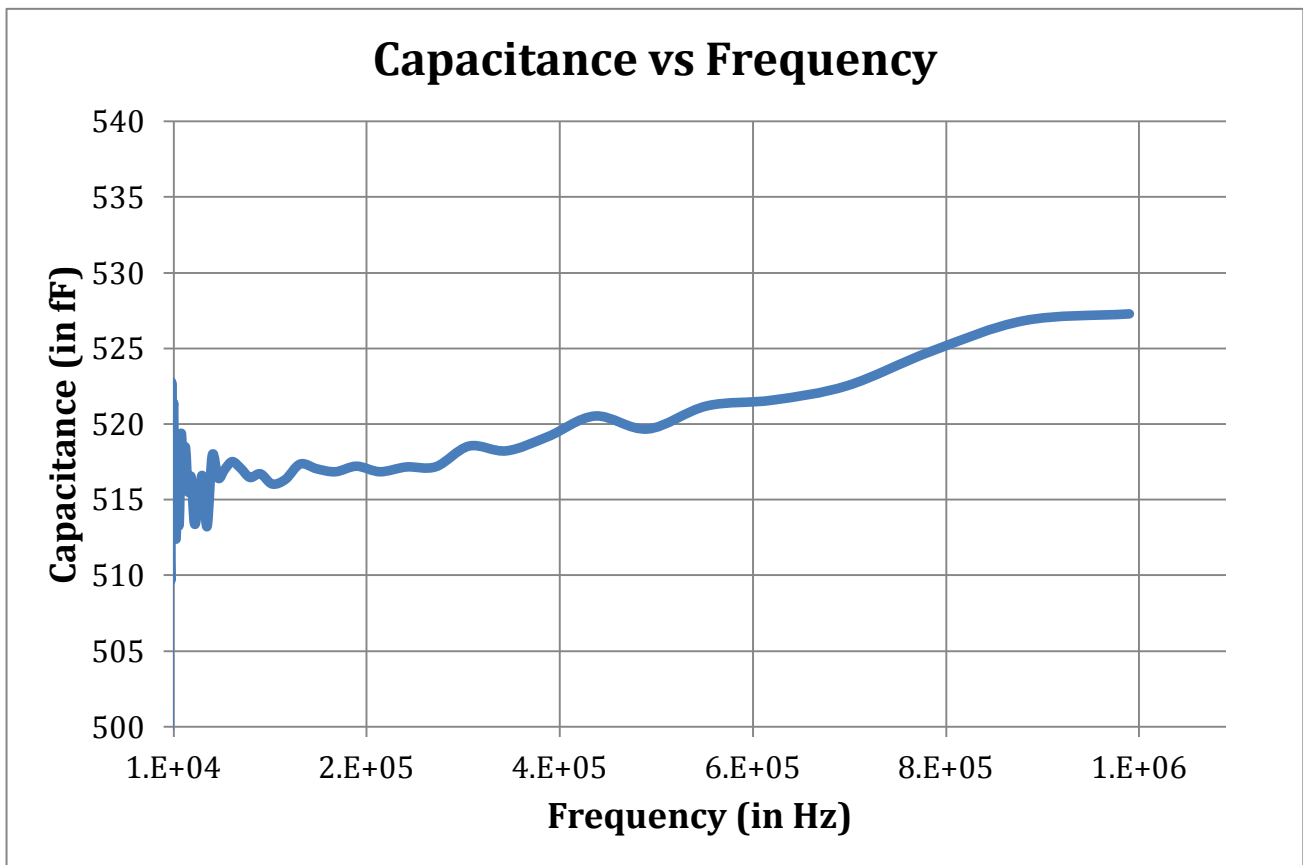


Σχ.5 Οι μετρήσεις της τοπολογίας D6D7 στο πεδίο των συχνοτήτων. Όσο μεγαλώνει η συχνότητα η διαγωγιμότητα τείνει στο άπειρο ενώ η χωρητικότητα στο μηδέν.

Τελικά από την παρακάτω τοπολογία προκύπτει το διάγραμμα χωρητικότητας vs συχνότητας όπου η χωρητικότητα είναι $C(\text{load})-C(\text{open})$



Εικόνα 33: Η τοπολογία που μετράται



Σχ.6 Οι μετρήσεις που ελήφθησαν για την παραπάνω τοπολογία (Zload-Zopen).

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΑΙΟΥ 8

- [1] C. P. Lambropoulos , E. G. Zervakis, A. Nikologiannis, G. Theodoratos , D. S. Hatzistratis, I.Papadakis , A. Papadimitriou , D. Loukas , 'Pixel Electronics for a Hybrid X/Gamma – Ray Imager', Proc. of SPIE Vol. 7805 78050W-1,pp.10
- [2] Επικοινωνία με τους Δρ. Γ. Θεοδωράτο και Δρ. Χ. Λαμπρόπουλο
- [3] www.cadence.com
- [4] Agilent Technologies, Agilent Impedance Measurements Handbook, 4nd Edition pp.140

ΚΕΦΑΛΑΙΟ 9^ο

Τα αναλογικά ηλεκτρονικά πρώτης βαθμίδας (front-end electronics) αποτελούν το πιο σημαντικό τμήμα των ηλεκτρονικών ανάγνωσης, ανεξάρτητα από αν αυτό υλοποιείται με ASIC ή με PCB διακριτών στοιχείων. Έχει ήδη αναφερθεί ότι σκοπός των front-end electronics είναι το σήμα το οποίο δέχονται (τάση ή ρεύμα) να το ενισχύσουν αρκετά, εισάγοντας όσο το δυνατόν μικρότερο θόρυβο. Παράλληλα απαιτείται να συνδυάζουν υψηλή ταχύτητα ώστε να μην εμφανίζεται pile-up του σήματος στην έξοδο του ενισχυτή. Ουσιαστικά πρόκειται για μια βέλτιστη λύση που πρέπει να δοθεί συναρτήσει των C_{det} , $C_{feedback}$, μήκος του πρώτου transistor, θερμοκρασίας, hitting rate, επίπεδο θορύβου, διαστάσεων του ASIC και φυσικά της τεχνολογίας που χρησιμοποιείται. Ένα σύστημα μερικών διαφορικών εξισώσεων που περιγράφει τα παραπάνω χαρακτηριστικά συναρτήσει του θορύβου δίνεται από τον Sansen[1].

Τα συμπεράσματα που προκύπτουν από το μέρος της εργασίας που περιλαμβάνει την προσομοίωση του ολοκληρωμένου κυκλώματος P4DI στο Cadence είναι τα αναμενόμενα. Ο ενισχυτής (PreAmp+Shaper) λειτουργεί γραμμικά για φορτία από [2,7] fC, ενώ μετά τα ~7fC επέρχεται κορεσμός. Βέβαια από ανάλυση του charge amplifier ξεχωριστά φαίνεται ο ενισχυτής αυτός να εμφανίζει γραμμικότητα για μεγαλύτερο εύρος φορτίων [2,12]fC. Όσο αφορά το shaping time, εμφανίζεται αντιστρόφως ανάλογο με το φορτίο. Δηλαδή το shaping time είναι αντιστρόφως ανάλογο και του κέρδους. Ακόμα από την ανάλυση θορύβου προκύπτει ότι ο θόρυβος στην έξοδο της αναλογικής αλυσίδας είναι μικρότερος για το μικρότερο length του πρώτου transistor. Η analog chain του ολοκληρωμένου είναι stable στο εύρος των θερμοκρασιών που μπορεί να υπάρχουν στο περιβάλλον τοποθέτησης του (10-60)C. Τέλος το impedance εξόδου του preamplifier είναι ένα band-pass filter που έχει maximum impedance output (magnitude) 350Ω ενώ το impedance εισόδου του shaper είναι πολύ υψηλό ειδικά για χαμηλές συχνότητες.

Στο πειραματικό μέρος μελετάται το κύκλωμα με διαφορές πλώσεις και διαφορετικούς συνδυασμούς των εξωτερικών bit του shaper. Τα αποτελέσματα είναι τα αναμενόμενα, δηλαδή τα περισσότερα έχουν είδη παρατηρηθεί από τις προσομοιώσεις στο Cadence. Το ENC_{total} υπολογίζεται για ένα φορτίο τις τάξης των 10fC περίπου ~600e⁻[1]. Βέβαια, στην πραγματικότητα βλέπουμε ότι το undershoot του σήματος στην έξοδο του shaper που προκύπτει πειραματικά, στις περισσότερες περιπτώσεις είναι αρκετά μεγαλύτερο από αυτό στις προσομοιώσεις. Αυτό σημαίνει ότι το κύκλωμα που είναι υπεύθυνο για το zero pole cancellation ίσως να μπορούσε να βελτιωθεί.

Στο τελευταίο κομμάτι της διπλωματικής αυτής εργασίας μελετήθηκε η αξιοπιστία της τεχνολογίας που χρησιμοποιήθηκε για την υλοποίηση του ASIC[2][3]. Το βασικό συμπέρασμα που προκύπτει από όλη την προηγούμενη ανάλυση είναι ότι τα error των πυκνωτών είναι μέσα στο 10% που δίνεται από τον κατασκευαστή και την τεχνολογία. Οι μικρές μεταβολές που προκύπτουν, ίσως οφείλονται σε μικροσκοπικά

φαινόμενα που συμβαίνουν μέσα στα υλικά όπως η fringing χωρητικότητα ή το matching των BNC καλωδίων ή η εικονική γείωση κλπ. Τέλος μπορεί να κανείς να βασιστεί στην τεχνολογία του κατασκευαστή όσο αφορά τα errors των τιμών μικρών πυκνωτών.

Το P4DI είναι ένα ASIC που καλύπτει τα χαρακτηριστικά ενός σύγχρονου ολοκληρωμένου κυκλώματος ανάγνωσης. Η τεχνολογία που χρησιμοποιείται, CMOS UMC 0.18nm, 1,8V κρίνεται ικανοποιητική για την υλοποίηση του chip. Εναλλακτικά θα μπορούσε να χρησιμοποιηθεί η τεχνολογία CMOS AMS στα 350nm που θεωρείται το ίδιο αξιόπιστη ή τεχνολογίες BiCMOS που ενδείκνυνται για LNA design[4]. Το chip μπορεί να καλύψει ένα εύρος εφαρμογών από τις οποίες προκύπτουν φορτία [2-10] fC. Λόγω των 3 control bits επιτρέπεται η ρύθμιση των peaking time, gain και θορύβου ανάλογα με τις απαιτήσεις της εκάστοτε εφαρμογής. Επεκτάσεις ή βελτιώσεις στα σχέδια των charge amplifier ή shaper θα μπορούσαν να διευρύνουν το φορτίο εισόδου που μπορεί να δεχθεί το ASIC, άρα και το πλήθος των εφαρμογών που μπορεί να χρησιμοποιηθεί.

ΑΝΑΦΟΡΕΣ ΚΕΦΑΛΑΙΟΥ 9

- [1] Z. Y. Chang and W. Sansen, 'Effect of $1/f$ noise on the resolution of CMOS analog readout systems for microstrip and pixel detectors,' *Nuclear Instruments and Methods*, vol.305, no.3, pp.553-560, Aug.1991.
- [2] Agilent Technologies, Agilent Impedance Measurements Handbook, 4nd Edition pp.140
- [3] Επικοινωνία με τους Δρ. Γ. Θεοδωράτο και Δρ. Χ. Λαμπρόπουλο
- [4] www.europractice.com